

ANÁLISE DE DISTORÇÃO HARMÔNICA DEVIDO AOS CAPACITORES EM UMA REDE BIQUADRÁTICA A CAPACITORES CHAVEADOS

J. C. M. Bermudez

M. C. Schneider

C. J. F. Araújo

Universidade Federal de Santa Catarina
Departamento de Engenharia Elétrica
Laboratório de Instrumentação Eletrônica - LINSE
Florianópolis, SC

ABSTRACT

The use of single-poly capacitors in a biquadratic switched-capacitor filter is presented. An approximate method to evaluate the harmonic distortion due to these capacitors is introduced. Simulation results show that total harmonic distortion can be low even for output voltages up to 3V and a power supply of 5V.

1. INTRODUÇÃO

Com a evolução que os circuitos MOS têm experimentado nas duas últimas décadas, alguns circuitos analógicos têm sido substituídos por sistemas digitais que desempenham funções semelhantes (filtros, por exemplo). Entretanto, a implementação de interfaces para executar certas funções, tais como pré/pós-filtragem de sinais, conversões A/D e D/A e modulação, torna indispensável a utilização de circuitos analógicos. Desde a década de 70, visando a reduzir as dimensões físicas dos sistemas e o consumo de potência, além de aumentar a confiabilidade, tem havido uma forte tendência em implementar subsistemas analógicos e digitais num mesmo circuito integrado (CI)¹⁻³. Nestes casos, a parte analógica deve ser completamente compatível com o processo tecnológico empregado para os circuitos digitais. Uma das técnicas mais consagradas para a realização de CI's analógicos MOS é a de capacitores chaveados (SC), cujos elementos básicos são transistores MOS e capacitores. O excelente desempenho de tais circuitos depende fundamentalmente da precisão de razão de capacitâncias e da linearidade dos capacitores empregados. As razões de capacitâncias podem ser implementadas com precisão de até 0,1%⁴⁻⁶ através de um layout cuidadoso. Os capacitores normalmente empregados em circuitos SC são formados por duas camadas de silício policristalino (polissilício), separadas por óxido e apresentam boa estabilidade térmica e baixo coeficiente de variação com a tensão aplicada⁶. Entretanto, os processos convencionais para fabricação de CI's digitais não apresentam dupla camada de polissilício. Além disso, na maioria dos sistemas modernos a parte analógica tende a ocupar uma pequena porcentagem da área total. Portanto, torna-se extremamente desejável a obtenção de técnicas que permitam a integração de circuitos SC sem a necessidade da dupla camada de polissilício. O processo atualmente disponível no país em tecnologia CMOS, através do projeto multiusuário brasileiro (PMU), por exemplo, apresenta dois níveis de metalização mas apenas um de polissilício. Uma forma de superar esta dificuldade tem sido

por meio do uso do capacitor MOS, constituído por placa superior de polissilício e placa inferior de poço (ou substrato) semiconductor, separadas por óxido de porta, polarizado na região de acumulação ou de inversão^{7,8}. Embora este capacitor seja não linear, introduzindo uma polarização adequada e limitando a faixa de tensão a cerca de 80% da tensão de alimentação, é possível obter baixos níveis de distorção harmônica nas redes onde tal capacitor é empregado. A utilização desta técnica tem sido limitada devido à falta de uma avaliação detalhada de seus efeitos sobre a distorção harmônica introduzida no sinal, considerando redes tipicamente empregadas na síntese de circuitos SC. Um dos blocos básicos mais empregados é, certamente, a rede biquadrática²⁻⁵, a qual permite sínteses modulares, simples e com excelente desempenho^{4,11,12}.

Este trabalho apresenta a análise de distorção harmônica, devido exclusivamente a capacitores não lineares, numa rede biquadrática a capacitores chaveados. Resultados obtidos através de simulação mostram que é possível obter uma excursão de tensão da ordem de 3V numa tecnologia CMOS 5V, sem prejuízo significativo da linearidade da resposta.

2. O CAPACITOR MOS

A curva característica $C \times V$ de um capacitor MOS, com placa superior de polissilício e inferior no substrato está mostrada na Figura 1, baseada nas relações de variação de carga e tensão aplicada com o potencial de superfície⁹. A curva foi obtida com os parâmetros tecnológicos da Tabela I.

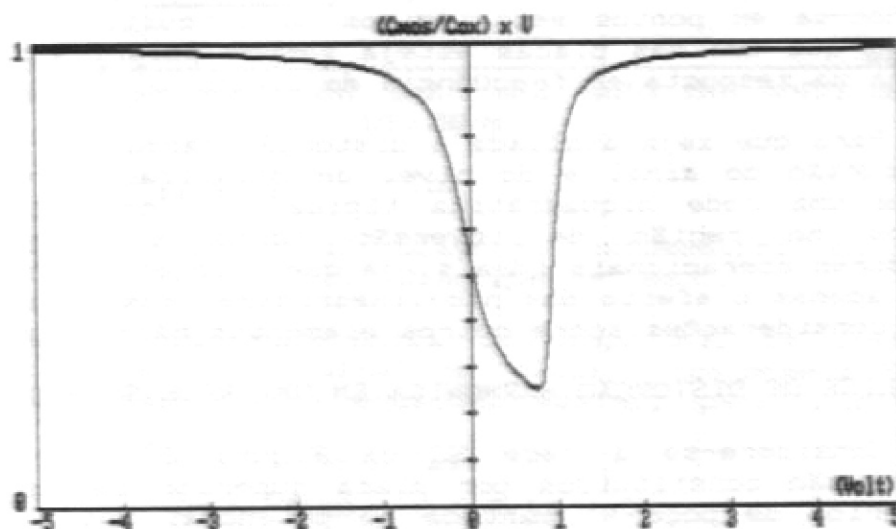


Fig.1. Curva $C \times V$ do capacitor MOS

GRANDEZA	DESCRIÇÃO	VALOR	UNIDADE
ϵ_S	permissividade elétrica Si	$1,04 \times 10^{-12}$	F/cm
C_{ox}	capacitância do óxido	860×10^{-10}	F/cm ²
N_A	dopagem do substrato	$0,53 \times 10^{16}$	cm ⁻³

Tabela I. Parâmetros tecnológicos utilizados

Para que este dispositivo introduza baixa distorção harmônica nos circuitos em que é utilizado é necessário que seja polarizado em uma região adequada da curva. Além disso, a excursão de tensão nos seus terminais deve ser restrita a certos limites, de modo que a distorção introduzida devido à não-linearidade do capacitor seja aceitável para a aplicação desejada.

Ao longo deste trabalho, considera-se a relação entre carga e tensão no capacitor MOS dada por:

$$Q = Q_0 + C_i(V) V \quad (1)$$

A função $C_i(V)$ é expressa como:

$$C_i(V) = C_{i0} (1 + \alpha_1 V + \alpha_2 V^2 + \alpha_3 V^3 + \dots) \quad (2)$$

onde C_{i0} é o valor da capacitância no ponto de polarização e V é a tensão aplicada à placa de polissilício do capacitor.

Este tipo de capacitor pode ser utilizado em redes SC introduzindo-se em pontos estratégicos do circuito um nível DC de tensão para que uma das placas esteja sempre polarizada, o que não interferirá na resposta em frequência do circuito^{7,8}.

Para que seja avaliada a distorção harmônica em função da máxima excursão do sinal e do nível de polarização, será feita a análise de uma rede biquadrática típica^{4,5,11,12} com os capacitores polarizados na região de inversão forte e considerando os amplificadores operacionais ideais, já que o objetivo deste trabalho é avaliar apenas o efeito das não-linearidades dos capacitores, sem entrar em considerações sobre outros elementos não-lineares da rede.

3. ANÁLISE DE DISTORÇÃO HARMÔNICA EM UMA REDE SC BIQUADRÁTICA

Considere-se a rede SC da Figura 2^{4,5,11,12}, onde os capacitores são constituídos por placa superior de polissilício e placa inferior de poço N, mantida no potencial V_{DD} . O contato da placa inferior é uma difusão P⁺, cujo potencial é mantido em V_{DD} através das chaves ou, virtualmente, através dos amplificadores operacionais. Nestas condições, as estruturas capacitivas operam em inversão forte. Note que os amplificadores operacionais devem operar com tensão de modo comum elevada. Na implementação de redes SC no PMU tem-se utilizado estruturas "folded cascode"² com esta finalidade.

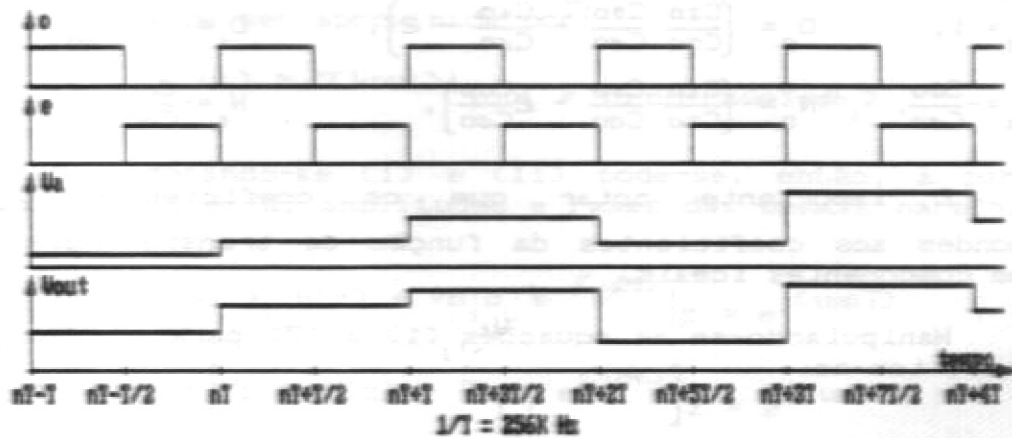
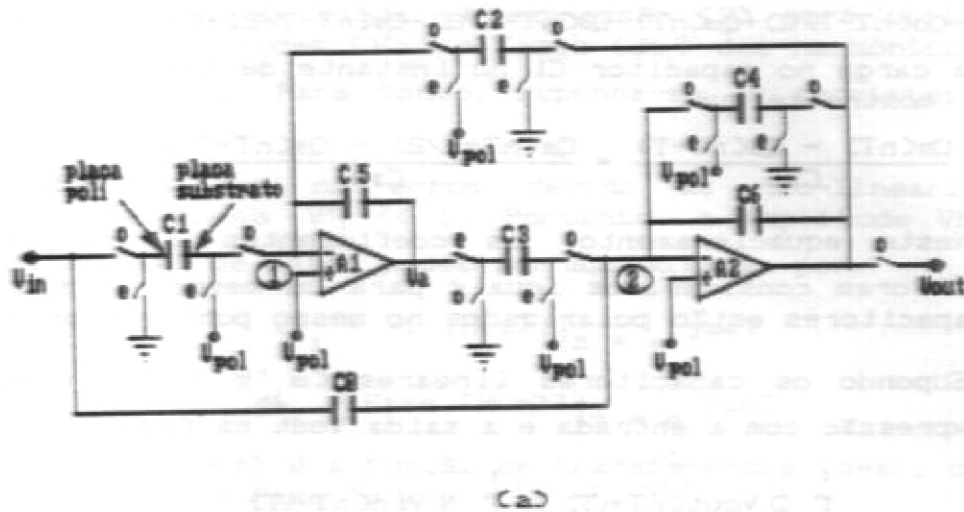


Fig.2. Rede biquadrática. (a) Diagrama esquemático do circuito. (b) Diagrama de tempo.

Tomando como referência de tempo nT , os instantes de chaveamento da fase "o" do sinal de "clock", conforme a Figura 2b, pode-se escrever as quatro equações abaixo, para o circuito da figura 2:

Nó 1 fase "e"

$$Q_5(nT-T/2) - Q_5(nT-T) = 0 \quad (3)$$

Nó 1 fase "o"

$$Q_4(nT) + Q_2(nT) + Q_3(nT) - Q_3(nT-T/2) = 0 \quad (4)$$

Nó 2 fase "e"

$$Q_0(nT-T/2) - Q_0(nT-T) + Q_4(nT-T/2) - Q_4(nT-T) = 0 \quad (5)$$

Nó 2 fase "o"

$$Q_0(nT) - Q_0(nT - T/2) + Q_0(nT) - Q_0(nT - T/2) - Q_0(nT - T/2) + Q_0(nT) = 0 \quad (6)$$

onde Q_i é a carga no capacitor C_i no instante de tempo considerado. Além disso, mostra-se que:

$$\frac{Q_0(nT) - Q_0(nT - T)}{C_{00}} = \frac{Q_0(nT + T/2) - Q_0(nT - T/2)}{C_{00}} \quad (7)$$

Neste equacionamento, os coeficientes α_j de todos os capacitores foram considerados iguais para um mesmo j . Isto porque todos os capacitores estão polarizados no mesmo ponto de operação.

Supondo os capacitores lineares (α_j 's = 0), chega-se à seguinte expressão com a entrada e a saída V_{out} na fase "o":

$$\sum_{i=-1}^1 D_i V_{out}(nT + iT) = \sum_{i=-1}^1 N_i V_{in}(nT + iT) \quad (8)$$

onde $D_{-1} = 1$, $D_0 = \left(\frac{C_{20}}{C_{00}} \frac{C_{00}}{C_{00}} - \frac{C_{00}}{C_{00}} - 2 \right)$, $D_1 = \left(1 + \frac{C_{00}}{C_{00}} \right)$,
 $N_{-1} = -\frac{C_{00}}{C_{00}}$, $N_0 = -\left(\frac{C_{10}}{C_{00}} \frac{C_{00}}{C_{00}} - 2 \frac{C_{00}}{C_{00}} \right)$, $N_1 = -\frac{C_{00}}{C_{00}}$

É importante notar que os coeficientes D_i e N_i correspondem aos coeficientes da função de transferência $H(z)$ da rede com componentes ideais.

Manipulando-se as equações (1) a (7) para o caso genérico (α_j 's $\neq 0$), tem-se:

$$\sum_{i=-1}^1 D_i V_{out}(nT + iT) f(V_{out}(nT + iT)) = \sum_{i=-1}^1 N_i V_{in}(nT + iT) f(V_{in}(nT + iT)) \quad (9)$$

onde $f(\cdot)$ é uma função definida da seguinte forma:

$$f(V) = 1 + \sum_{j=1}^{\infty} \alpha_j V^j$$

Note que a expressão (9), com $f(\cdot) = 1$, reproduz exatamente a expressão (8), ligando saída à entrada no caso de capacitâncias lineares.

Para o cálculo da distorção harmônica da saída, suponha-se que a entrada é $V_{in}(t) = V_1 \cos(\omega_0 t)$. A entrada sinusoidal irá corresponder uma saída distorcida V_{out} que pode ser expressa como:

$$V_{out}(nT) = \sum_{i=1}^{\infty} V_{b_i} \cos(in\omega_0 T + \phi_{b_i}) \quad (10)$$

As parcelas da expressão (10) para $i \geq 2$ representam a distorção do sinal de saída. A expressão (9) será utilizada para determinar as amplitudes (V_{b_i}) e fases (ϕ_{b_i}) das harmônicas do sinal de tensão de saída. Para tanto, suponha-se as seguintes hipóteses simplificadoras:

i) Considera-se que os erros devido às não-linearidades são pequenos, isto é, $|\alpha_j V^j| \ll 1$. Portanto, a amplitude V_{b_1} e a fase ϕ_{b_1} da fundamental de saída podem ser aproximadas por:

$$V_{b_1} = V_i |H(z)| \Big|_{z = e^{j\omega T}}$$

$$\phi_{b_1} = \text{Fase } [H(z)] \Big|_{z = e^{j\omega T}}$$

onde $H(z) = N(z)/D(z)$ é a função de transferência ideal, com entrada e saída relativas à fase "0".

ii) Uma vez que a distorção harmônica do sinal de saída é pequena, a função $f(V_{out})$ pode ser aproximada por:

$$f(V_{out}) \approx f(V_{out}) \Big|_{V_{out} = V_{b_1} \cos(n\omega T + \phi_{b_1})}$$

Considerando-se (i) e (ii) pode-se, então, a partir da expressão (9), obter as amplitudes e fases das demais harmônicas do sinal de saída:

$$|V_{b_i}| = |V_i a_i H(z) + V_{b_1} b_i e^{j(i\phi_b)} \Big|_{z = e^{j(i\omega T)}} \quad (11)$$

$$\phi_{b_i} = \text{Fase} \left[V_i a_i H(z) + V_{b_1} b_i e^{j(i\phi_b)} \right] \Big|_{z = e^{j(i\omega T)}} \quad (12)$$

Os coeficientes a_i e b_i para $i = 2, 3$ são dados por:

$$a_2 = 1/2\alpha_1 V_1 + 4/8\alpha_3 V_1^3 + 15/32\alpha_5 V_1^5 + \dots$$

$$b_2 = 1/2\alpha_1 V_{b_1} + 4/8\alpha_3 V_{b_1}^3 + 15/32\alpha_5 V_{b_1}^5 + \dots$$

$$a_3 = 1/4\alpha_2 V_1^2 + 5/8\alpha_4 V_1^4 + 21/64\alpha_6 V_1^6 + \dots$$

$$b_3 = 1/4\alpha_2 V_{b_1}^2 + 5/8\alpha_4 V_{b_1}^4 + 21/64\alpha_6 V_{b_1}^6 + \dots$$

4. EXEMPLO DE APLICAÇÃO

A técnica de análise desenvolvida foi aplicada a um filtro passa-baixas com função de transferência ideal dada por:

$$H(z) = \frac{-0,24139 z^{-1} + 0,47549 - 0,24139 z^1}{1,0000 z^{-1} - 2,0574 + 1,0728 z^1}$$

A síntese desta função utilizando a rede da Figura 2 leva aos valores relativos de capacitância da Tabela II. A magnitude da

resposta em frequência da rede ideal é apresentada na Figura 3.

$C_{00} = 3,317$	$C_{20} = 1,000$	$C_{40} = 1,000$	$C_{60} = 13,740$
$C_{10} = 1,348$	$C_{30} = 1,687$	$C_{50} = 22,672$	

Tab. 2. Valores relativos das capacitâncias para a rede da Fig. 2a.

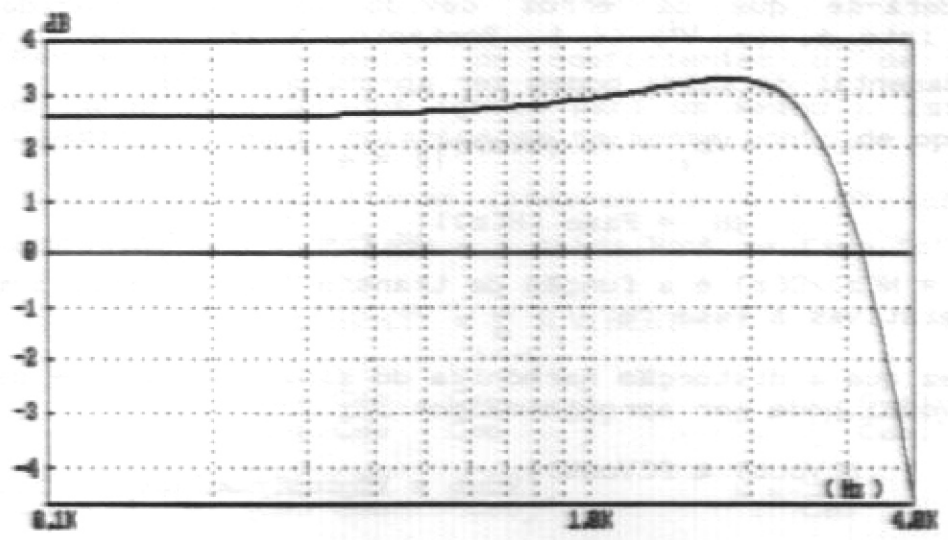


Fig. 3. Módulo da resposta em frequência da rede da fig. 2a.

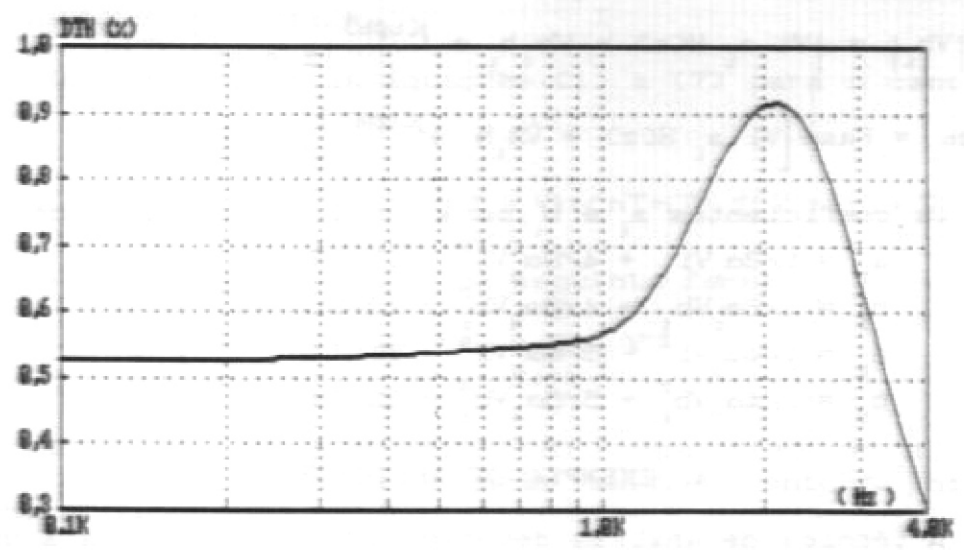


Fig. 4. Curva de DTH(%) versus frequência de entrada para uma tensão de entrada de 2 volts pico a pico. $\alpha_1 = 0,00926 V^{-1}$, $\alpha_2 = -0,00364 V^{-2}$, $\alpha_3 = 0,00161 V^{-3}$, $\alpha_4 = -0,00076 V^{-4}$, $\alpha_5 = 0,00037 V^{-5}$, $\alpha_6 = -0,00019 V^{-6}$ e $\alpha_j = 0$ para $j \geq 7$.

A utilização destas expressões e das relações (11) e (12) conduziu aos resultados das figuras 4 e 5 que apresentam a distorção harmônica total em função da frequência, para tensão de 2 Vpp na entrada e em função da amplitude do sinal de entrada, na frequência de 1KHz. Os coeficientes α_j 's dos capacitores foram determinados numericamente, para o ponto de polarização de 2,5 Volts, através da tabela de pontos da característica C x V do capacitor MOS. Os níveis de distorção harmônica obtidos com a simulação desta rede permitem antecipar que, para muitas aplicações, o uso de capacitores MOS em estruturas SC pode contornar o problema da falta de capacitores duplo-poli sem sacrificar significativamente a performance do circuito.

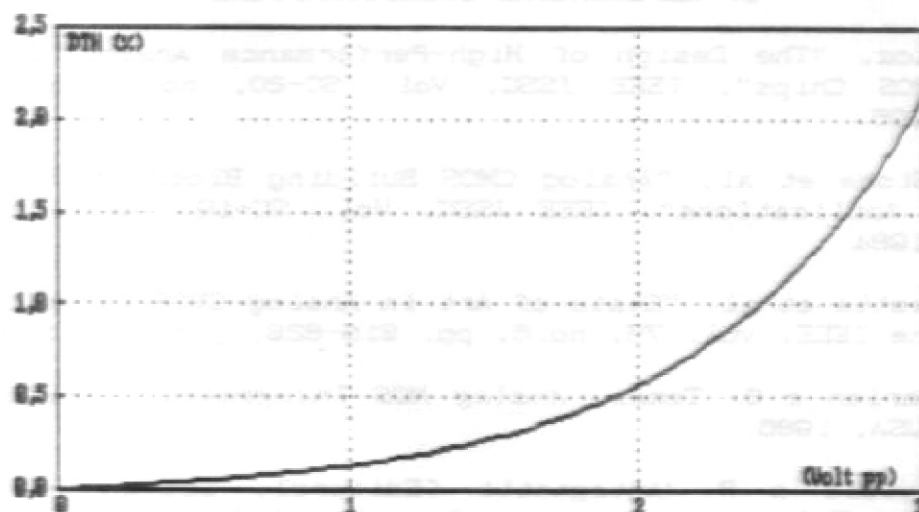


Fig.5. Curva de DTH(%) versus tensão pico a pico de entrada para a frequência de 1KHz.

5. CONCLUSÕES

Este trabalho apresentou uma nova técnica para a análise da distorção harmônica em redes de 2ª ordem a capacitores chaveados, devido à utilização de capacitores não lineares. A técnica proposta é extremamente simples de aplicar, uma vez que a distorção do sinal de saída é determinada a partir da função de transferência da rede ideal e da caracterização do capacitor MOS.

Os resultados obtidos mostram que os capacitores MOS, mesmo apresentando não-linearidades bastante acentuadas, podem ser utilizados em redes a capacitores chaveados, desde que adequadamente polarizados, sem introduzir distorção harmônica significativa e, ao mesmo tempo, sem comprometer a faixa dinâmica. Esta conclusão fica evidenciada ao examinar-se as curvas das figuras 4 e 5 onde se observa níveis de distorção inferiores a 1%, em toda a banda passante, para sinal de entrada de 2 Vpp e inferiores a 2,5%, em

1KHz, para tensões de entrada de até 3 Vpp. Deve-se aqui mencionar que valores de distorção desta ordem de grandeza são aceitáveis para muitas aplicações; ademais, a tensão de polarização dos capacitores utilizada nas simulações foi de 2,5 V (correspondente a 5 V de alimentação). Caso se utilize 10 V de alimentação, pode-se polarizar os capacitores com 5 V; naturalmente, neste caso, obtém-se menor taxa de distorção harmônica para uma mesma variação relativa da tensão de saída.

Como prosseguimento deste trabalho pretende-se aplicar o método aqui proposto em redes a capacitores chaveados de qualquer ordem, apresentando uma forma sistemática de cálculo da distorção harmônica. Isto é particularmente importante para os projetistas de CI's analógicos que se utilizam de tecnologias CMOS digitais.

6. REFERÊNCIAS BIBLIOGRÁFICAS

1. E. Vittoz, "The Design of High-Performance Analog Circuits on Digital CMOS Chips", IEEE JSSC, Vol. SC-20, no.3, pp. 657-665, junho de 1985.
2. D. C. Stone et al, "Analog CMOS Building Blocks for Custom and Semicustom Applications", IEEE JSSC, Vol. SC-19, no.1, pp. 55-61, fevereiro 1984.
3. E. Habekotté et al, "State of Art in Analog CMOS Circuit Design", Proc. of the IEEE, vol. 75, no.6, pp. 816-828, junho de 1987.
4. R. Gregorian e G. Temes, *Analog MOS Integrated Circuits*, Wiley, New York, USA, 1986.
5. Y. Tsividis e P. Antognetti (Editors), *Design of MOS VLSI Circuits for Telecommunications*, Prentice Hall, Englewood Cliffs, NJ, USA, 1985.
6. D. J. Allstot e W. C. Black Jr., "Technological Design Considerations for Monolithic MOS Switched-Capacitor Filters", Proc. of the IEEE, Vol. 71, pp. 987-988, agosto de 1983.
7. J. C. M. Bermudez e C. G. Montoro, "A Integração de Circuitos a Capacitores Chaveados em Tecnologia CMOS Digital", Anais do III Congresso da Sociedade Brasileira de Microeletrônica, São Paulo, julho de 1989, pp. 265-271.
8. C. G. Montoro e J. C. M. Bermudez, "Switched-Capacitor Circuits Fully Compatible with Digital Si-gate Single Poly Technology", 31st Midwest Symposium on Circuits and Systems, St. Louis, USA, agosto de 1988.
9. Y. Tsividis, *Operation and Modeling of the MOS Transistor*, McGraw-Hill, New York, USA, 1987.

10. K. Lee e R. G. Meyer, "Low Distortion Switched Capacitor Filter Design Techniques", IEEE JSSC, Vol. SC-20, pp. 1103-1113, dezembro de 1985.

11. P. E. Fleischer e K. R. Laker, "A Family of Active Switched Capacitor Biquad Building Blocks", Bell Syst. Tech. J., vol. 56, pp. 2253-2269, outubro de 1979.

12. J. C. M. Bermudez e B. B. Bhattacharyya, "A Systematic Procedure for Generation and Design of Parasitic Insensitive SC Biquad", IEEE Trans. on Circuits and Systems, vol. CAS-32, pp. 767-783, agosto de 1985.