



UNIVERSIDADE FEDERAL DE SANTA CATARINA  
CENTRO TECNOLÓGICO  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

DANIEL LUCAS NOVACK

**PROJETO DE UM OSCILADOR INTEGRADO DE 4 FASES PARA APLICAÇÃO  
EM FILTROS PASSA BANDA DE FAIXA ESTREITA EM TECNOLOGIA FD-SOI  
22 nm**

Florianópolis  
2022

Daniel Lucas Novack

**PROJETO DE UM OSCILADOR INTEGRADO DE 4 FASES PARA APLICAÇÃO  
EM FILTROS PASSA BANDA DE FAIXA ESTREITA EM TECNOLOGIA FD-SOI  
22 nm**

Dissertação submetida ao Programa de Programa de Pós-  
Graduação da Universidade Federal de Santa Catarina  
para a obtenção do título de Mestre em Engenharia  
Elétrica  
Orientador: Prof. Dr. Márcio Cherem Schneider

Florianópolis

2022

Ficha de identificação da obra elaborada pelo autor, através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Novack, Daniel Lucas

PROJETO DE UM OSCILADOR INTEGRADO DE 4 FASES PARA APLICAÇÃO EM FILTROS PASSA BANDA DE FAIXA ESTREITA EM TECNOLOGIA FD-SOI 22nm / Daniel Lucas Novack ; orientador, Márcio Cherem Schneider, 2022.  
70 p.

Dissertação (mestrado) - Universidade Federal de Santa Catarina, Centro Tecnológico, Programa de Pós-Graduação em Engenharia Elétrica, Florianópolis, 2022.

Inclui referências.

1. Engenharia Elétrica. 2. Circuitos Integrados. 3. Oscilador em anel. 4. Filtro de Banda Estreita. 5. Baixa tensão. I. Schneider, Márcio Cherem. II. Universidade Federal de Santa Catarina. Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

Daniel Lucas Novack

**PROJETO DE UM OSCILADOR INTEGRADO DE 4 FASES PARA APLICAÇÃO  
EM FILTROS PASSA BANDA DE FAIXA ESTREITA EM TECNOLOGIA FD-SOI  
22nm**

O presente trabalho em nível de mestrado foi avaliado e aprovado por banca  
examinadora composta pelos seguintes membros:

---

Prof. Carlos Galup Montoro, Ph.D.  
Universidade Federal de Santa Catarina (UFSC)

---

Heider Marconi Guedes Madureira, Ph.D.  
Chipus Microelectronics

---

Prof. Márcio Bender Machado, Dr.  
Instituto Federal de Educação, Ciência e Tecnologia de São Paulo (IFSP)

Certificamos que esta é a **versão original e final** do trabalho de conclusão que foi  
julgado adequado para obtenção do título de Mestre em Engenharia Elétrica.

---

Prof. Telles Brunelli Lazzarin, Dr.  
Coordenador

---

Prof. Dr. Márcio Cherem Schneider, Dr.  
Orientador

Florianópolis, 21 de Janeiro de 2022.

Este trabalho é dedicado aos meus pais, minha irmã e, especialmente, minha esposa por sempre terem caminhado junto comigo durante toda a minha trajetória.

## AGRADECIMENTOS

Agradeço ao meu orientador Márcio Cherem Schneider pela colaboração, pelo conhecimento compartilhado, pela orientação que recebi, pela disposição e paciência durante o trabalho realizado.

Agradeço aos membros da banca examinadora pelo tempo dispensado em avaliar este trabalho.

Agradeço à Chipus Microelectronics pelo suporte prestado, assim como aos colegas de trabalho, em especial o Fellipe Sola, que nunca hesitaram em me dar suporte para que este trabalho fosse finalizado.

Agradeço a todos os colaboradores do Departamento de Engenharia Elétrica e Eletrônica da UFSC pelo tempo dispensado e por todo o suporte prestado durante toda minha jornada nessa etapa.

Agradeço à minha família, em especial à minha esposa Bruna Zielinski, por todo o suporte e paciência durante essa jornada.

Agradeço a Deus por me conceder saúde e força para enfrentar as dificuldades.

## RESUMO

O presente trabalho apresenta a análise e o projeto de um oscilador em anel totalmente integrado de saída diferencial para aplicações em filtros de banda estreita. O oscilador foi projetado integralmente na tecnologia 22 nm FD-SOI da *GlobalFoundries*. O projeto dos blocos e a integração entre oscilador e filtro são feitos em nível de esquemático e leiaute. A fim de reduzir o consumo, a tensão de alimentação é de 500 mV. O núcleo do oscilador é polarizado em corrente que varia entre 7,8  $\mu\text{A}$  até 30,5  $\mu\text{A}$  para operar na faixa de frequência de 800 MHz até 2,4 GHz. O oscilador é composto de 3 blocos, sendo eles o núcleo, o deslocador de nível (*level-shifter*), e o *buffer* de saída. As simulações de *corners* e Monte Carlo mostram que a frequência de oscilação pode ser mantida dentro da faixa desejada através de ajuste na corrente de polarização do oscilador, mesmo que esse opere dentro de uma faixa de temperatura entre 0 e 80 graus Celsius, tanto no nível de esquemático quanto no nível de leiaute. A conexão do oscilador com um filtro faixa estreita *4-path* sintonizado em 1 GHz resultou em largura de banda de 4 MHz e 20 dB de atenuação na faixa de rejeição. O consumo de potência a 1 GHz é de 25,5  $\mu\text{W}$ , enquanto a 2,4 GHz é de 57,5  $\mu\text{W}$ .

**Palavras-chave:** Oscilador em anel. Oscilador controlado por corrente. Deslocador de nível. Circuito integrado. Tecnologia FD-SOI. Baixa tensão.

## ABSTRACT

This work presents the analysis and design of a fully integrated differential output ring oscillator for application in narrowband filter. The oscillator is designed entirely on GlobalFoundries 22 nm FD-SOI technology. The design of the blocks and the integration between oscillator and filter are done at the schematic and layout level. In order to reduce consumption, the supply voltage is 500 mV. The oscillator core is biased from a current source ranging from 7.8  $\mu\text{A}$  to 30.5  $\mu\text{A}$  to operate in the frequency range from 800 MHz to 2.4 GHz. The oscillator is composed of 3 blocks, namely the core, the level shifter, and the output buffer. Corners and Monte Carlo simulations at the schematic and layout levels show that the oscillation frequency can be kept within the desired range by adjusting the oscillator's bias current, even if it operates within a temperature range between 0 and 80 degrees Celsius, both at the level schematic and layout level. Connecting the oscillator to a 4-path narrowband filter tuned to 1 GHz resulted in 4 MHz bandwidth and 20 dB attenuation in the stop band. The power consumption at 1 GHz is 25.5  $\mu\text{W}$ , while at 2.4 GHz it is 57.5  $\mu\text{W}$ .

**Keywords:** Ring oscillator. Current controlled oscillator, Level shifter. Integrated circuit. FD-SOI technology. Low voltage.



## LISTA DE FIGURAS

Figura 1 - Diagrama de blocos de um receptor. ....	15
Figura 2 - Diagrama de um filtro <i>N-path</i> ideal.....	16
Figura 3 - Ilustração de um MOSFET em tecnologia FDSOI [11]. ....	18
Figura 4 - Ilustração de um FDSOI MOSFET com polarização de corpo [11].....	19
Figura 5- Módulo da tensão de limiar vs. polarização do plano inferior.....	20
Figura 6 - Seção transversal dos transistores SLVT PMOS e NMOS usando <i>flip well</i> . Adaptado de [14]. ....	21
Figura 7 – Módulo da tensão de limiar vs comprimento do canal para o transistor NMOS. .....	21
Figura 8 – Módulo da tensão de limiar vs comprimento do canal para o transistor PMOS. .....	22
Figura 9 - Módulo de tensão de limiar para o intervalo entre 30 nm e 55 nm para o transistor PMOS. ....	23
Figura 10 - Corrente específica de folha vs polarização do plano inferior.....	24
Figura 11 - Oscilador representado como um sistema realimentado.....	25
Figura 12 - Diagrama de blocos do oscilador.....	27
Figura 13 - Oscilador em anel de quatro estágios sem <i>latch</i> . ....	27
Figura 14 - Oscilador em anel de quatro estágios com <i>latches</i> . ....	28
Figura 15 - Esquemático da célula de atraso. ....	29
Figura 16 - Símbolo da célula de atraso. ....	29
Figura 17 – Esquemático do núcleo do oscilador.....	29
Figura 18 - Esquemático do núcleo do oscilador alimentado por fonte de tensão. ....	30
Figura 19 - Frequência e consumo vs $V_{DD\_CORE}$ .....	31
Figura 20 - Esquemático do núcleo do oscilador conectado ao espelho de corrente. ..	31
Figura 21 - Esquemático utilizado para avaliar o espelho de corrente com dimensões: $W$ = 200 nm, $L=20$ nm, múltiplos paralelos = 10. ....	33
Figura 22 - Corrente de dreno vs $V_{SD}$ para dimensões dos transistores do espelho de corrente $W = 200$ nm, $L=20$ nm, múltiplos paralelos = 10. ....	33
Figura 23 - Corrente de dreno vs $V_{SD}$ para dimensões dos transistores do espelho de corrente $W = 2$ um, $L=200$ nm, múltiplos paralelos = 10.....	34
Figura 24 - Esquemático (a) e símbolo (b) do deslocador de nível.....	35
Figura 25 - Esquemático (a) e símbolo (b) do buffer de dois estágios.....	37

Figura 26 - Frequência vs corrente de polarização. ....	39
Figura 27 - Gráfico do consumo de potência versus frequência de oscilação.....	39
Figura 28 - Sinais da saída do núcleo do oscilador. ....	41
Figura 29 - Sinais das saídas dos deslocadores de nível.....	41
Figura 30 - Sinais nas saídas dos buffers.....	42
Figura 31 - Gráfico da frequência vs temperatura @ ibias = 7,8 $\mu$ A. ....	43
Figura 32 - Gráfico da frequência vs temperatura @ ibias = 30,5 $\mu$ A. ....	43
Figura 33 - Gráfico do resultado da simulação de Monte Carlo para ibias = 7,8 $\mu$ A @ 27°C.....	44
Figura 34 - Gráfico do resultado da simulação de Monte Carlo para ibias = 30,5 $\mu$ A @ 27°C.....	45
Figura 35 - Filtro 4-path ideal. ....	46
Figura 36 - Representação das quatro fases com ciclo de trabalho de 25%.....	47
Figura 37 - Ilustração de $V_{in}$ e $V_{out}$ para o caso de $f_{in} = f_a$ .....	47
Figura 38- Ilustração de $v_{in}$ e $v_{out}$ para o caso de $f_{in} \neq f_a$ . ....	48
Figura 39 - Filtro 4-path ideal com associações em série de duas chaves para geração de ciclo de trabalho de 25%.....	49
Figura 40 - Esquemático (a) e símbolo (b) da porta de transmissão. ....	49
Figura 41 - Resistência da porta de transmissão ( $R_{SW}$ ) em função da tensão na entrada. ....	50
Figura 42 – Gráfico da função de transferência do filtro 4-path sem inclusão da resistência das chaves vs frequência do sinal de entrada, @ frequência do oscilador = 1 GHz. ....	53
Figura 43 - Gráfico da função de transferência do filtro 4-path com inclusão da resistência das chaves vs frequência do sinal de entrada, @ frequência do oscilador = 1 GHz. ....	53
Figura 44 - Detalhe do gráfico da função $H_{0sw}(f)$ em torno da frequência de 1 GHz...	54
Figura 45 – Esquemático completo do filtro 4-path incluindo os blocos para geração dos sinais de controle das chaves. ....	55
Figura 46 – Ganho simulado de $V_{out}/V_{in}$ para a frequência do sinal de entrada entre 0Hz e 6GHz.....	56
Figura 47 – Detalhe do ganho $V_{out}/V_{in}$ em torno da frequência de chaveamento de 1 GHz. ....	56

Figura 48 - Gráfico do ganho $V_{out}/V_{in}$ em torno da frequência de chaveamento de 912 MHz.....	57
Figura 49 - Ruído de fase do oscilador versus desvio em frequência em torno da frequência do oscilador de 2,5 GHz. ....	58
Figura 50 - Ilustração de solução do WPE no layout (vista superior).....	59
Figura 51 - Estresse vs posição ao longo da cadeia. ....	60
Figura 52 - Estresse vs posição ao longo da cadeia com inclusão de dispositivos dummy. ....	60
Figura 53 – Leiaute do oscilador, <i>buffers</i> , deslocadores de nível e espelho de corrente. ....	61
Figura 54- Frequência de oscilação vs corrente de polarização. ....	62
Figura 55 - Gráfico do consumo de potência vs frequência de oscilação.....	63
Figura 56 - Leiaute do sistema completo.....	64
Figura 57 – Gráfico do ganho $V_{out}/V_{in}$ , pós leiaute, para a frequência do sinal de entrada entre 0Hz e 6GHz. ....	65

## LISTA DE TABELAS

Tabela 1 - Comparação com outros trabalhos nos aspectos descritos.....	17
Tabela 2 - Valores de $V_{TH}$ para diferentes valores de $V_{BB}$ .....	20
Tabela 3 - Tamanho dos transistores do deslocador de nível. ....	36
Tabela 4 – Dimensões dos transistores do núcleo do oscilador. ....	36
Tabela 5 - Dimensões dos transistores do estágio de entrada do <i>buffer</i> . ....	38
Tabela 6 - Dimensões dos dispositivos do oscilador.....	38
Tabela 7 - Consumo de potência do oscilador para a frequência de 2,5 GHz.....	42
Tabela 8 - Resultados das simulações de corners comparados com o caso típico. ....	45
Tabela 9 - Dimensões dos transistores da porta de transmissão.....	51

## LISTA DE ABREVIATURAS E SIGLAS

CMOS - MOS complementar

MOS - Metal-óxido-semicondutor

MOSFET - Transistor de efeito de campo metal-óxido-semicondutor

PMOS - Transistor de efeito de campo do tipo P

NMOS - Transistor de efeito de campo do tipo N

FD-SOI - *Fully-depleted silicon-on insulator*

LVS – Leiaute *versus* esquemático

DRC – Verificação das regras de projeto

BOX – Óxido enterrado

$V_{BB}$  – Tensão de polarização do plano traseiro (*back plane*)

$V_{TH}$  – Tensão de limiar

IoT – Internet das coisas

BPF – Filtro passa banda

TG – Porta de transmissão (*transmission gate*)

BW – Largura de banda (*Bandwidth*)

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>15</b>
1.1	MOTIVAÇÃO.....	15
1.2	REVISÃO DO ESTADO DA ARTE .....	17
1.3	ORGANIZAÇÃO .....	18
<b>2</b>	<b>TECNOLOGIA GLOBALFOUNDRIES 22NM FDSOI .....</b>	<b>18</b>
2.1	CARACTERIZAÇÃO DE DISPOSITIVOS.....	19
<b>3</b>	<b>OSCILADOR.....</b>	<b>24</b>
3.1	CRITÉRIO DE OSCILAÇÃO.....	24
3.2	OSCILADOR EM ANEL DE QUATRO FASES.....	25
3.3	NÚCLEO DO OSCILADOR .....	27
3.4	ESPELHO DE CORRENTE .....	31
3.5	DESLOCADOR DE NÍVEL .....	34
3.6	BUFFER .....	36
3.7	RESULTADOS DE SIMULAÇÃO DO OSCILADOR.....	38
<b>4</b>	<b>FILTRO N-PATH.....</b>	<b>46</b>
4.1	RESULTADOS DE SIMULAÇÃO .....	54
<b>5</b>	<b>LEIAUTE E SIMULAÇÕES PÓS-LEIAUTE.....</b>	<b>58</b>
<b>6</b>	<b>CONCLUSÃO E TRABALHO FUTURO .....</b>	<b>65</b>
6.1	SUMÁRIO E CONCLUSÃO .....	65
6.2	TRABALHO FUTURO .....	66
<b>7</b>	<b>REFERÊNCIAS BIBLIOGRÁFICAS .....</b>	<b>67</b>



# 1 INTRODUÇÃO

## 1.1 MOTIVAÇÃO

Com o avanço do número de dispositivos que se comunicam sem fio, um termo novo foi criado em 1999, chamado Internet das coisas (IoT). Esse crescimento massivo fez com que o espaço utilizado para transmitir os dados ficasse cada vez mais denso e, conseqüentemente, mais susceptível a problemas de interferência [1]. Para que cada sistema receba adequadamente o sinal que lhe é destinado, os receptores de radiofrequência precisam de alta seletividade de frequência. A faixa de frequência que dispositivos de IoT utilizam, em geral, estão entre aproximadamente 300 MHz e 2,5 GHz [2]. Algumas aplicações de IoT utilizando o protocolo de comunicação ZigBee, podem operar em torno das frequências de aproximadamente 800 MHz e 2,5 GHz, com larguras de banda de 2MHz e 4MHz, respectivamente [3]. Baseado nesse protocolo esse trabalho adotou essa faixa de frequências como estudo de caso.

Usualmente a comunicação sem fio utiliza sinais de alta frequência, como as citadas anteriormente. Naturalmente, a redução de parasitas com o intuito de evitar perdas é de grande interesse; então, a integração de todo o sistema em silício é adequada, uma vez que a utilização de dispositivos externos inclui elementos parasitários adicionais que contribuem grandemente para degradar o desempenho do sistema [1].

Um receptor é composto por diversos macro blocos, dentre eles um filtro passa-faixa altamente seletivo, destacado em verde na Figura 1. Os blocos sob a representação em vermelho na Figura 1 estão fora do escopo deste trabalho.

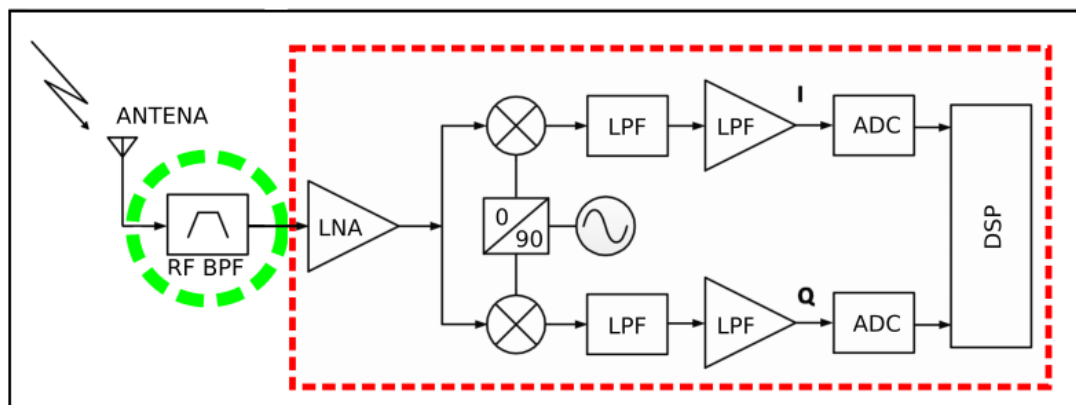


Figura 1 - Diagrama de blocos de um receptor.

Para que o receptor fique mais genérico, é essencial que a frequência de interesse seja sintonizável. A combinação de dois requisitos, que são eles: um filtro passa faixas de banda estreita, para selecionar a frequência desejada, e a sintonia de frequência, abre a possibilidade de utilização de filtros do tipo *N-path* [4]. Esse tipo de filtro é bem interessante no que se refere à integração em silício, uma vez que dispensa o uso de indutores. Em geral, filtros que utilizam um tanque contendo indutor e capacitor (filtros LC) têm alta seletividade em frequência, ou, equivalentemente, têm um alto fator de qualidade (Q). Por sua vez, filtros *N-path*, compostos de um arranjo de redes RC, chaveadas, podem exibir uma seletividade em frequência semelhante à de um filtro LC filtro passa-faixa, mas sem o inconveniente do uso de indutores, como pode ser visto na Figura 2.

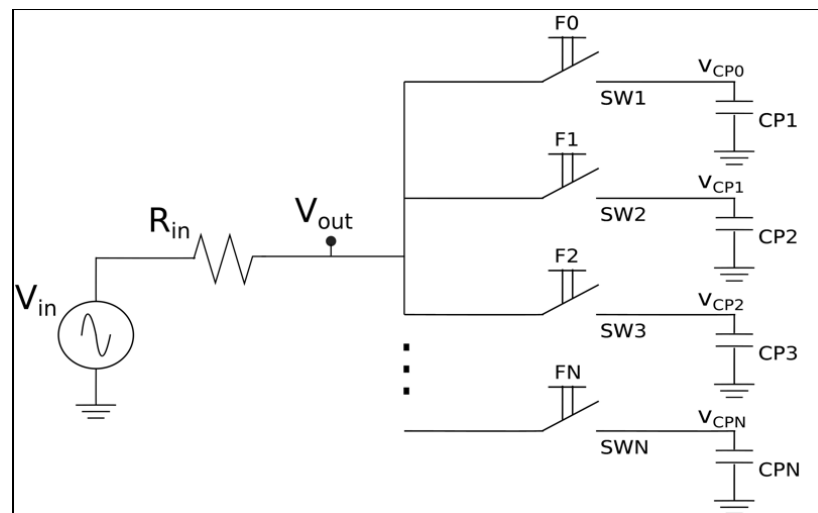


Figura 2 - Diagrama de um filtro *N-path* ideal.

Resistores e capacitores são dispositivos fáceis de serem integrados e utilizam pouca área de silício em comparação com o indutor integrado. Além de utilizar muita área em silício, o fator de qualidade dos indutores integrados é baixo, diferentemente dos capacitores, que usualmente apresentam baixas perdas.

Os filtros *N-path*, portanto, são facilmente integráveis, têm perdas baixas e ocupam reduzida área de silício.

Como citado anteriormente, o objetivo deste trabalho é projetar um filtro cuja frequência central possa ser variada. O filtro *N-path* oferece essa possibilidade, mas é necessária a inserção de um oscilador externo para seleção da frequência central do filtro.

Para o projeto desta dissertação escolhemos um filtro *4-path* (4 redes RC chaveadas), que necessita de um oscilador de 4 fases defasadas de  $90^\circ$  para chaveamento do filtro. O objeto



principal deste trabalho é o projeto de um oscilador de frequência sintonizável de quatro fases, juntamente com os circuitos necessários para gerar os sinais a serem aplicados às chaves do filtro. Para o oscilador, à semelhança do filtro, também evitamos o uso de indutores e optamos pelo uso de um oscilador em anel, composto exclusivamente por transistores, com sintonização de frequência a partir da corrente de polarização injetada em um oscilador em anel constituído por inversores convencionais e *latches*.

## 1.2 REVISÃO DO ESTADO DA ARTE

O oscilador pode contemplar diversas especificações, tais como tensão de alimentação, jitter, consumo de potência, formas de onda (senoidal, quadrada, etc), ruído de fase, tecnologia, entre outras. Neste trabalho focamos em algumas como tensão de alimentação, consumo de potência, frequência e ruído de fase. A comparação com outros trabalhos em tecnologia CMOS similar à aqui apresentada, pode ser vista na Tabela 1.

	Tecnologia	V <sub>DD</sub> (V)	Frequência (GHz)	Ruído de Fase (dBc/√Hz)	Potência (mW)
Este trabalho	22nm FDSOI	0.5	0,8 – 2,5	-92,6@10MHz <sup>1</sup>	0.0505 <sup>2</sup>
[5]	22nm FDSOI	0.5	4,55	-147 @10MHz	18
[6]	22nm FDSOI	0.2	4,15	-142,2 @10MHz	2,28
[7]	28nm FDSOI	1	1,613	-126,53 @1MHz	3,73
[8]	28nm FDSOI	1	2,45	-94 @1MHz	0,8
[9]	28nm FDSOI	1	1,7	-97.5@1MHz	1,1

Tabela 1 - Comparação com outros trabalhos nos aspectos descritos.

<sup>1</sup>Frequência de operação = 2,5 GHz

<sup>2</sup> Potência medida considerando todos os blocos do oscilador

Comparando este trabalho com outros da mesma tecnologia, pode-se notar um considerável aumento do ruído de fase em relação aos trabalhos descritos em [5], [6] e [7], que utilizam tanque LC. Entretanto, os osciladores LC de [5], [6] e [7] apresentam consumo de

potência elevado, se comparados com este trabalho e com os trabalhos apresentados em [8] e [9].

### 1.3 ORGANIZAÇÃO

No capítulo 2 são apresentadas algumas características da tecnologia FDSOI e, principalmente, a caracterização de alguns parâmetros dos transistores MOS dessa tecnologia. O capítulo 3 mostra o projeto do oscilador, constituído por um oscilador em anel de quatro fases e os blocos externos ao núcleo do oscilador, quais sejam o deslocador de nível e o *buffer*. Resultados de simulação são apresentados para validação do projeto. No capítulo 4 é apresentado o funcionamento do filtro *N-path* conectado ao oscilador para uma frequência específica. O leiaute do sistema, confeccionado no ambiente da *Synopsys*, usando a ferramenta *Custom Compiler*, pode ser visto no capítulo 5. A conclusão e as sugestões de trabalhos futuros estão descritas no capítulo 6.

## 2 TECNOLOGIA GLOBALFOUNDRIES 22NM FDSOI

A tecnologia FD-SOI é ligeiramente diferente da tecnologia *bulk* convencional. Um isolante fino é adicionado abaixo do canal não dopado, como pode ser visto na Figura 3. Essa configuração permite construir um dispositivo que traz diversos benefícios, tais como melhoria de desempenho e diminuição das correntes de fuga (*leakage*) [10].

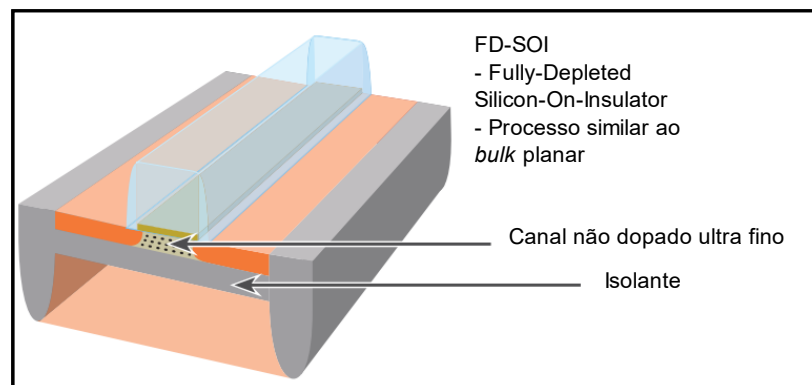


Figura 3 - Ilustração de um MOSFET em tecnologia FDSOI [11].

A Figura 3 mostra que o isolante separa o canal do corpo do dispositivo, que pode ser polarizado para alterar o comportamento do transistor, em especial a tensão de limiar [12]. A adição desse terminal é ilustrada na Figura 4.

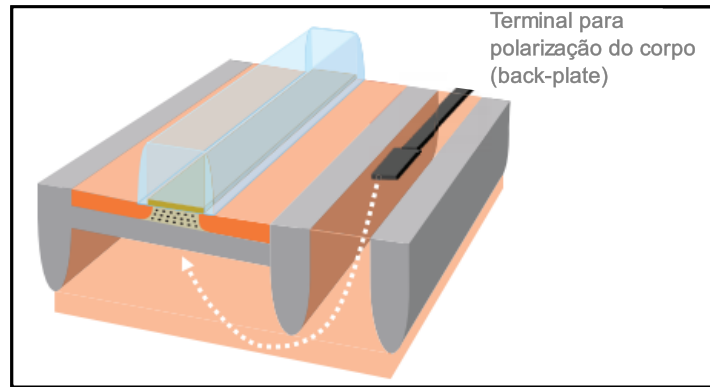


Figura 4 - Ilustração de um FDSOI MOSFET com polarização de corpo [12].

A região do corpo abaixo do canal chama-se plano traseiro (*back plane*), e a tensão aplicada a essa região é denominada polarização de corpo (*body biasing*), doravante denominada  $V_{BB}$  [13].

## 2.1 CARACTERIZAÇÃO DE DISPOSITIVOS

Dentre os transistores disponíveis na tecnologia escolhida neste trabalho, temos: SLVT (*Super Low Voltage Threshold*), LVT (*Low Voltage Threshold*), RVT (*Regular Voltage Threshold*), entre outros. Já que buscamos minimizar a tensão de alimentação do circuito, o SLVT é o transistor mais apropriado pois tem a menor tensão de limiar ( $V_{TH}$ ). Os dispositivos de baixa tensão de limiar são disponíveis tanto para transistores PMOS quanto NMOS. O método  $g_m/I_D$  [14] foi usado para encontrar a tensão de limiar. Pode-se variar a tensão de corpo  $V_{BB}$ , com relação à tensão da fonte, entre -2V e 2V [12] e, com isso, modular a tensão de limiar dos transistores SLVT, como pode ser visto na Figura 5.

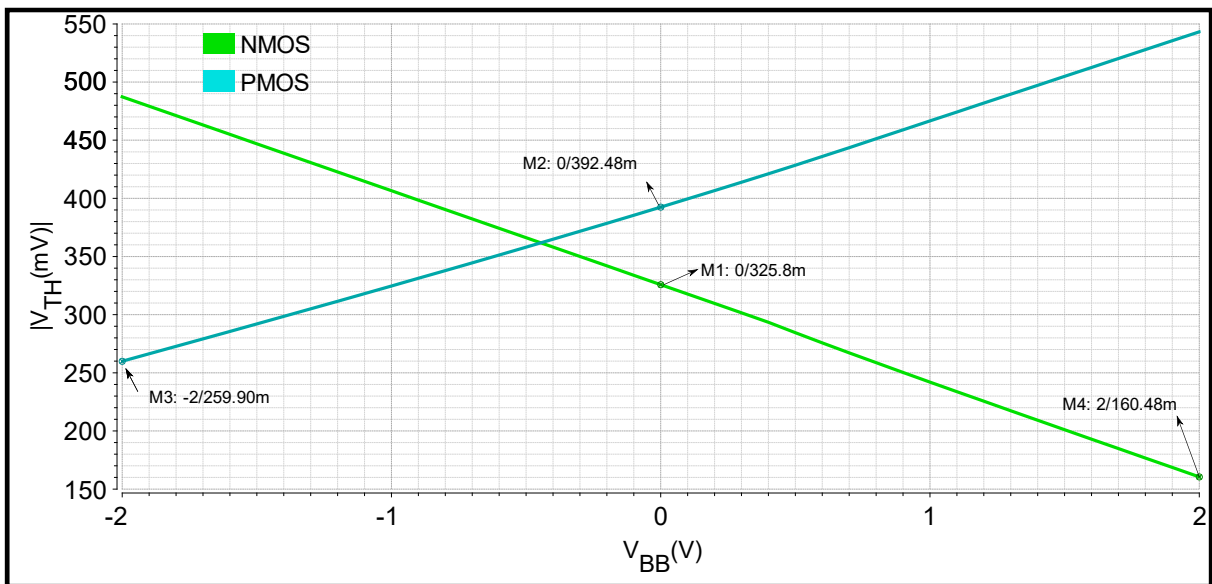


Figura 5- Módulo da tensão de limiar vs. polarização do plano inferior.

Para facilitar a visualização, a Figura 5 representa o módulo da tensão de limiar e revela que, para o transistor NMOS, quanto maior a tensão do plano inferior menor é a tensão de limiar, enquanto o transistor PMOS apresenta comportamento complementar. A simulação típica retorna valores de tensão de limiar que podem ser vistos na Tabela 2.

	$V_{TH}$ (mV)	
	PMOS	NMOS
$V_{BB} = 0V$	-392,48	325,8
$V_{BB} = -2V$	-259,90	486,2
$V_{BB} = +2V$	-543,2	160,48

Tabela 2 - Valores de  $V_{TH}$  para diferentes valores de  $V_{BB}$ .

Os valores da tensão de limiar citados na Tabela 2 referem-se aos transistores PMOS e NMOS de dimensões mínimas, sendo a largura do canal igual a 80 nm e o comprimento igual a 20 nm.

Os dispositivos SLVT são do tipo *flip well*, diferentemente do processo *bulk* convencional. Para o transistor NMOS o dopante sob o óxido enterrado é do tipo N, enquanto para o transistor PMOS o dopante sob o óxido enterrado é do tipo P. Detalhes dos transistores SLVT podem ser vistos na Figura 6.

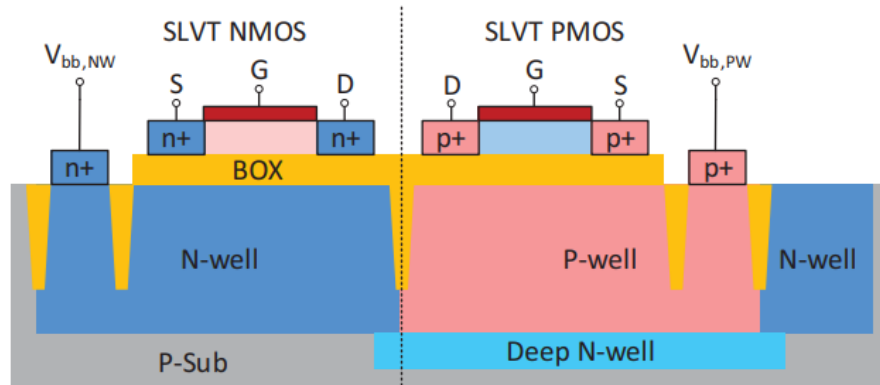


Figura 6 - Seção transversal dos transistores SLVT PMOS e NMOS usando *flip well*. Adaptado de [14].

A variação da tensão de limiar com o comprimento do canal é apresentada nas Figuras 7 e 8. Esta simulação foi incluída a fim de avaliar se há uma redução da tensão de limiar com o aumento do comprimento do canal, o que poderia levar-nos a utilizar um comprimento de canal superior ao mínimo visando a uma possível redução da tensão de alimentação para os circuitos deste trabalho.

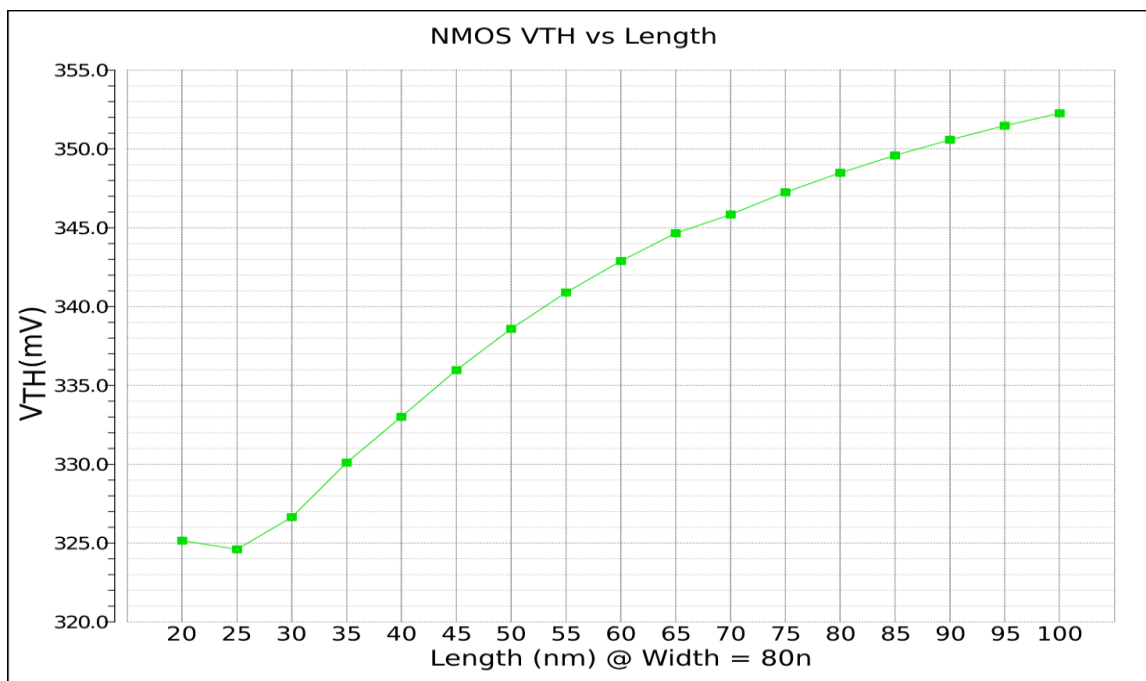


Figura 7 – Módulo da tensão de limiar vs comprimento do canal para o transistor NMOS.

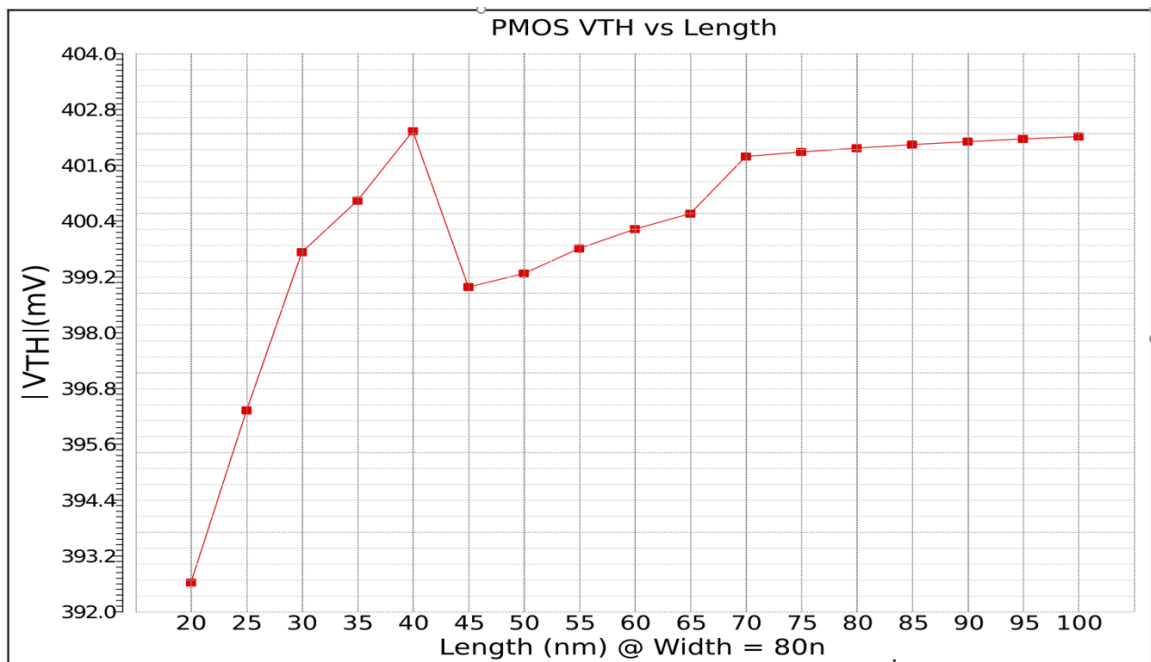


Figura 8 – Módulo da tensão de limiar vs comprimento do canal para o transistor PMOS.

A Figura 7 revela que para o transistor NMOS, a variação da tensão de limiar com o comprimento do canal cresce de forma quase linear, e no intervalo de 20 nm até 100 nm há uma diferença de 27,5 mV. Já a Figura 8 revela o aumento da tensão de limiar para o transistor PMOS, com uma descontinuidade no crescimento linear entre 40 nm e 45 nm. Apesar da descontinuidade, a variação da tensão de limiar no intervalo de 20 nm e 100 nm é de aproximadamente 10 mV. Uma simulação, com mais precisão, em torno da descontinuidade da linearidade crescente, foi feita para avaliar o efeito e descartar problemas de simulação. A simulação consiste em uma análise DC para extração da tensão de limiar, com passo de 100  $\mu$ V e passo no comprimento do canal de 1 nm na faixa de 30 nm e 55 nm. Já no caso anterior foi usado um passo de tensão de 1 mV e passo no comprimento do canal de 5 nm. O resultado dessa simulação pode ser visto na Figura 9. É provável que haja alguma inconsistência na equação de dependência da tensão de limiar com o comprimento do canal e/ou nos parâmetros associados a tal equação.

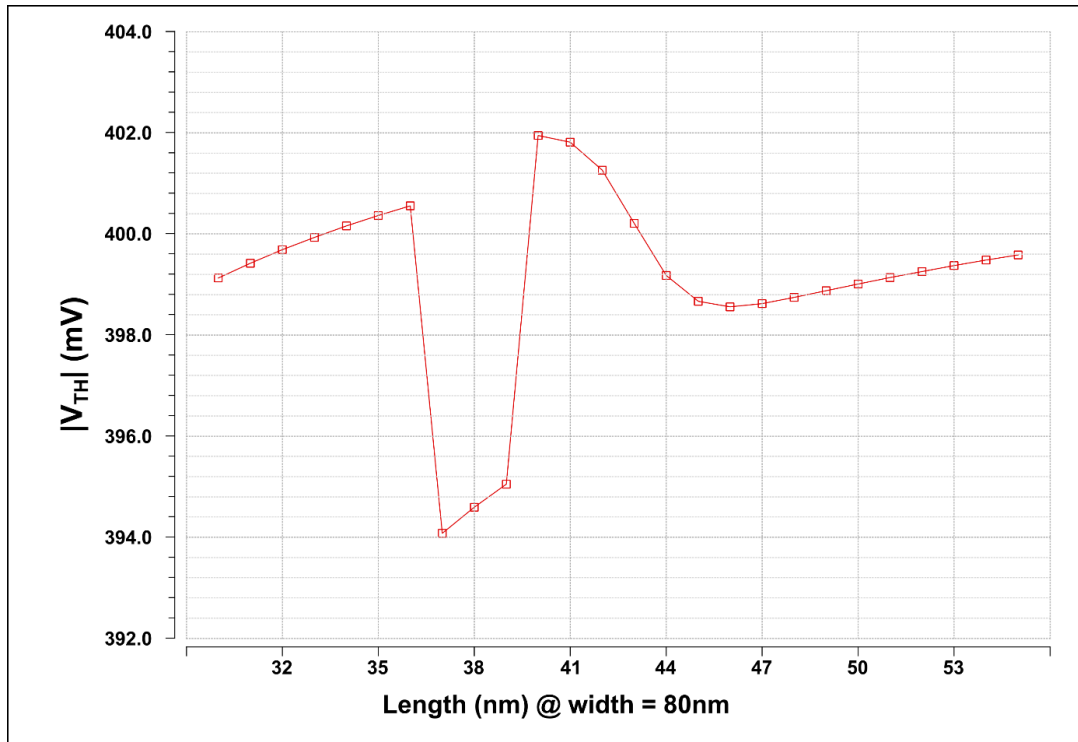


Figura 9 - Módulo de tensão de limiar para o intervalo entre 30 nm e 55 nm para o transistor PMOS.

Outro parâmetro dos transistores que usaremos em breve é a corrente específica, definida [16] como

$$I_s = I_{SQ} \left( \frac{W}{L} \right) \quad (1)$$

onde  $I_{SQ}$  é a corrente específica de folha, dada [15] por

$$I_{SQ} = \frac{1}{2} \mu C'_{OX} n \phi_t^2 \quad (2)$$

onde  $C'_{OX}$  é a capacitância do óxido por unidade de área,  $\mu$  é a mobilidade dos portadores no canal do transistor,  $n$  é o fator de inclinação e  $\phi_t$  é a tensão térmica, que para 22 °C é aproximadamente 25 mV. Como mostrado em [14], é possível extrair a corrente específica utilizando o mesmo ensaio que foi usado para extrair a tensão de limiar.

A Figura 10 ilustra a corrente específica de folha para os transistores PMOS e NMOS para diferentes polarizações do plano inferior. O aumento da corrente específica de folha para o transistor NMOS é proporcional, de forma linear, ao aumento da tensão do plano inferior,

enquanto a corrente específica do transistor PMOS decai linearmente com o aumento da tensão no plano inferior.

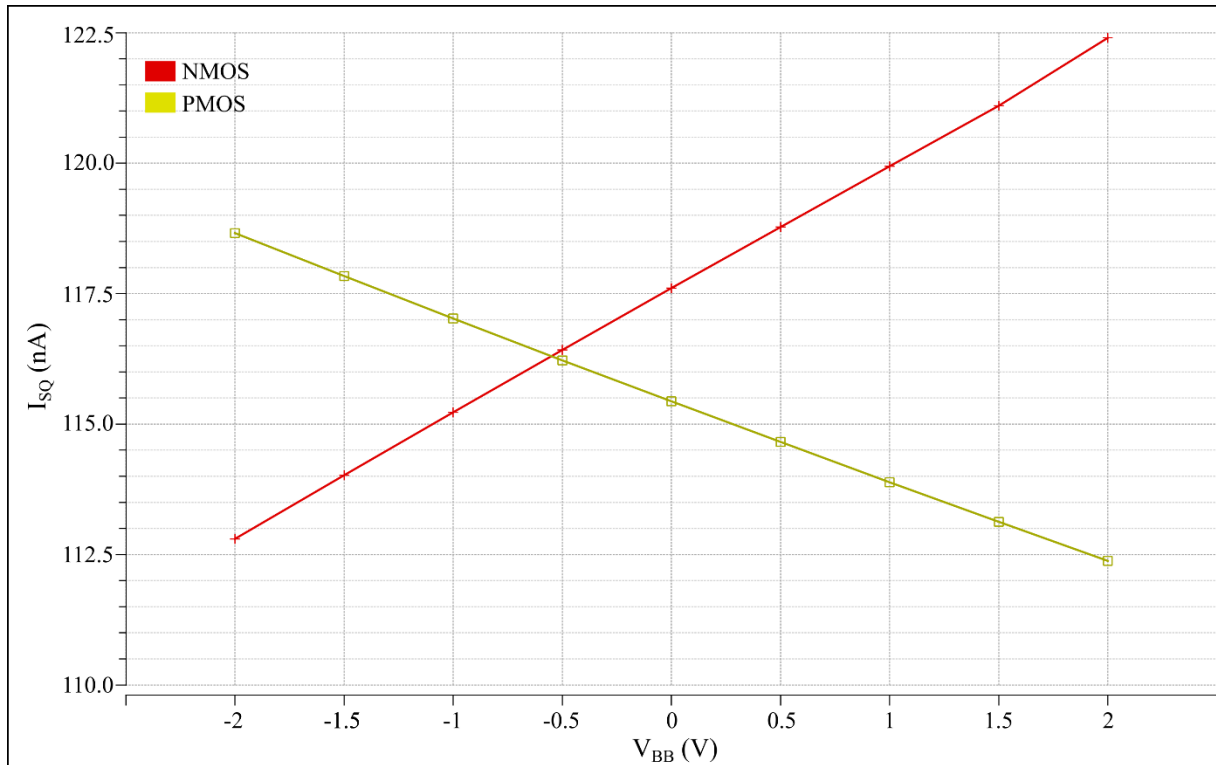


Figura 10 - Corrente específica de folha vs polarização do plano inferior.

### 3 OSCILADOR

Neste trabalho utilizaremos o oscilador descrito em [17] e [18] para geração do sinal que determinará a frequência central de um filtro passa faixa.

#### 3.1 CRITÉRIO DE OSCILAÇÃO

O oscilador pode ser representado como um amplificador e uma rede de realimentação como ilustra a Figura 11.



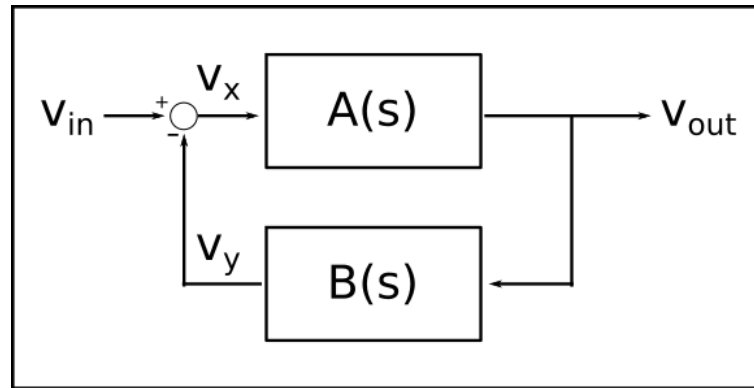


Figura 11 - Oscilador representado como um sistema realimentado.

A função de transferência do sistema representado na Figura 11 é dada por

$$H(j\omega) = \frac{v_{out}}{v_{in}} = \frac{A(j\omega)}{1 + B(j\omega)A(j\omega)} \quad (3)$$

A oscilação irá ocorrer se os chamados critérios de *Barkhausen* forem satisfeitos [20]. Se analisarmos a função de transferência  $H(j\omega)$  vemos que a função diverge se o ganho de malha  $B(j\omega)A(j\omega) = -1$ . Sempre que o sinal é transmitido pelo amplificador, retorna à entrada novamente através da rede de realimentação. Se o ganho de malha for igual ou superior a um e com fase  $\pi \pm 2n\pi$ , onde  $n$  é qualquer número inteiro, a oscilação pode ser mantida indefinidamente; logo, as condições para oscilação podem ser escritas da seguinte forma [20]:

$$|A(j\omega)B(j\omega)| \geq 1 \text{ e } \angle A(j\omega)B(j\omega) = 180^\circ \quad (4)$$

Os dois critérios acima são os chamados critérios de *Barkhausen* para oscilação.

### 3.2 OSCILADOR EM ANEL DE QUATRO FASES

Neste trabalho, como um estudo de caso, optamos por um oscilador em anel de 4 fases, que irá controlar o chaveamento de um filtro *4-path*. As quatro fases serão chamadas de  $\phi_1$ ,  $\phi_2$ ,  $\phi_3$  e  $\phi_4$ . Cada fase tem a defasagem de 90 graus com relação à anterior, logo se denominarmos que a fase 1 ( $\phi_1$ ) é a fase de referência (0 graus) então:  $\phi_2 = 90^\circ$ ,  $\phi_3 = 180^\circ$ ,  $\phi_4 = 270^\circ$ . O projeto

do oscilador, que inclui tanto a frequência de trabalho quanto a tensão mínima de alimentação, deve incluir as cargas capacitivas das quatro chaves que associadas ao filtro *4-path*.

O oscilador é composto do núcleo (*core*), que é a unidade onde o sinal periódico é gerado e dois deslocadores de nível (*level shifters*), para deslocar o nível mais alto de tensão da saída do núcleo para o mesmo nível da alimentação do restante do circuito, além dos *buffers* de saída. Apenas dois deslocadores de nível com saídas complementares são necessários. A tensão de pico dos sinais das saídas do núcleo do oscilador são inferiores a  $V_{DD}$  (tensão de alimentação de todo o resto do circuito), pois o núcleo do oscilador é alimentado em corrente, fazendo com que o potencial de alimentação dos transistores do núcleo tenha valor inferior a  $V_{DD}$ . Iremos chamar o nó que alimenta o núcleo do oscilador de  $V_{DD\_CORE}$ ; então,  $V_{DD\_CORE} < V_{DD}$ . O terceiro bloco que compõe o oscilador é o *buffer* de saída, responsável por interfacear o sinal de saída do deslocador de nível com a porta da chave do filtro. A Figura 12 ilustra a disposição dos três blocos que compõem o oscilador.

Daqui em diante não será feita indicação dos potenciais que polarizam o plano inferior dos transistores PMOS e NMOS. Para atingir o menor valor absoluto da tensão de limiar dos transistores com a alimentação disponível, o plano inferior do transistor PMOS é conectado ao menor potencial, enquanto para o transistor NMOS o plano inferior é conectado ao potencial mais alto. O oscilador e o filtro são alimentados com potencial  $V_{DD}$ . Então, a tensão do plano inferior de todos os transistores PMOS, tanto os do oscilador como os do filtro e de outros circuitos auxiliares que ainda serão explicitados, está conectado à referência e para o transistor NMOS o potencial do plano inferior é  $V_{DD}$ .

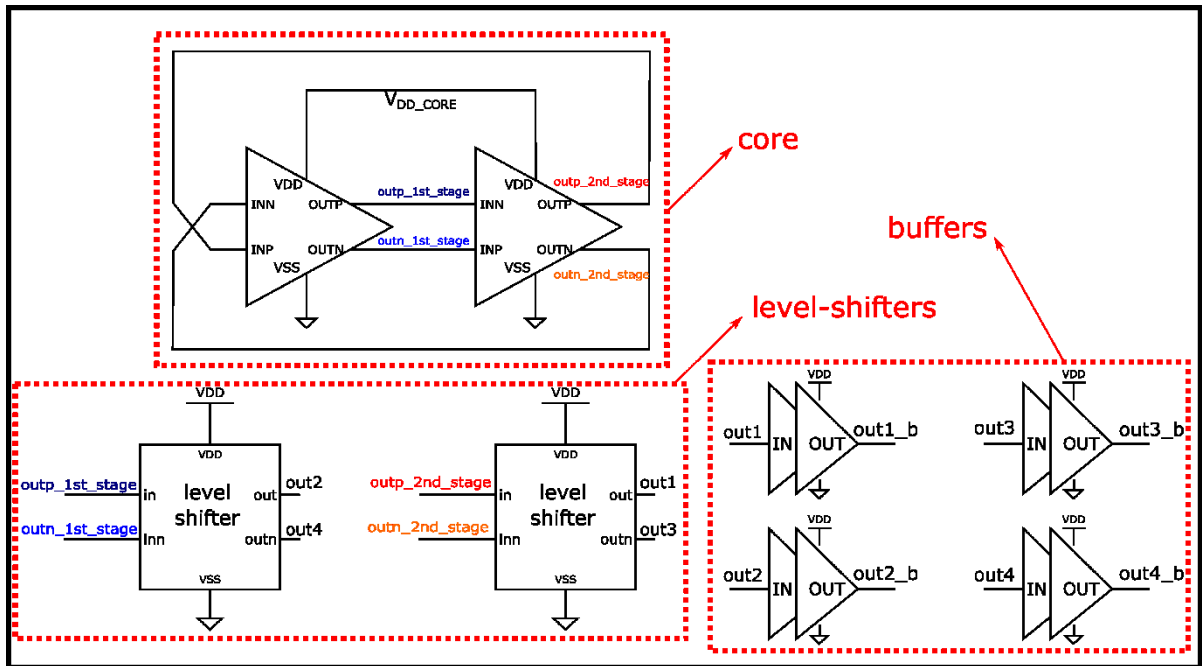


Figura 12 - Diagrama de blocos do oscilador.

### 3.3 NÚCLEO DO OSCILADOR

Como requisito de projeto, o oscilador deve gerar quatro fases defasadas de  $90^\circ$  com um oscilador em anel utilizando inversores CMOS. Na literatura técnica são usualmente encontrados osciladores em anel que utilizam número ímpar de estágios que, entretanto, não seriam adequados a nosso projeto, pois as diferenças de fases são diferentes de  $90^\circ$ . Em um oscilador em anel convencional com número par de estágios ocorre o travamento dos nós de saída nos níveis alto (1) e baixo (0), como indicado na Figura 13.

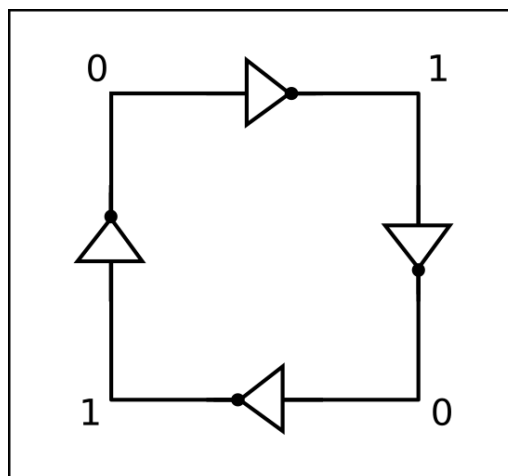


Figura 13 - Oscilador em anel de quatro estágios sem latch.

Para configurar um oscilador de quatro fases e evitar o travamento dos nós, um par de *latches* é adicionado, onde cada um deles é conectado nas diagonais do circuito da Figura 13. Ao adicionar os pares de *latches*, eles “forçam” cada uma das diagonais do quadrado a estarem defasados de 180 graus com relação à diagonal oposta. Logo, existe uma defasagem entre cada estágio do anel de 90 graus, assim formando um oscilador de quatro saídas com 90 graus de defasagem entre si [17], [18], [21]. A adição dos *latches* e a designação de cada conexão e de cada instância pode ser visto na Figura 14.

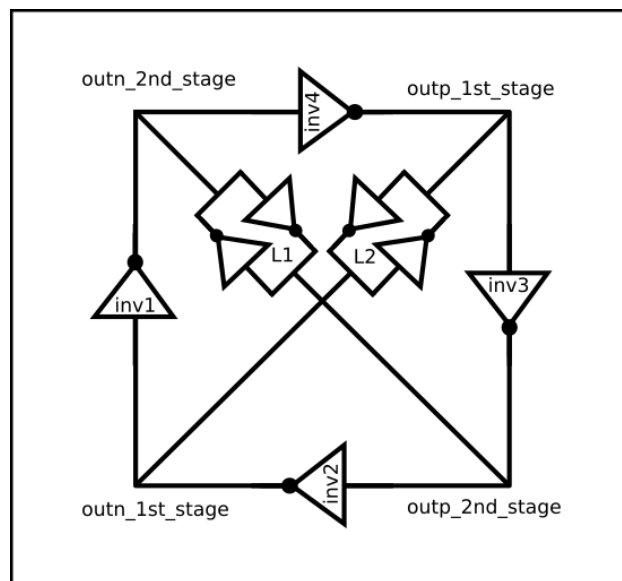


Figura 14 - Oscilador em anel de quatro estágios com *latches*.

Os inversores *inv1* e *inv3* e o *latch* *L1*, assim como *inv2* e *inv4* com o *latch* *L2*, podem ser reorganizados e desenhados como uma célula de atraso, como indicado na Figura 15 [18]. O símbolo de cada célula de atraso pode ser visto na Figura 16. As duas células de atraso interconectadas dão origem ao oscilador de quatro fases mostrado na Figura 17. As denominações das conexões apresentadas na Figura 17, são as mesmas da Figura 14.

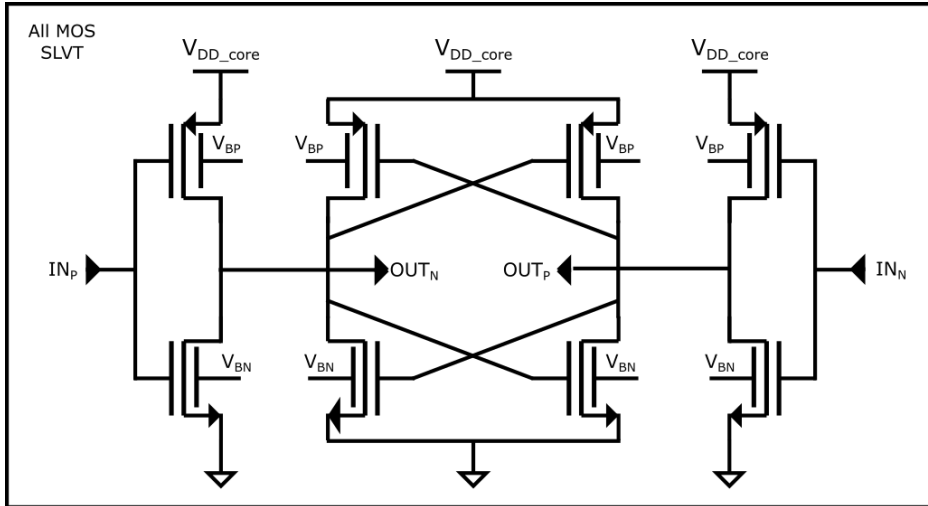


Figura 15 - Esquemático da célula de atraso.

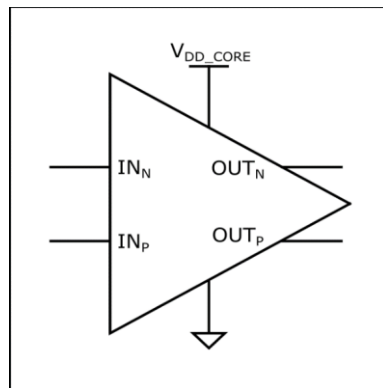


Figura 16 - Símbolo da célula de atraso.

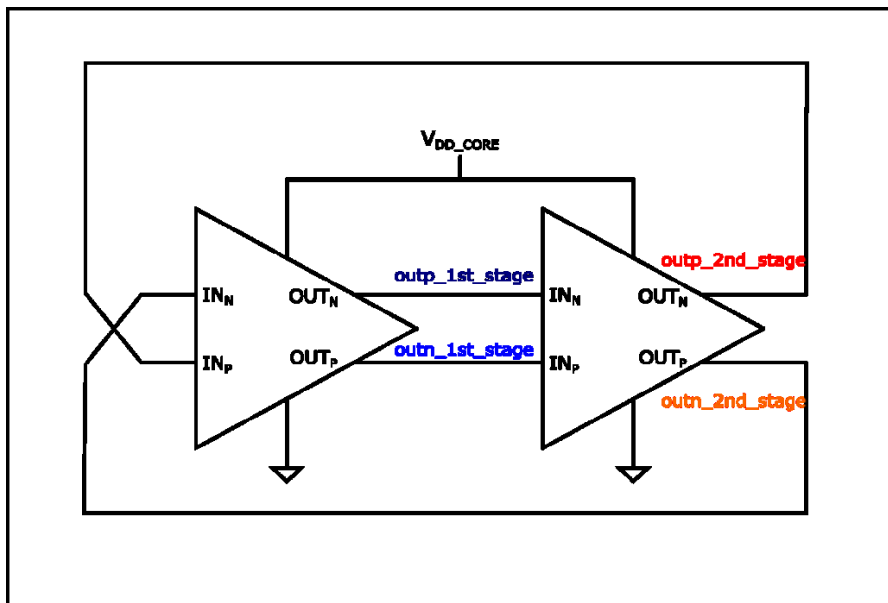


Figura 17 - Esquemático do núcleo do oscilador

Os sinais *outp\_1st\_stage*, *outn\_1st\_stage*, *outp\_2nd\_stage* e *outn\_2nd\_stage* são as saídas do núcleo do oscilador, que ainda precisam ser tratadas para comandar as chaves do filtro *4-path*. Para interfacear as saídas do oscilador com os sinais de controle do filtro, utilizamos *buffers* constituídos pela cascata de inversores. No projeto inicial do oscilador utilizamos todos os transistores da Figura 15 de tamanho mínimo da tecnologia ( $W=80$  nm e  $L=20$  nm), com intuito de conhecer a tecnologia. Como o núcleo do oscilador é conectado a outro circuito que ainda não tem dimensão determinada, em cada saída do oscilador adicionamos um inversor de tamanho mínimo a fim de emular uma carga. Antes de adicionar o espelho de corrente para polarizar o núcleo do oscilador foi adicionada uma fonte de tensão variável para avaliar o comportamento do núcleo do oscilador, especialmente para avaliar a frequência de oscilação e o consumo de corrente. O esquemático dessa configuração pode ser visto na Figura 18.

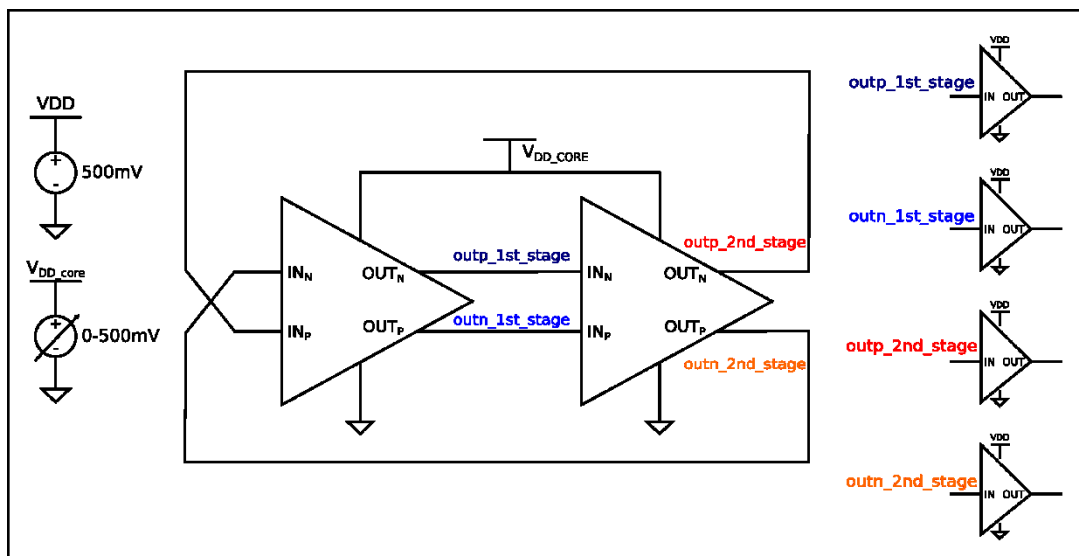


Figura 18 - Esquemático do núcleo do oscilador alimentado por fonte de tensão.

O resultado obtido da simulação utilizando o esquemático da Figura 18 pode ser visto na Figura 19. A partir desse resultado, foi possível ter uma ideia dos valores da corrente de consumo e da correspondente frequência do oscilador, embora tais valores variem levemente com a carga adicionada na saída do núcleo do oscilador.

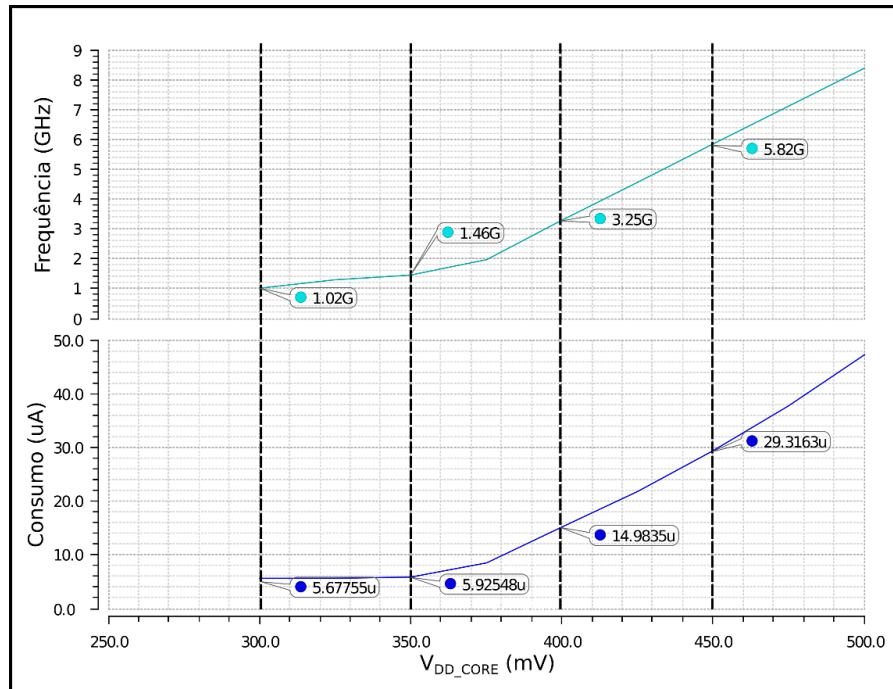


Figura 19 - Frequência e consumo vs  $V_{DD\_CORE}$ .

### 3.4 ESPELHO DE CORRENTE

Como desejamos que a frequência do oscilador seja ajustada, adicionamos um espelho de corrente no ramo que alimenta o núcleo do oscilador, como pode ser visto na Figura 20: O transistor de saída do espelho de corrente deve operar na região de saturação para manter a corrente de saída aproximadamente igual à de entrada.

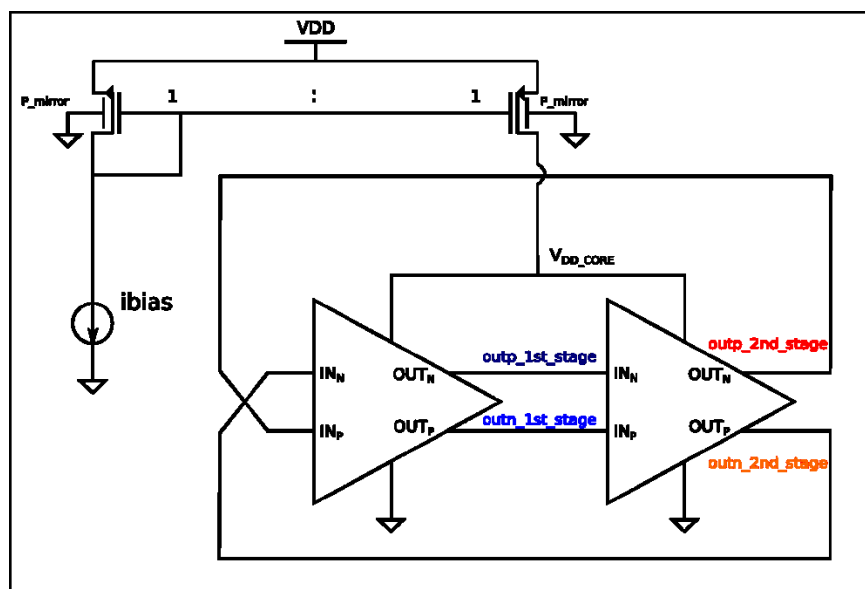


Figura 20 - Esquemático do núcleo do oscilador conectado ao espelho de corrente.

Através da Figura 19, é possível observar que o oscilador opera em aproximadamente 2,5 GHz, quando a tensão  $V_{DD\_CORE}$  é próxima de 370 mV, enquanto o consumo de corrente do núcleo do oscilador é de 10  $\mu$ A.

O nível de inversão dos transistores que compõem o espelho de corrente deve ser projetado com cautela, pois afeta fatores como a tensão de saturação do dispositivo ( $V_{DS,sat}$ ) e o descasamento entre as correntes de referência e de saída.

Como mostrado em [14] a equação que define o nível de inversão de um transistor em saturação, pode ser escrita como:

$$i_f = \frac{I_D}{I_{SQ} * \left(\frac{W}{L}\right)} \quad (5)$$

onde  $i_f$  é o nível de inversão,  $I_D$  é a corrente de dreno,  $I_{SQ}$  é a corrente específica de folha e  $W/L$  é a razão de aspecto do transistor em questão, nesse caso  $P_{\text{mirror}}$ .

Quando o transistor opera na região de inversão forte o valor da tensão de saturação aumenta com o nível de inversão. Esse é um fator a considerar, uma vez que pretendemos trabalhar com baixa tensão de alimentação. A tensão de saturação  $V_{DS,sat}$  é aproximadamente dada [14] por

$$|V_{DS,sat}| \cong \left( \left( \sqrt{1 + i_f} \right) + 3 \right) \phi_t \quad (6)$$

sendo que  $\phi_t$  é a tensão térmica. Então, a fim de operar  $P_{\text{mirror}}$  do espelho de corrente com a menor tensão de saturação possível, escolhemos um nível de inversão no máximo igual à unidade ( $i_f \leq 1$ ); nesse caso  $|V_{DS,sat}| \leq 4,4 * 25$  mV. Para adequado funcionamento do espelho de corrente é necessário, então, que,  $V_{DD} \geq 110$  mV +  $V_{DD\_CORE}$ .

Escolhemos o nível de inversão  $i_f = 1$ . Então, com  $i_f = 1$  aplicado à equação (5), sob uma corrente de dreno de 10  $\mu$ A e  $I_{SQ}$  de 115,5 nA (como pode ser visto na Figura 10), concluímos que a razão de aspecto é de aproximadamente 87, que por conveniência, arredondamos para 100 para facilitar os cálculos. Para corrente de dreno de 10  $\mu$ A,  $I_{SQ}$  de 115,5 nA e razão de aspecto de 100, o valor do nível de inversão é 0,87.

As dimensões adotadas foram:  $W = 200$  nm,  $L = 20$  nm, número de *fingers* = 1 número de *multipliers* = 10. A corrente de polarização será utilizada para selecionar a frequência; logo,



o nível de inversão também não tem valor fixo. A corrente de  $10\ \mu\text{A}$  é aproximadamente o valor médio da corrente para a faixa de frequência em que o oscilador irá operar.

Uma simulação utilizando o esquemático da Figura 21 foi executada para avaliar o comportamento da fonte de corrente do oscilador em função da polarização. O resultado dessa simulação pode ser visto na Figura 22.

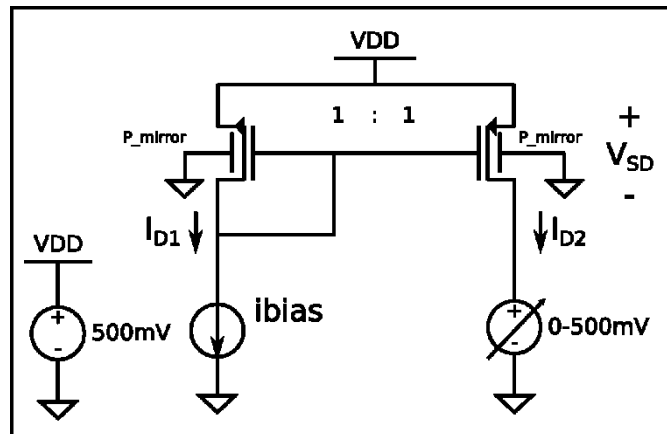


Figura 21 - Esquemático utilizado para avaliar o espelho de corrente com dimensões:  $W = 200\ \text{nm}$ ,  $L = 20\ \text{nm}$ , múltiplos paralelos = 10.

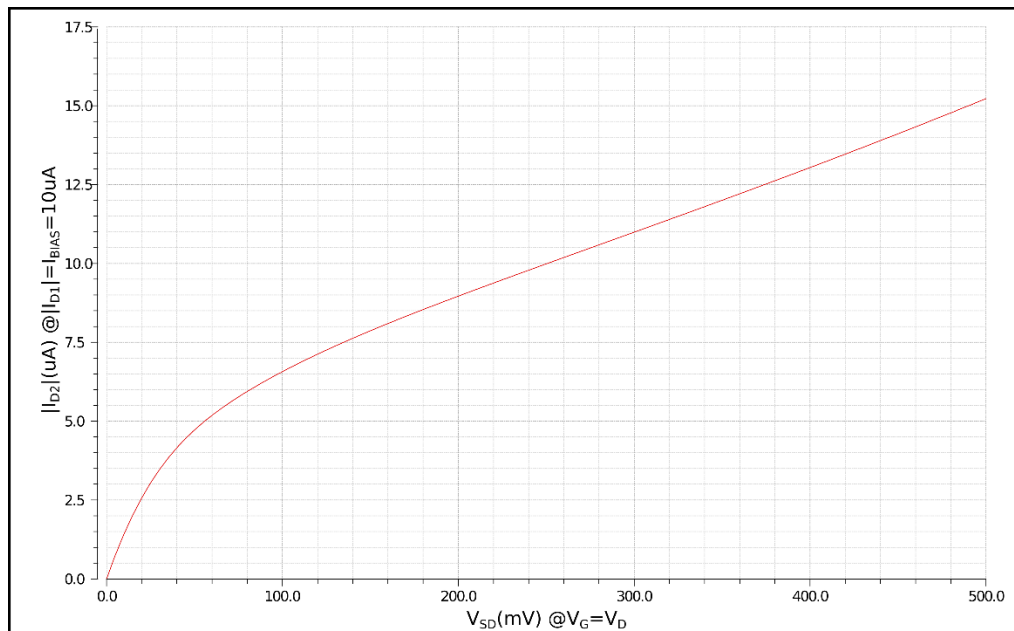


Figura 22 - Corrente de dreno vs  $V_{SD}$  para dimensões dos transistores do espelho de corrente  $W = 200\ \text{nm}$ ,  $L = 20\ \text{nm}$ , múltiplos paralelos = 10.

É possível observar que para uma corrente de entrada de  $10\ \mu\text{A}$ , a corrente de saída do espelho ( $I_{D2}$ ), que vai alimentar o núcleo do oscilador, tem grande variação em torno dos  $10\ \mu\text{A}$  em função da tensão entre dreno e fonte do transistor de saída. Essa forte dependência, devido ao emprego de transistor canal curto (mínimo, neste caso), pode ser reduzida aumentando o comprimento do transistor [14]. Optamos, então, por um comprimento do transistor de  $200\ \text{nm}$ . Para manter o mesmo nível de inversão do projeto com canal mínimo, a razão de aspecto deve ser mantida. Então a largura ( $W$ ) do transistor passou de  $200\ \text{nm}$  para  $2\ \mu\text{m}$ . O mesmo esquemático da Figura 21 foi utilizado para simular o comportamento do espelho de corrente com as dimensões alteradas de um fator 10. O resultado pode ser visto na Figura 23. Como pode ser observado, a corrente de saída ( $I_{D2}$ ) tem uma dependência com a tensão muito menor que no caso anterior. Com isso, concluímos o projeto do espelho de corrente.

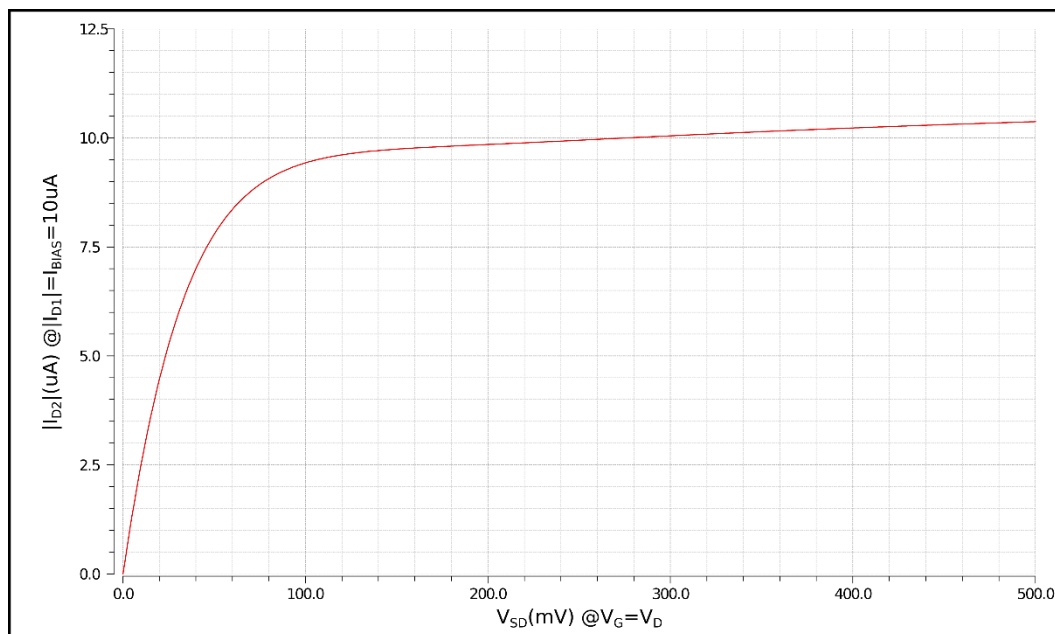


Figura 23 - Corrente de dreno vs  $V_{SD}$  para dimensões dos transistores do espelho de corrente  $W = 2\ \mu\text{m}$ ,  $L = 200\ \text{nm}$ , múltiplos paralelos = 10

### 3.5 DESLOCADOR DE NÍVEL

Como mostrado anteriormente, a tensão no núcleo do oscilador ( $V_{DD\_CORE}$ ) é inferior a  $500\ \text{mV}$ ; portanto, o nível alto das saídas do núcleo do oscilador segue  $V_{DD\_CORE}$ . Para a

adequada operação das chaves dos circuitos que serão controlados pelas quatro fases do oscilador é necessário que o nível lógico alto de controle das chaves seja igual a  $V_{DD}$  (500 mV). Logo, um deslocador de nível é necessário. Esse circuito, conectado às saídas do núcleo do oscilador, tem como objetivo deslocar o nível mais alto da tensão de saída do núcleo do oscilador,  $V_{DD\_CORE}$ , para o mesmo nível da tensão de alimentação ( $V_{DD}$ ) do circuito. O deslocador de nível é composto de quatro transistores, sendo dois NMOS e dois PMOS. O esquemático e seu símbolo podem ser vistos na Figura 24 (a) e na Figura 24 (b), respectivamente.

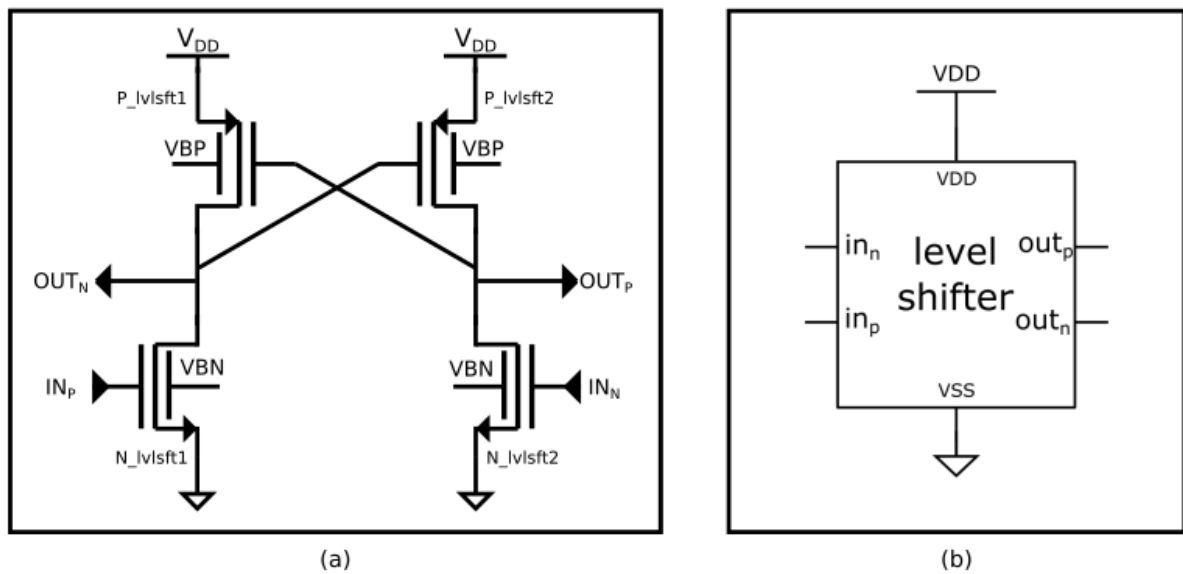


Figura 24 - Esquemático (a) e símbolo (b) do deslocador de nível.

Basicamente, o funcionamento do deslocador de nível ocorre da seguinte maneira: Quando o sinal  $IN_P$  ( $IN_n$ ) é alto (baixo), próximo de  $V_{DD\_CORE}$  ( $V_{SS}$ ), o sinal  $OUT_N$  tende a  $V_{SS}$ , enquanto o sinal  $OUT_P$  tende a  $V_{DD}$ . Essa configuração de deslocador de sinal, composta apenas de transistores, tem o benefício de um consumo de corrente estático bastante baixo.

A fim de avaliar os efeitos da carga introduzida pelos deslocadores de nível na frequência do oscilador, iniciamos uma série de simulações com dimensões mínimas nos dispositivos do deslocador de nível, com variação da corrente de polarização requerida para a varredura de frequência necessária ao projeto.

A condição mais adversa para o funcionamento adequado do deslocador de nível é para a menor tensão  $V_{DD\_CORE}$ , que ocorre para a menor corrente de polarização. Para essa condição,

o projeto do deslocador de nível foi realizado com ajuste fino através de simulações. Por fim, chegamos às dimensões e números indicados na Tabela 3 para o deslocador de nível.

	N_lvlsft1 = Nlvlsft2	P_lvlsft1 = Plvlsft2
Largura (W)	0,3 um	0,1 um
Comprimento (L)	20 nm	20 nm
Número de <i>fingers</i> (f)	1	1
Número de múltiplos paralelos(m)	3	1

Tabela 3 - Tamanho dos transistores do deslocador de nível.

Como aumentamos a carga capacitiva do núcleo do oscilador, é esperado que a performance do oscilador diminua, se comparado com o resultado obtido na Figura 19. Com isso, o reprojeto do núcleo ocorreu juntamente com o do deslocador de nível. As dimensões dos transistores podem ser vistas na Tabela 4, onde todos os transistores NMOS têm as mesmas dimensões, assim como os transistores PMOS.

	NMOS	PMOS
Largura (W)	80 nm	80 nm
Comprimento (L)	20 nm	20 nm
Número de <i>fingers</i> (f)	1	1
Número de múltiplos paralelos(m)	6	4

Tabela 4 – Dimensões dos transistores do núcleo do oscilador.

### 3.6 BUFFER

O *buffer* é composto por dois estágios inversores em cascata, como pode ser visto na Figura 25 (a). O símbolo do *buffer* é mostrado na Figura 25 (b). O segundo estágio do *buffer* é formado associando em paralelo o dobro de transistores do primeiro estágio.

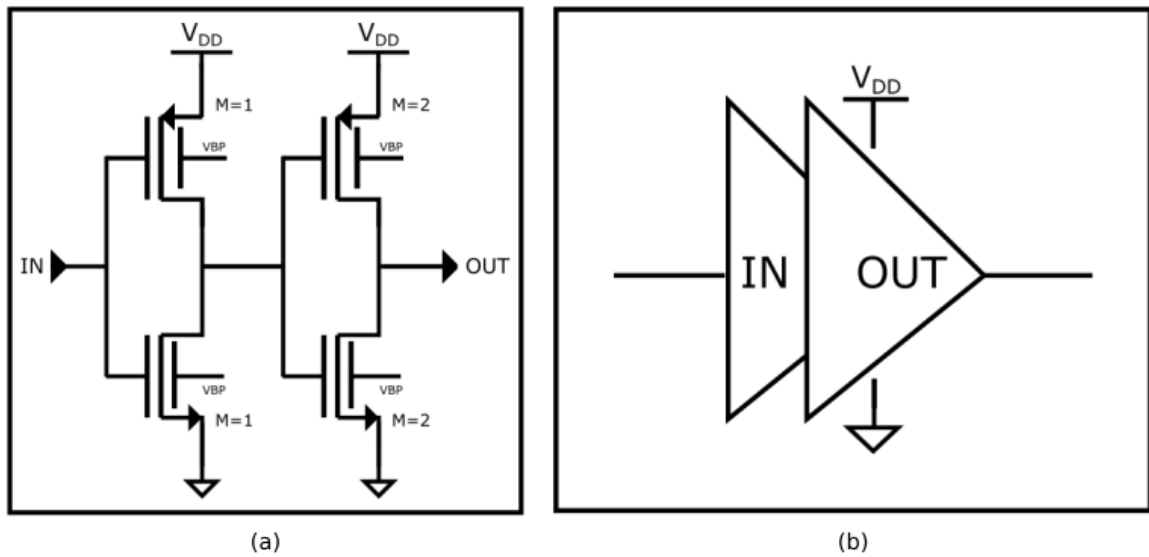


Figura 25 - Esquemático (a) e símbolo (b) do buffer de dois estágios

No projeto do *buffer*, tivemos o cuidado de evitar que o primeiro estágio carregasse demasiado o estágio anterior, nesse caso o deslocador de nível. Por sua vez, o segundo estágio deve ter capacidade de alimentar o estágio subsequente, constituído por chaves do filtro *4-path* passa-faixa.

Quanto ao projeto do *buffer*, estabelecemos que, para a maior frequência do oscilador, de 2,5 GHz, os tempos de subida e descida não deveriam ser superiores a 5% do valor do período (400 ps) do sinal. Portanto, os tempos de subida e de descida não deveriam exceder 20 ps, considerando que a carga de *buffer* é a das portas dos transistores que irão realizar as chaves do filtro passa-faixa.

Após simulações transientes utilizando algumas condições de contorno (aplicando uma tensão igual a  $V_{DD}/2$  em uma saída do núcleo do oscilador, e zero para as outras três restantes), para acelerar o início das oscilações, chegamos ao resultado do primeiro estágio conforme indicado na Tabela 5. Por sua vez, o segundo estágio possui o dobro de instâncias em paralelo, tanto para o transistor PMOS quanto para o transistor NMOS, como indicado na Figura 25 (a).

	NMOS	PMOS
Largura ( $W$ )	200 nm	200 nm
Comprimento ( $L$ )	20 nm	20 nm
Número de fingers ( $f$ )	1	2
Número de múltiplos paralelos( $m$ )	1	1

Tabela 5 - Dimensões dos transistores do estágio de entrada do *buffer*.

### 3.7 RESULTADOS DE SIMULAÇÃO DO OSCILADOR

O sistema constituído pelo oscilador, deslocadores de nível, *buffers*, chaves e capacitores do filtro passa faixa com as dimensões dos componentes está descrito no capítulo quatro desta dissertação. À medida que cada bloco era inserido no sistema era feito um reprojeto das dimensões e, onde necessário, do nível de corrente para atender as especificações. As dimensões utilizadas para o oscilador, depois da sequência de simulações, podem ser vistas na Tabela 6.

		$W$ (nm)	$L$ (nm)	<i>fingers</i>	<i>múltiplos</i>
Núcleo	PMOS	80	20	1	4
	NMOS	80	20	1	6
Deslocador de nível	PMOS	100	20	1	1
	NMOS	300	20	1	3
<i>Buffer</i>	PMOS	200	20	1	2
	NMOS	200	20	1	1
Porta de transmissão	PMOS	1600	20	1	1
	NMOS	800	20	1	1
Espelho de corrente	PMOS	800	20	1	1
	NMOS	2000	200	1	10

Tabela 6 - Dimensões dos dispositivos do oscilador.

A Figura 26 mostra a frequência de oscilação em função da corrente de polarização (*ibias*) do núcleo do oscilador. Para manter a faixa de frequência entre 800 MHz e 2,5 GHz foi necessário polarizar o núcleo do oscilador com corrente entre 7,8  $\mu\text{A}$  e 30,5  $\mu\text{A}$ , respectivamente. É interessante observar que a frequência varia quase linearmente com a

corrente dentro dessa faixa de frequências. A Figura 27 mostra o consumo total de potência do oscilador, ou seja, do núcleo, dos deslocadores de nível e dos *buffers*, em função da frequência de operação.

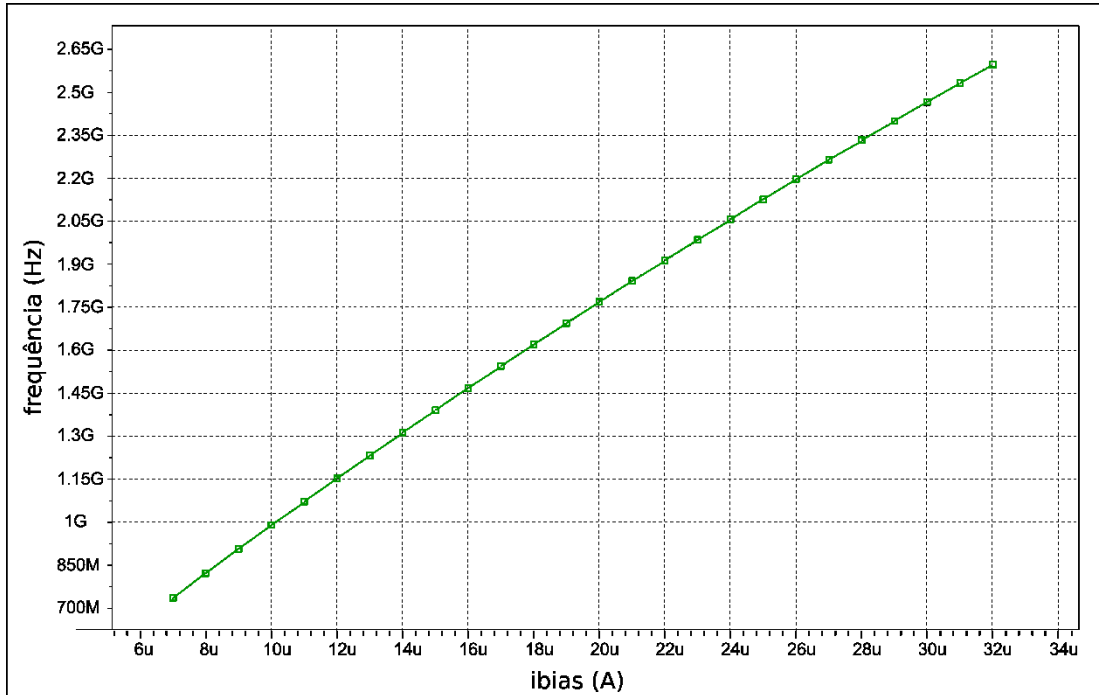


Figura 26 - Frequência vs corrente de polarização.

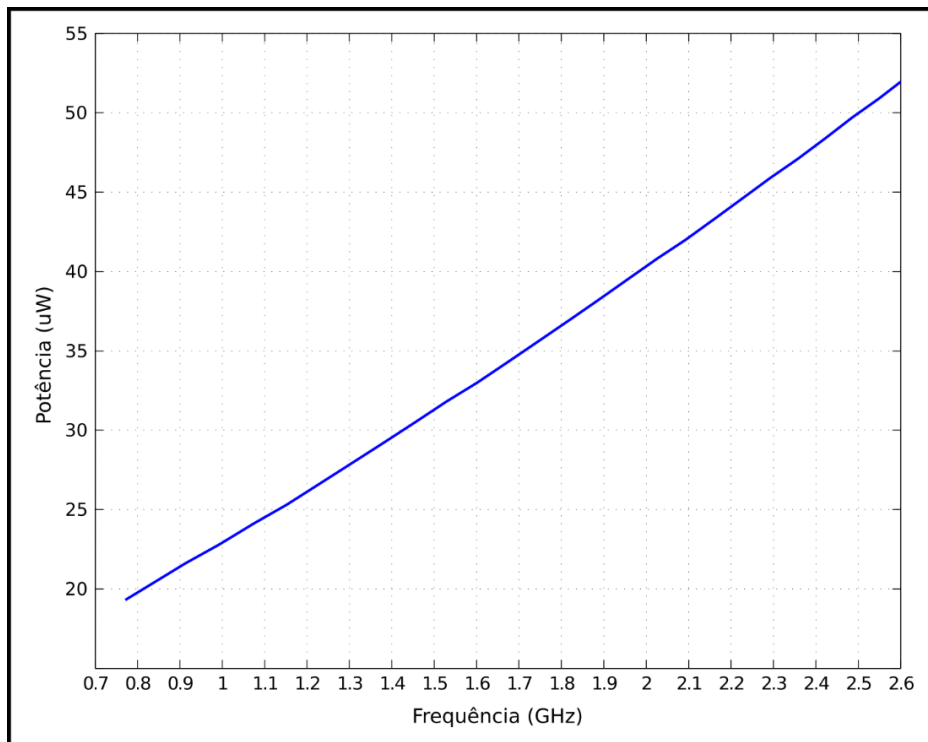


Figura 27 - Gráfico do consumo de potência *versus* frequência de oscilação.

A Figura 28 mostra os sinais das saídas do núcleo do oscilador com  $7,8 \mu\text{A}$  de corrente de polarização. A amplitude do sinal é de aproximadamente 300 mV pico-a-pico, enquanto a frequência é de 800 MHz. A menor amplitude do sinal de saída do oscilador controlado por corrente ocorre para a menor corrente de polarização, no caso igual a  $7,8 \mu\text{A}$ . Sob o ponto de vista do deslocador de nível, a condição mais severa da entrada para operação adequada do deslocador de nível é aquela de menor amplitude do sinal, no caso 300 mV pico-a-pico.

A Figura 29 mostra os sinais da saída do deslocador de nível, tendo os sinais da Figura 28 como entrada. Note que os sinais excursionam dentro da faixa de 0 V a 500 mV, e com isso operações lógicas podem ser executadas no domínio de 500 mV com maior facilidade e rapidez. O tempo de descida do sinal poderia ser reduzido se as dimensões dos transistores do deslocador de nível fossem aumentadas, mas isso implicaria numa redução de performance do core do oscilador.

Os sinais das saídas dos deslocadores de nível então servem de entradas para os *buffers*, cujas saídas podem ser vistas na Figura 30. Uma inspeção rápida na Figura 30 permite concluir que os sinais apresentam diferenças de fase da ordem de  $90^\circ$ , que é um dos requisitos para operar o filtro passa faixa. Os tempos de subida e descida são de aproximadamente 20 ps e atendem a especificação mencionada anteriormente, de tempos de transição inferiores a 5% do menor período do sinal.



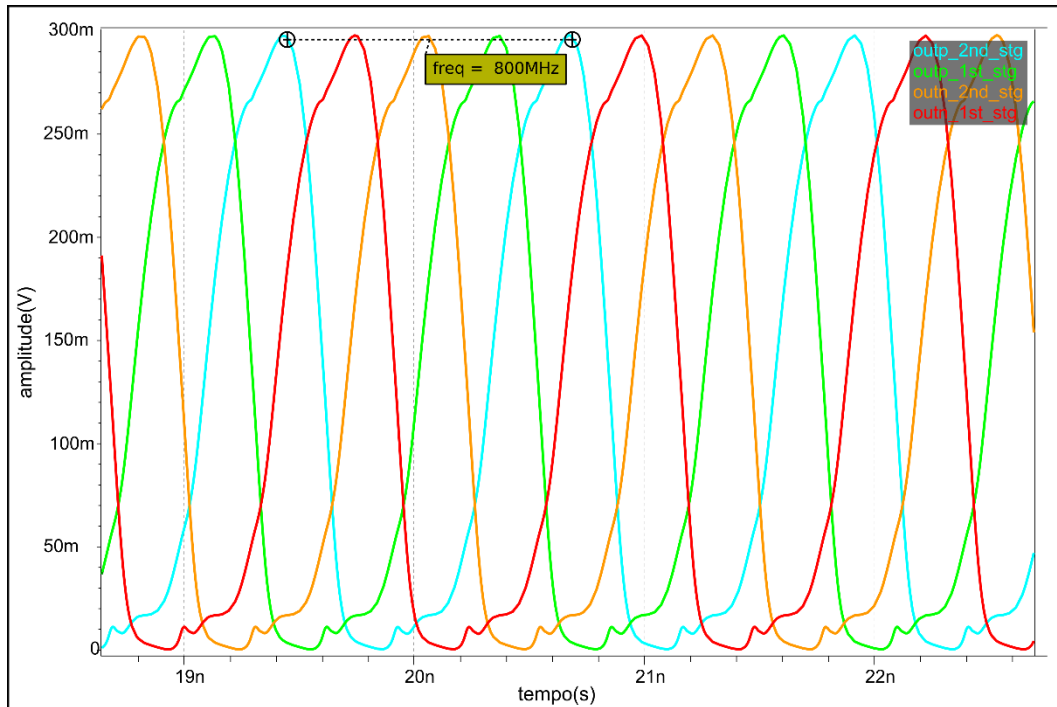


Figura 28 - Sinais da saída do núcleo do oscilador.

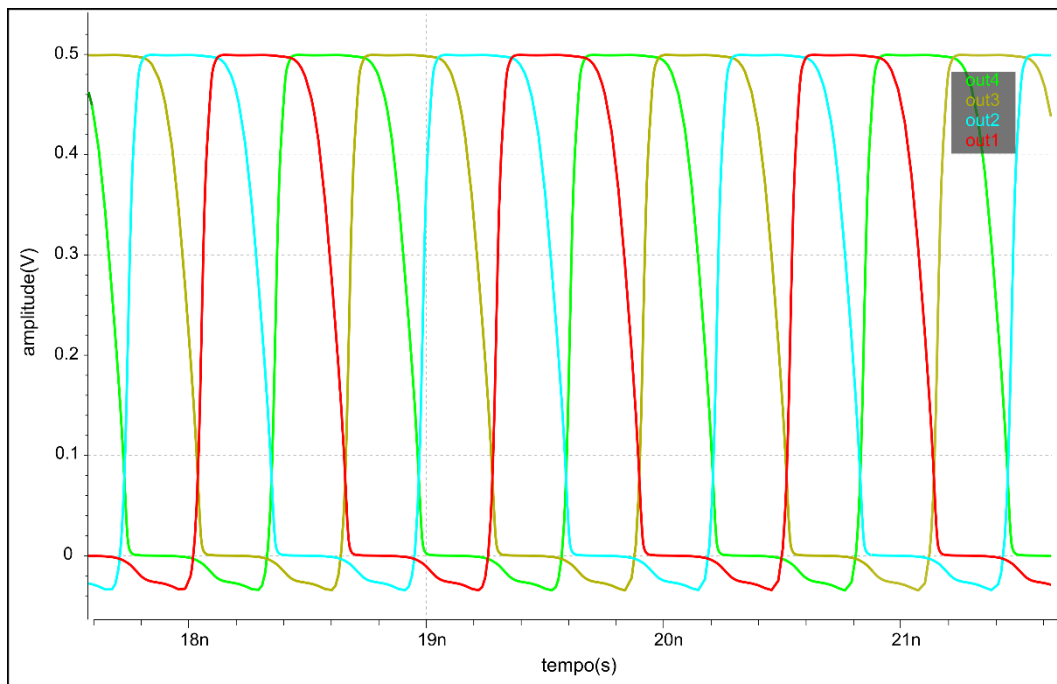


Figura 29 - Sinais das saídas dos deslocadores de nível.

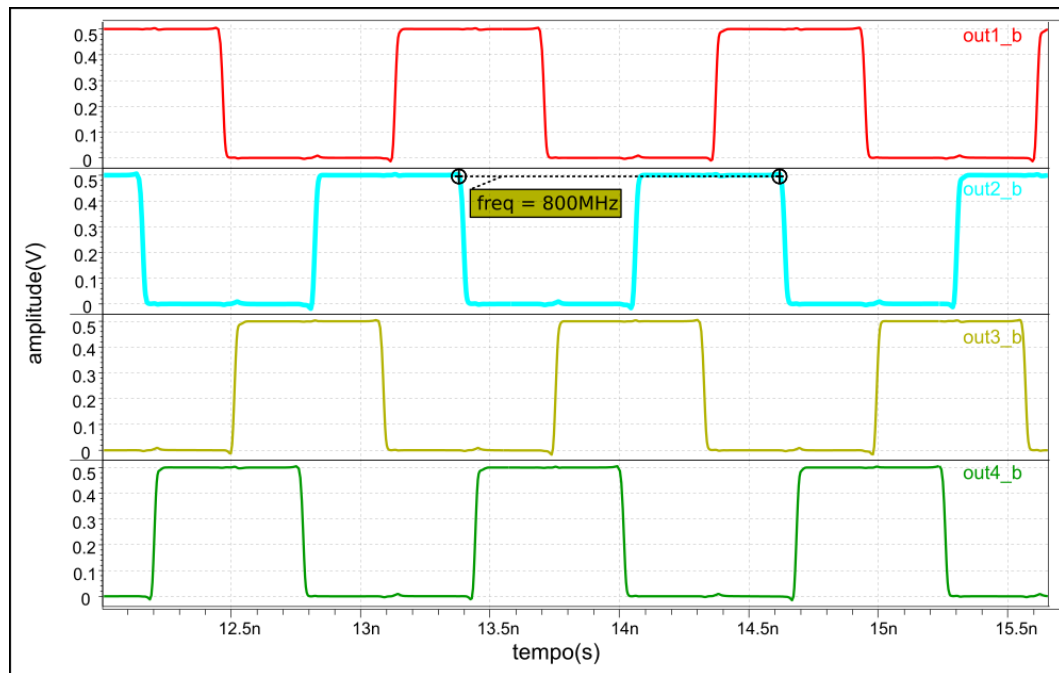


Figura 30 - Sinais nas saídas dos *buffers*.

Os sinais da Figura 30 serão utilizados no filtro *N-path* e uma lógica será aplicada para atingir o ciclo de trabalho (tempo que o sinal permanece em  $V_{DD}$ ) de 25% em cada fase.

O consumo de cada bloco do oscilador pode ser visto na Tabela 7.

	potência ( $\mu\text{W}$ ) (@ $V_{DD}= 0,5 \text{ V}$ )	
Núcleo do oscilador	15	
Deslocadores de nível	14	
Buffers	21,5	
	50,5	Total (RMS)

Tabela 7 - Consumo de potência do oscilador para a frequência de 2,5 GHz.

É importante avaliar os efeitos da temperatura, de *mismatch* e *corners* no desempenho do circuito.

Dois testes em temperatura foram executados, um para a frequência mais baixa e outro para a frequência mais alta. Os resultados podem ser vistos na Figura 31 e na Figura 32, respectivamente.

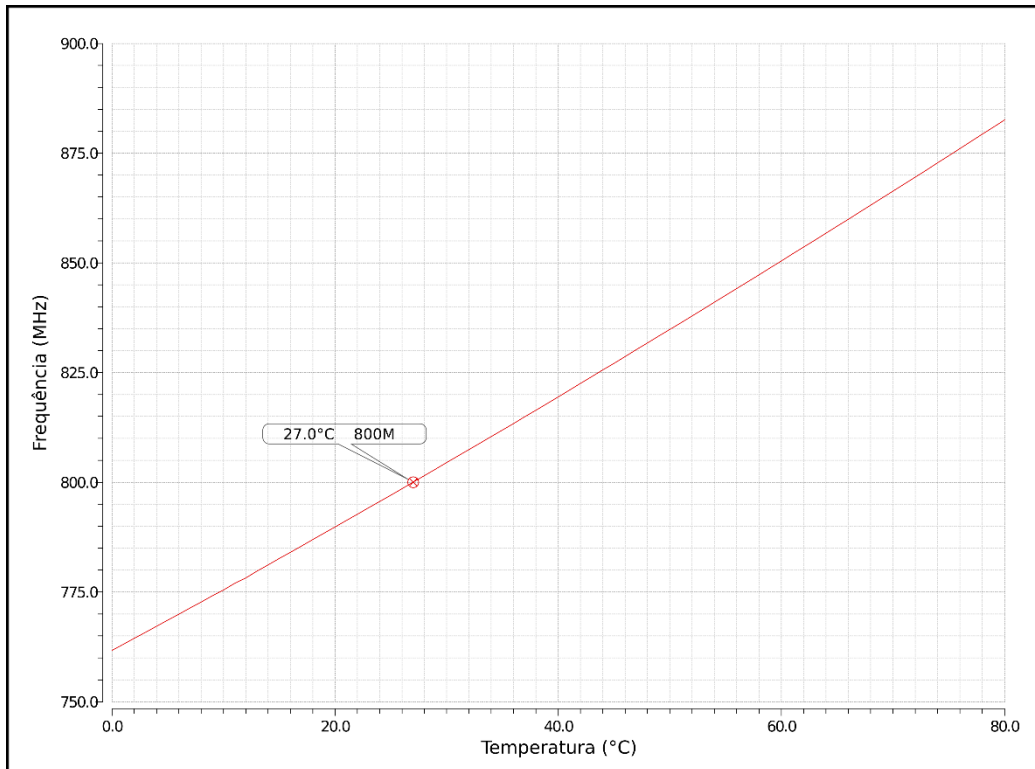


Figura 31 - Gráfico da frequência vs temperatura @ ibias = 7,8 μA.

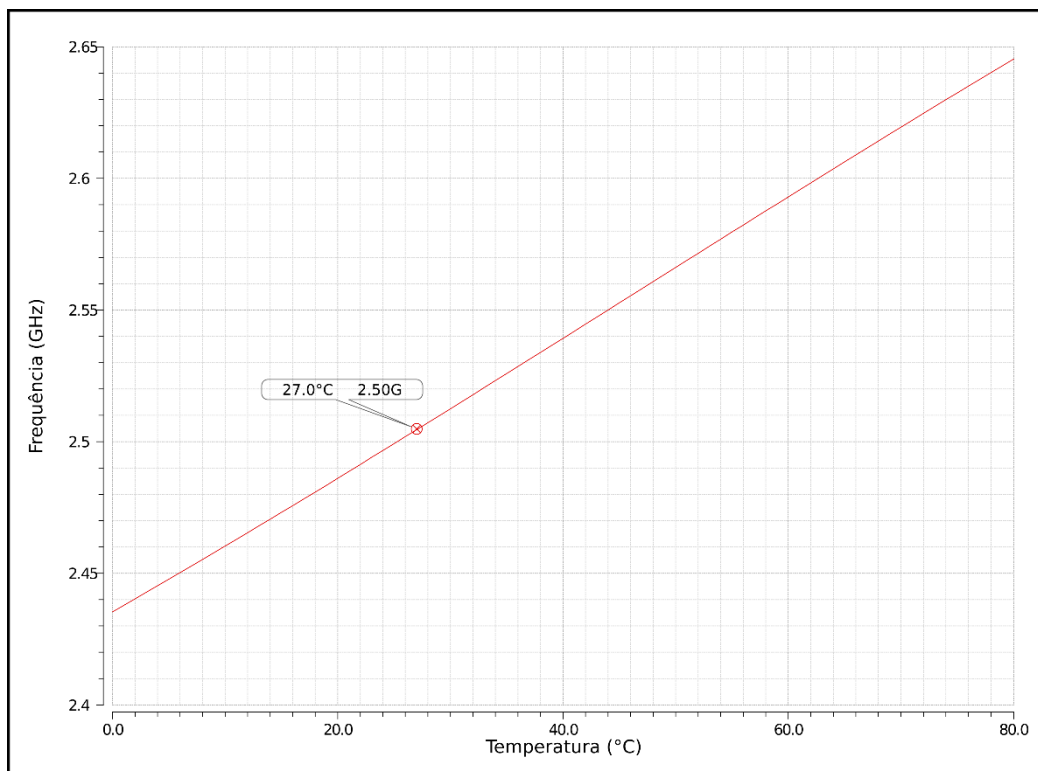


Figura 32 - Gráfico da frequência vs temperatura @ ibias = 30,5 μA.

Uma possível solução para diminuir a variação da frequência com variação de temperatura e a variação de processo é apresentada em [18], porém tal implementação é considerada fora do escopo deste trabalho.

O descasamento (*mismatch*) foi avaliado utilizando o método de Monte Carlo, que simula o circuito em condição típica e aplica variações de processo, sendo possível verificar, a estatística da distribuição de casos. Os resultados das simulações para frequências de oscilação nominais de 800 MHz e 2,5 GHz podem ser vistos nas Figura 33 e Figura 34, respectivamente.

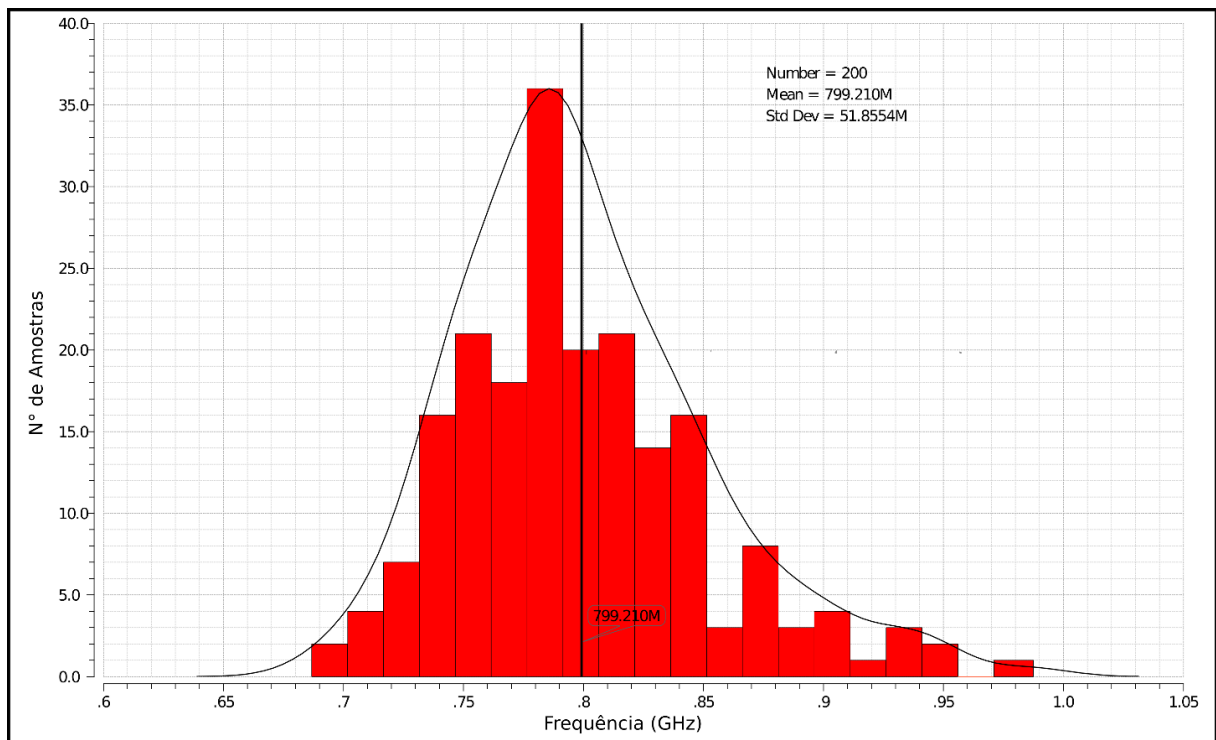


Figura 33 - Gráfico do resultado da simulação de Monte Carlo para  $i_{bias} = 7,8 \mu A @ 27^{\circ}C$ .

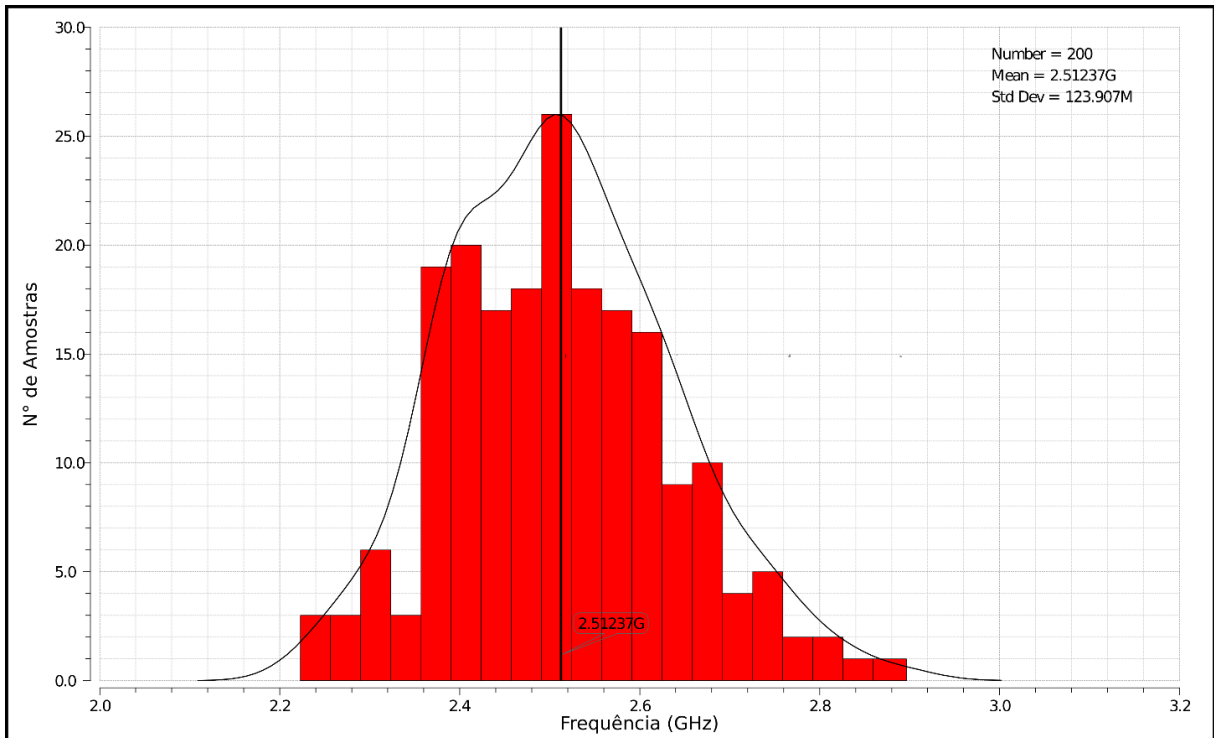


Figura 34 - Gráfico do resultado da simulação de Monte Carlo para  $i_{bias} = 30,5 \mu A @ 27^{\circ}C$ .

Para finalizar as simulações de processo, os *corners SS* e *FF* foram avaliados e comparados com o caso típico. Em ambos os casos houve uma variação na frequência inferior a 23% em comparação com o caso típico. Para compensar as variações de processo é possível aplicar ajustes na corrente de polarização para obter a frequência de oscilação de 800 MHz e 2,5 GHz.

	SS	FF	Típico (TT)
Frequência (MHz) @ $i_{bias} = 7,8 \mu A$ e temperatura = $27^{\circ}C$	675	984	800
Frequência (GHz) @ $i_{bias} = 30,5 \mu A$ e temperatura = $27^{\circ}C$	2,07	2,92	2,5

Tabela 8 - Resultados das simulações de corners comparados com o caso típico.

#### 4 FILTRO N-PATH

O filtro *N-path*, assim denominado nesse trabalho, pode ser encontrado na literatura com outros nomes, como “Filtro Passa-Banda Estreito Usando Modulação” [22], “Filtro Passa-Banda de Dado-Amostrado” [23], entre outros [4].

Esse filtro passa-banda é composto por uma associação de filtros RC passa-baixa chaveados, onde o número de associações define  $N$  (de *N-path*). Como estudo de caso, este trabalho apresenta um filtro com  $N=4$  visando a uma possível integração no futuro. Se utilizássemos um número maior de estruturas, como 8 ou 12, por exemplo, teríamos um crescimento quase proporcional na área a ser integrada, tornando mais difícil a implementação de um protótipo. Como o filtro é chaveado, faz-se necessário um oscilador para definir o tempo em que cada chave é selecionada. O número de fases do filtro é definido por  $N$ , que, em nosso caso é 4. O ciclo de trabalho (*duty cycle*) de cada fase é  $1/N$ , ou seja, para este estudo de caso o ciclo de trabalho de cada fase deve ser de 25%.

A Figura 35 ilustra um filtro *N-path* de 4 fases ideal, no qual as chaves são representadas sem resistência série parasita. Cada chave conduz por um tempo igual a 25% do período de chaveamento. A frequência de chaveamento define a frequência central da banda passante.

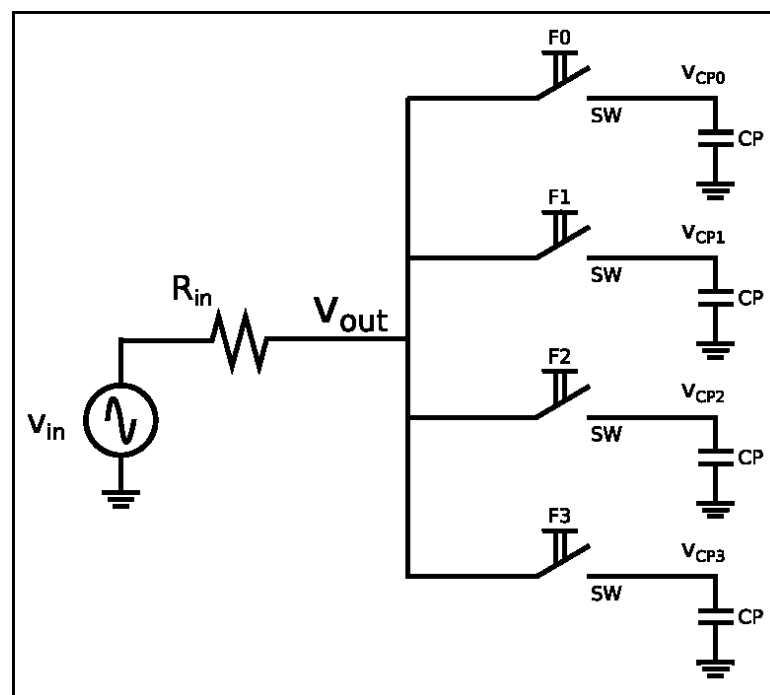


Figura 35 - Filtro 4-path ideal.

Podemos descrever resumidamente o funcionamento do filtro *N-path* de 4 fases com o auxílio da Figura 36 e da Figura 37.

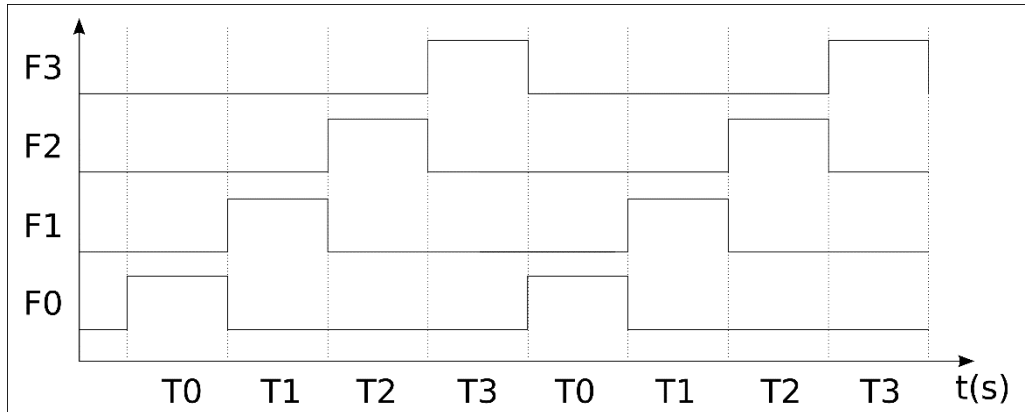


Figura 36 - Representação das quatro fases com ciclo de trabalho de 25%.

A Figura 36 ilustra as quatro fases e o ciclo de trabalho de 25% para o filtro 4-*path*. T0, T1, T2 e T3 representam o tempo em que os sinais das fases F0, F1, F2 e F3 estão em nível lógico alto, que coloca as chaves no estado de condução. Definimos  $f_{in}$  como a frequência do sinal de entrada e  $f_a$  a frequência de amostragem (frequência do oscilador).

Para o caso em que a constante de tempo dada pelo produto entre  $R_{in}$  e  $CP$  seja muito maior que o período  $T_X$  (sendo  $X=0,1,2$  ou  $3$ ) e  $f_{in}=f_a$ , a Figura 37 ilustra o sinal de entrada ( $V_{in}$ ) e o sinal de saída ( $V_{out}$ ) para muitos ciclos depois do *start-up* do circuito [4].

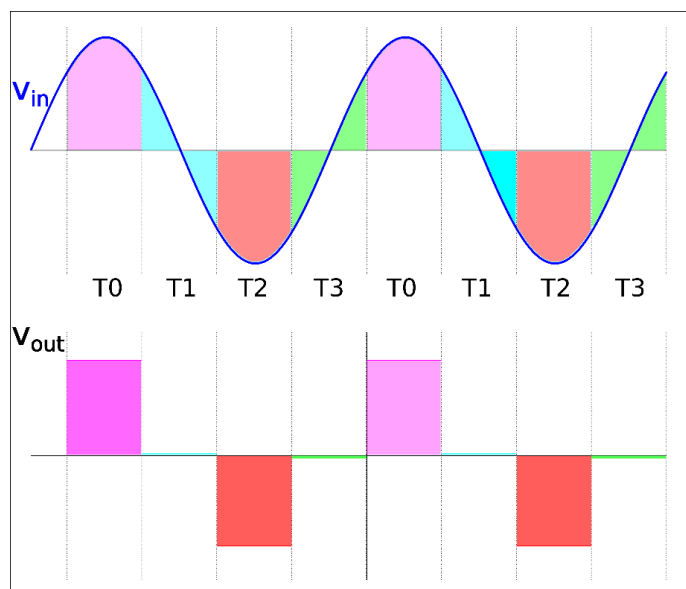


Figura 37 - Ilustração de  $V_{in}$  e  $V_{out}$  para o caso de  $f_{in} = f_a$ .

Após muitos ciclos desde o início de operação do sistema, cada um dos nós VCP0, VCP1, VCP2 e VCP3 vai armazenar a média do valor amostrado em cada um dos períodos. Dessa forma, o sinal  $v_{out}$  é composto pela combinação das tensões nos capacitores, como ilustrado na Figura 37.

Para exemplificar o funcionamento do filtro para a frequência do sinal de entrada diferente da frequência de amostragem ( $f_{in} \neq f_a$ ), a Figura 38 ilustra os sinais de entrada, saída e o tempo em que o sinal de entrada é amostrado.

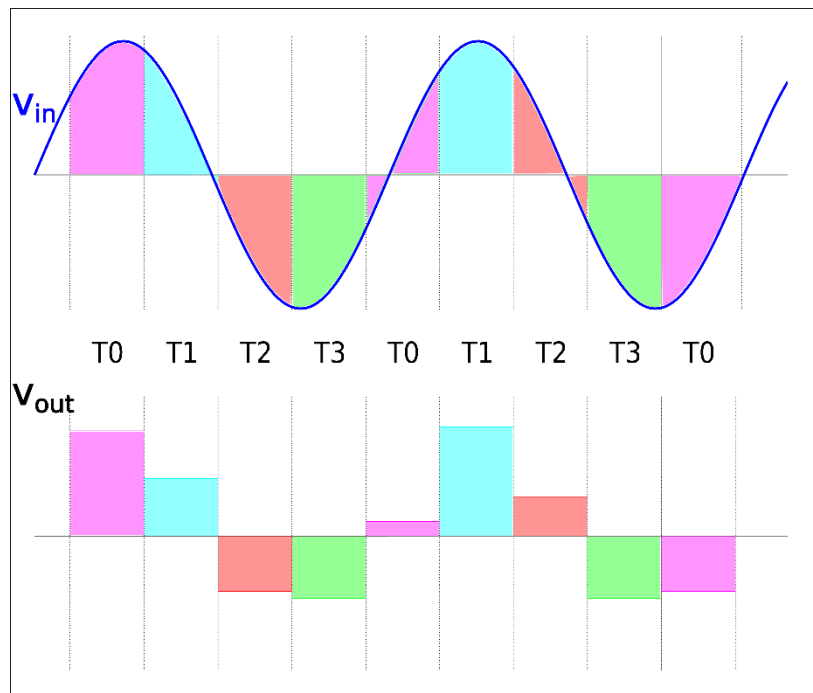


Figura 38- Ilustração de  $v_{in}$  e  $v_{out}$  para o caso de  $f_{in} \neq f_a$ .

Diferentemente do caso onde as frequências do sinal de entrada e de amostragem são iguais, quando elas são diferentes a amostragem do sinal, para cada um dos tempos, ocorre com diferentes magnitudes do sinal de entrada, resultando, ao longo do tempo, em soma dos valores de tensão amostrados tendendo a zero em cada um dos capacitores.

Note que a Figura 30 ilustra os sinais das saídas dos *buffers* que irão acionar as chaves do filtro 4-*path*. Esses sinais possuem ciclo de trabalho de 50%, enquanto que o ciclo de trabalho requerido pelo filtro é de 25%; portanto, uma operação lógica utilizando os sinais fornecidos pelos *buffers* é necessária. Para tal fim, associamos duas chaves em série controladas por duas saídas dos *buffers*, conforme ilustrado na Figura 39. A partir da Figura 30 vemos que a sobreposição dos sinais  $out1\_b$  com  $out4\_b$ ,  $out4\_b$  com  $out3\_b$ ,  $out3\_b$  com  $out2\_b$  e  $out2\_b$



com *out1\_b* permite gerar os sinais F0, F1, F2 e F3, respectivamente, conforme ilustrado na Figura 36.

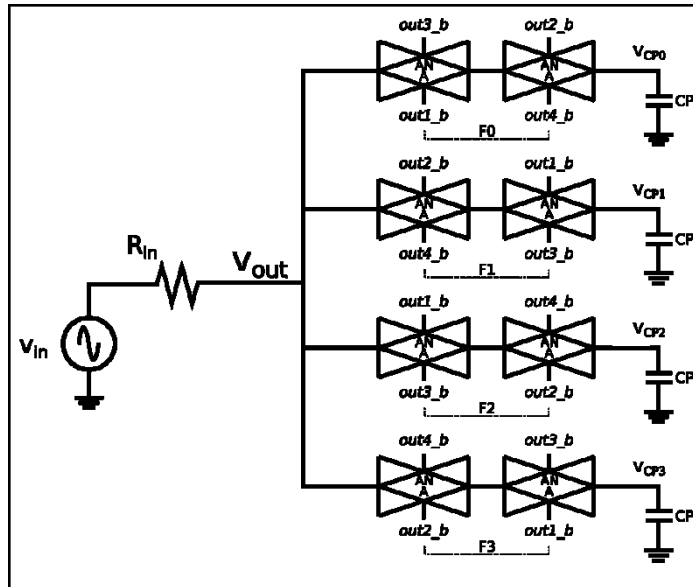


Figura 39 - Filtro 4-path ideal com associações em série de duas chaves para geração de ciclo de trabalho de 25%.

As chaves (SW) representadas na Figura 39 são implementadas com portas de transmissão (*transmission gates*). O esquemático e o símbolo da TG (*transmission gate*) podem ser vistos na Figura 40 (a) e na Figura 40 (b), respectivamente.  $V_{BP}$  e  $V_{BN}$  são omitidos no símbolo, uma vez que estão conectados a  $V_{SS}$  e  $V_{DD}$ , respectivamente.

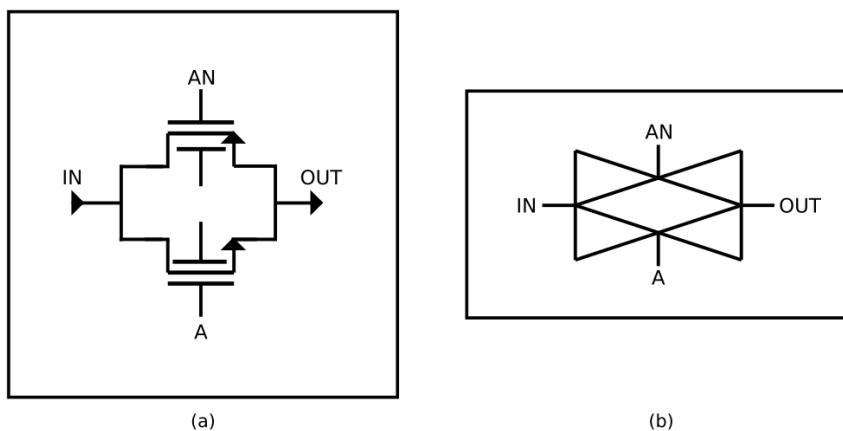


Figura 40 - Esquemático (a) e símbolo (b) da porta de transmissão.

A porta de transmissão (TG) introduz uma resistência, de valor  $R_{SW}$  de aproximadamente  $1\text{ k}\Omega$  entre  $R_{in}$  e CP. Como temos duas TG em série cada ramo, então a resistência adicionada em cada ramo é de  $2\text{ k}\Omega$ . Em nosso projeto supusemos que  $R_{in}$  tem valor de  $20\text{ k}\Omega$ , ou seja, 10 vezes superior ao valor da resistência da associação série das chaves. A constante de tempo  $R_{in} \cdot CP$  deve ser muito maior que o maior período do sinal do oscilador, que é  $1,25\text{ ns}$ . Optamos por  $R_{in} \cdot CP$  igual a 16 vezes esse valor, resultando em CP igual a  $1\text{ pF}$ . A constante de tempo é muito maior que o tempo em que o capacitor é conectado ao nó  $V_{out}$ . Com essa condição, o potencial do capacitor não se altera de forma significativa durante o tempo em que o capacitor é conectado ao nó  $V_{out}$ ; logo, ao longo do tempo é possível armazenar no capacitor a média do sinal  $V_{in}$  amostrado [24].

Como a resistência da TG varia de acordo com o potencial aplicado, foi realizada uma simulação DC para encontrar o valor médio da resistência dentro do intervalo de operação do sistema ( $0\text{--}500\text{ mV}$ ). Com esse intervalo de tensão de entrada, a resistência da chave foi determinada para  $V_{DS}$  próximo de zero. O resultado obtido pode ser visto na Figura 41. O valor médio da resistência ao longo do intervalo de valores da tensão de entrada é próximo de  $1\text{ k}\Omega$ .

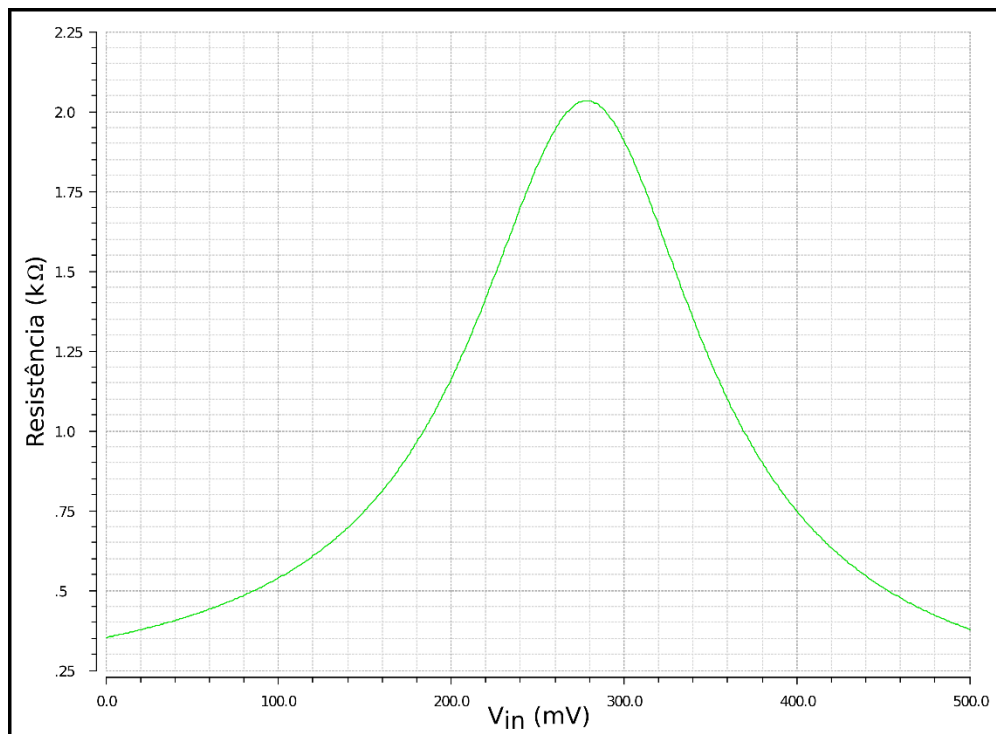


Figura 41 - Resistência da porta de transmissão ( $R_{SW}$ ) em função da tensão na entrada.

As dimensões dos transistores das chaves são apresentadas na Tabela 9.

	NMOS	PMOS
Largura ( $W$ )	800 nm	1,6 $\mu$ m
Comprimento ( $L$ )	20 nm	20 nm
Número de <i>fingers</i> ( $f$ )	1	1
Número de múltiplos paralelos( $m$ )	1	1

Tabela 9 - Dimensões dos transistores da porta de transmissão

A largura de banda do filtro  $BW$  é dada [4] por:

$$BW = \frac{1}{\pi N R_{in} C} \cong 4MHz \quad (7)$$

onde o número de fases  $N=4$ . O fator de qualidade do filtro pode ser derivado da frequência de chaveamento e da largura de banda [25]:

$$Q = \frac{f_s}{BW} \quad (8)$$

Outro dado importante para considerar é a rejeição máxima do filtro, que depende da resistência parasita da chave de acordo com [26]:

$$20 \log \left( \frac{R_{SWtotal}}{R_{in} + R_{SWtotal}} \right) \cong -20dB \quad (9)$$

uma vez que  $R_{SWtotal} \cong 2 \text{ k}\Omega$  e  $R_{in} = 20 \text{ k}\Omega$ .

A função de transferência do filtro 4-*path* é dada aproximadamente [27] por

$$H_0(f) \cong \frac{1}{1 + j2\pi f R_{in} C_P} * \left[ 1 - \frac{R_{in} C_P N}{T_s} * \frac{\left(1 - e^{-j2\pi f \left(T_s - \frac{T_s}{N}\right)}\right)}{1 + j2\pi f R_{in} C_P} * \left( \frac{1 - e^{-\frac{T_s}{N R_{in} C_P} * e^{-\frac{j2\pi f T_s}{N}}}}{1 - e^{-\frac{T_s}{N R_{in} C_P} * e^{-j2\pi f T_s}}} \right) \right] \quad (10)$$

onde  $T_s = 1/f_s$ .

Como estudo de caso foi simulado o filtro com banda passante em torno de 1 GHz; logo  $f_s = 1$  GHz. Utilizando a equação (10) obtivemos a Figura 42.

Caso fosse necessária a remoção dos harmônicos pares, poder-se-ia utilizar um filtro diferencial, porém com aproximadamente o dobro de área de silício para o filtro 4-*path*. Para evitar o aumento do consumo de silício, optou-se por continuar usando a versão com saída simples do filtro 4-*path*.

A inclusão da resistência das chaves altera a função de transferência do filtro para:

$$H_{0sw}(f) = \frac{R_{SWtotal}}{R_{in} + R_{SWtotal}} + \frac{R_{in}}{R_{in} + R_{SWtotal}} * H_0(f) \quad (11)$$

Note que se  $R_{SWtotal} = 0$ , então  $H_{0sw}(f) = H_0(f)$ .

Aplicando os valores de resistência das chaves e de entrada na equação que define a função de transferência modificada, obtivemos a Figura 43.

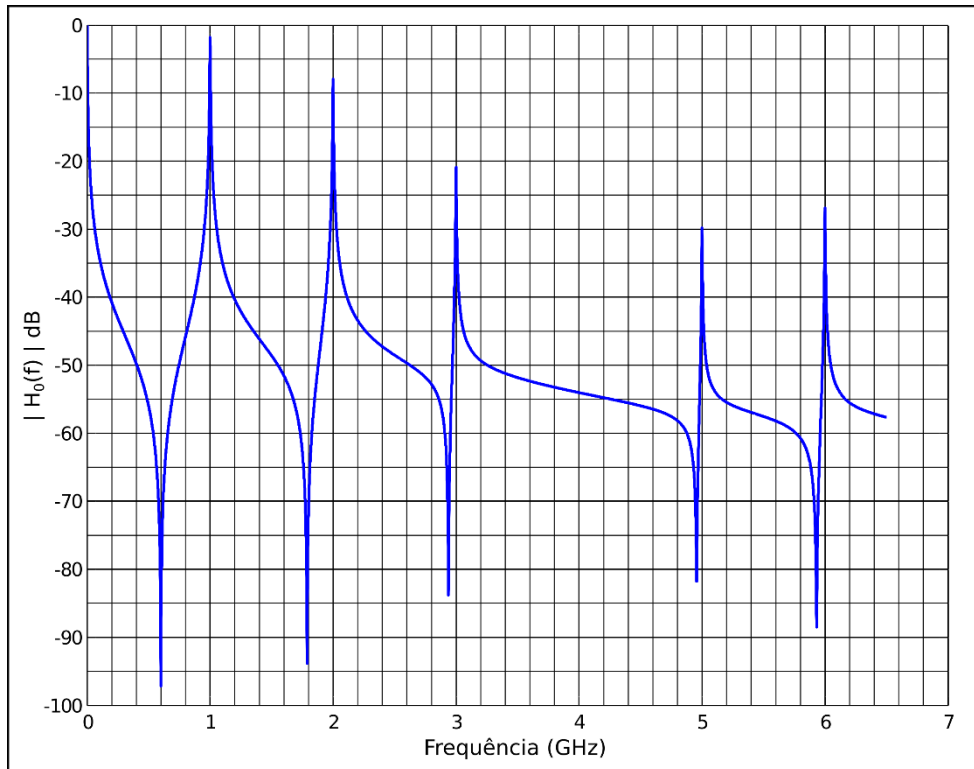


Figura 42 – Gráfico da função de transferência do filtro 4-*path* sem inclusão da resistência das chaves vs frequência do sinal de entrada, @ frequência do oscilador = 1 GHz.

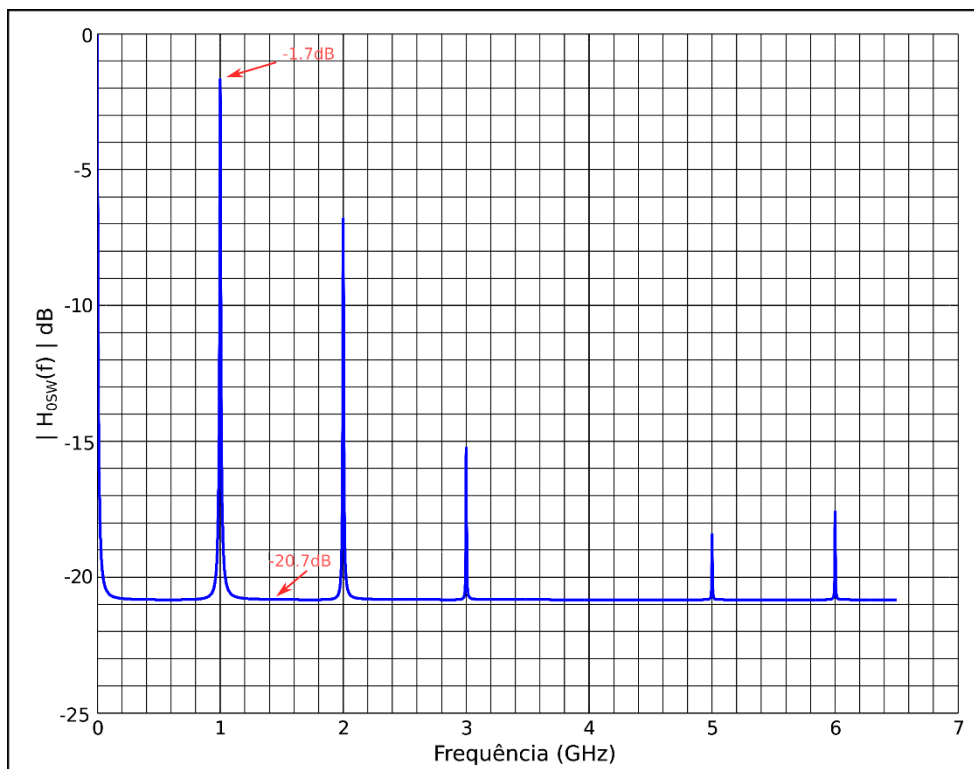


Figura 43 - Gráfico da função de transferência do filtro 4-*path* com inclusão da resistência das chaves vs frequência do sinal de entrada, @ frequência do oscilador = 1 GHz.

A Figura 44 é uma ampliação da Figura 43 em torno da frequência de chaveamento foi aplicada para melhor avaliar a banda passante.

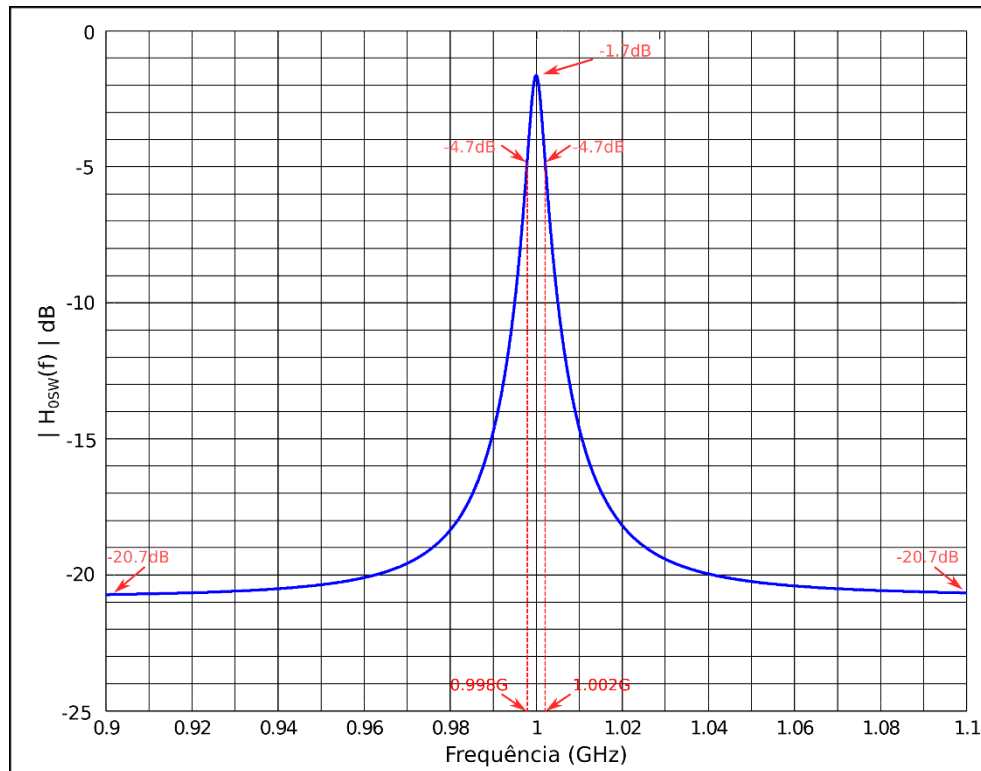


Figura 44 - Detalhe do gráfico da função  $H_{0sw}(f)$  em torno da frequência de 1 GHz.

A largura de banda ( $BW$ ) é de 4 MHz, como calculado anteriormente. Também como demonstrado previamente, a atenuação máxima do filtro é de aproximadamente 20 dB em relação ao ganho na frequência central.

#### 4.1 RESULTADOS DE SIMULAÇÃO

O tipo de simulação mais adequado para esse sistema é utilizando uma combinação de simulação PSS (*periodic steady state*) + PAC (*Periodic AC*). A simulação PSS executa uma simulação transiente e salva dados de um período, a partir do momento em que o sistema fica periódico. Já a PAC utiliza como base os dados fornecidos pela PSS e aplica o sinal AC. Esse método tende a ser extremamente mais rápido e mais confiável que uma simulação transiente convencional [28], [29].

Foi simulado o circuito da Figura 39 com as dimensões descritas na Tabela 9, unido ao circuito da Figura 12, com dimensões descritas na Tabela 6. O circuito resultante, representado na Figura 45, inclui todos os blocos do oscilador, espelho de corrente e o filtro *4-path*.

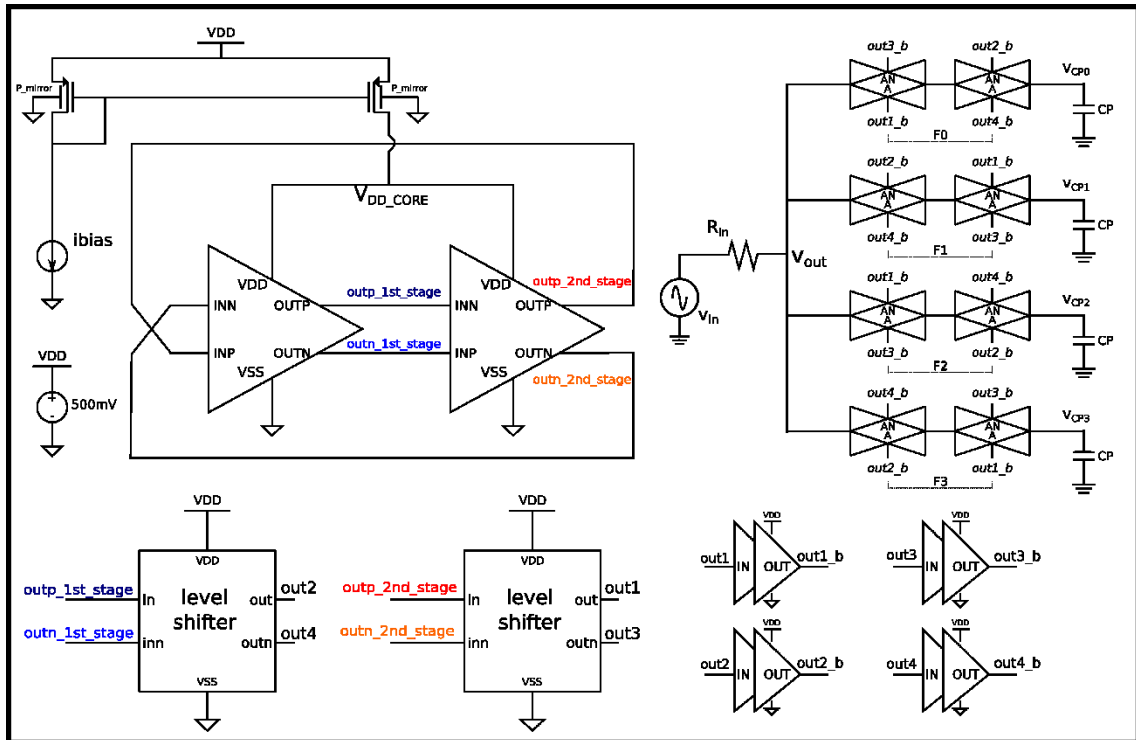


Figura 45 – Esquemático completo do filtro *4-path* incluindo os blocos para geração dos sinais de controle das chaves.

O resultado da simulação pode ser visto na Figura 46 e na Figura 47. A primeira delas mostra o valor de  $V_{out}/V_{in}$ , para a frequência do sinal de entrada de 0 Hz a 6 GHz, tornando possível compará-lo com o modelo ilustrado na Figura 43. Nota-se que os valores de ganho na banda passante e na banda de rejeição são próximos do esperado. Já na Figura 47, analisando em torno da frequência de chaveamento (freq = 1,012672GHz), vemos que o ganho máximo é de -3,9642dB, contra o valor de -1,7dB apresentado na Figura 44. O modelo matemático tem algumas simplificações e não contempla outras variáveis como outros parasitas das chaves, a diferença no ciclo de trabalho (que não é exatamente 25%) e a variação da resistência das chaves com o valor de  $V_{in}$ , porém é ainda valor aceitável. A banda passante é de 4,85 MHz, e o ganho máximo na banda de rejeição é aproximadamente igual ao valor calculado.

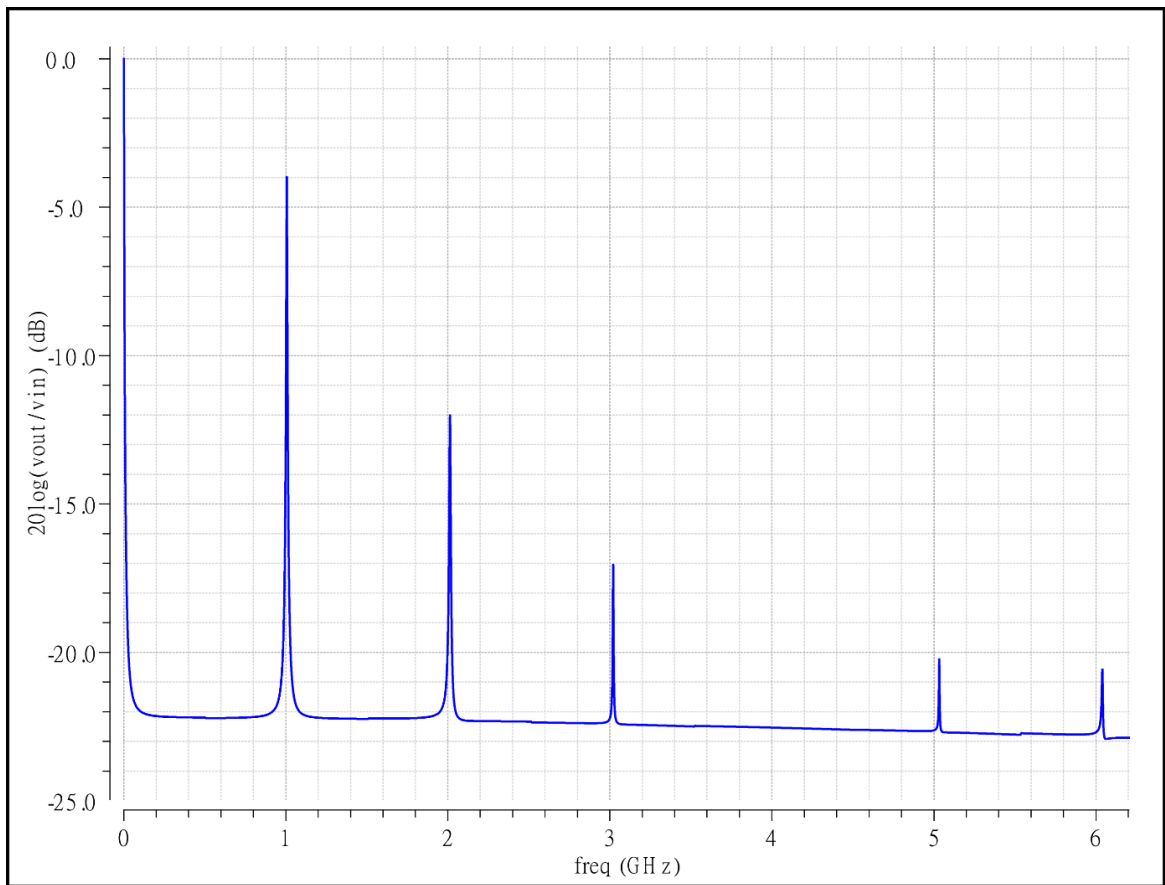


Figura 46 – Ganho simulado de  $V_{out}/V_{in}$  para a frequência do sinal de entrada entre 0Hz e 6GHz.

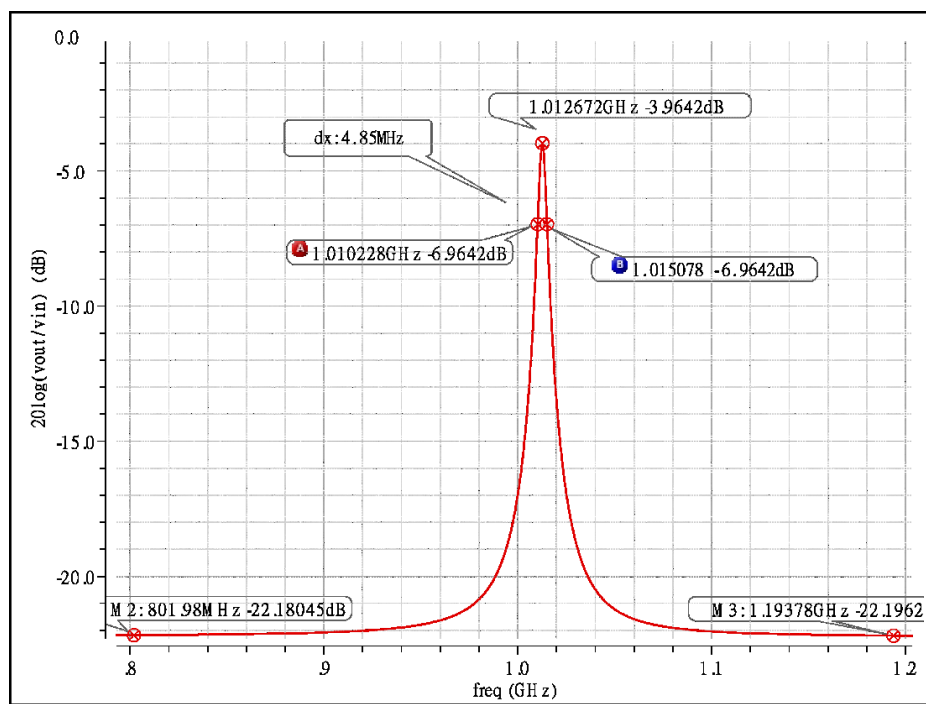


Figura 47 – Detalhe do ganho  $V_{out}/V_{in}$  em torno da frequência de chaveamento de 1 GHz.



Um estudo de caso foi feito considerando a sintonia da frequência de oscilação em 912 MHz e o valor dos capacitores CP alterados de 1 pF para 2 pF para tornar o filtro mais seletivo e diminuir a largura de banda de 4 MHz para 2 MHz, já que a largura de banda das aplicações no protocolo ZigBee a 915 MHz tem largura de banda de 2 MHz. A frequência de 912 MHz é equivalente ao canal 4 do protocolo de comunicação utilizado no ZigBee a 915 MHz. O resultado da simulação pode ser visto na Figura 48. A largura de banda obtida é de aproximadamente 2,07 MHz, consistente com o resultado esperado.

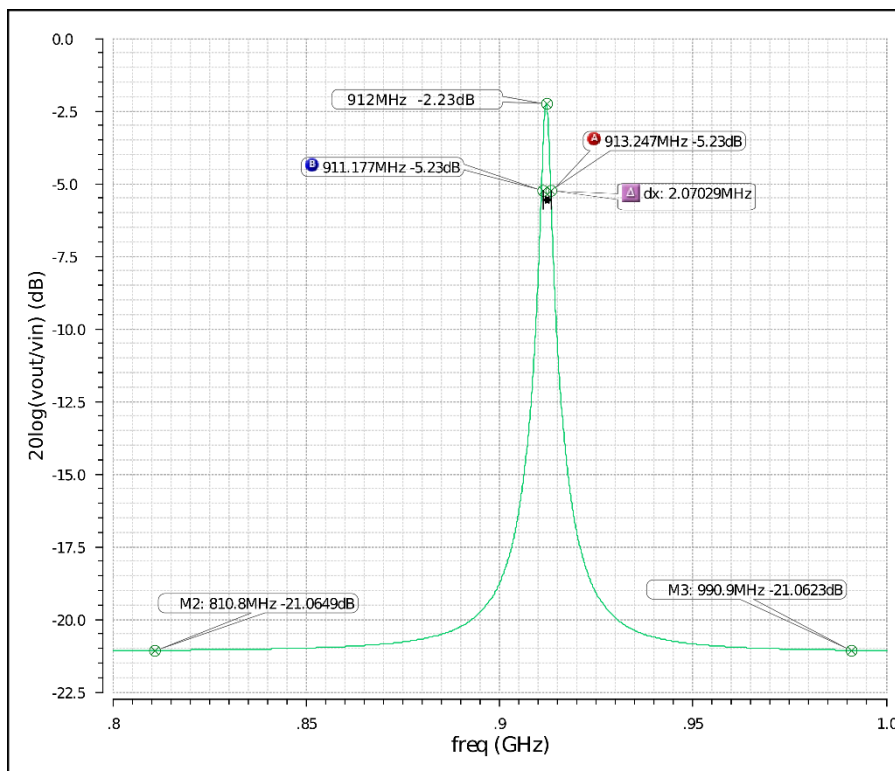


Figura 48 - Gráfico do ganho  $V_{out}/V_{in}$  em torno da frequência de chaveamento de 912 MHz.

A fim de comparar o projeto do oscilador deste trabalho com outros da literatura especializada, foram realizadas simulações para determinar o ruído de fase, que representa um desvio da frequência de oscilação em torno da frequência de interesse [30].

A simulação que avalia o ruído de fase é chamada, no ambiente da *Cadence*, de *pnoise*, que utiliza informações da simulação *PSS*. O comportamento do ruído de fase em função do desvio de frequência em relação à frequência do oscilador (2,5 GHz) pode ser visto na Figura 49. O ruído é relativamente elevado nesse caso, se comparado com outros osciladores de mesma arquitetura apresentados na literatura, mas o foco deste trabalho foi o de reduzir o consumo.

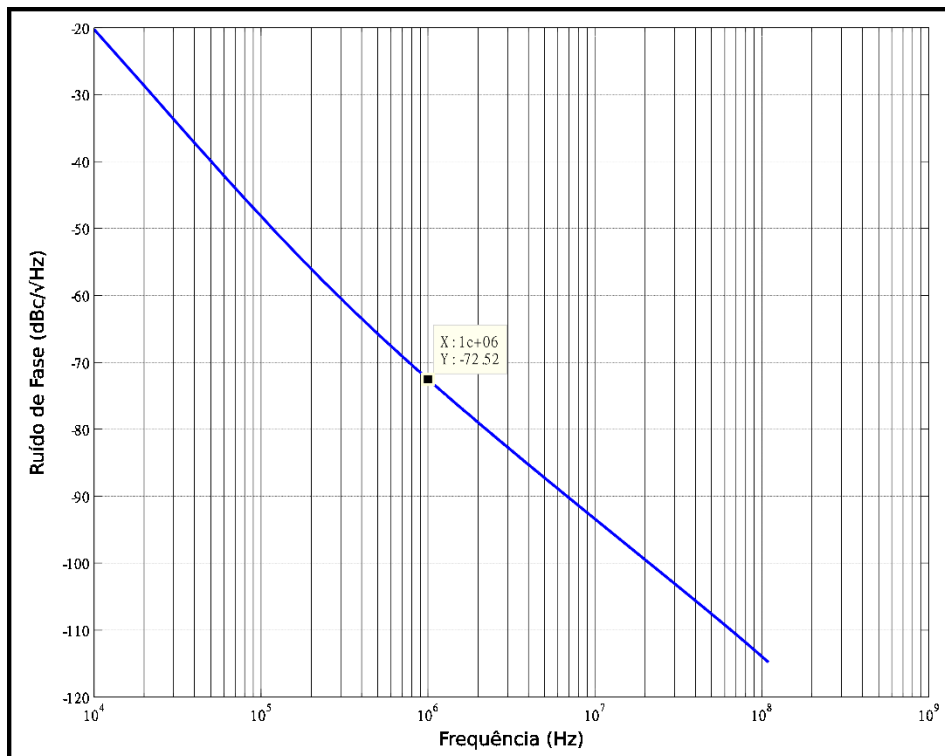


Figura 49 - Ruído de fase do oscilador versus desvio em frequência em torno da frequência do oscilador de 2,5 GHz.

## 5 LEIAUTE E SIMULAÇÕES PÓS-LEIAUTE

No leiaute de um circuito integrado analógico são implementadas técnicas, como as de casamento e simetria, para obtenção de performance semelhante à obtida com a do circuito simulado em nível de esquemático. Outros efeitos de dependência do leiaute (LDE) podem acontecer devido a diversos fatores, sendo os mais conhecidos e relevantes o efeito de proximidade do poço (WPE) e o efeito do comprimento de difusão do óxido.

O *well proximity effect* (WPE) introduz uma diferença na mobilidade dos transistores próximos à borda do poço comparada à de transistores que estão longe da borda do poço. Uma boa prática para reduzir o WPE é a de prover uma distância mínima de 3  $\mu\text{m}$  da área ativa do transistor mais adjacente até a borda do poço, ou do anel de guarda que polariza esses transistores [31], como pode ser visto na Figura 50.

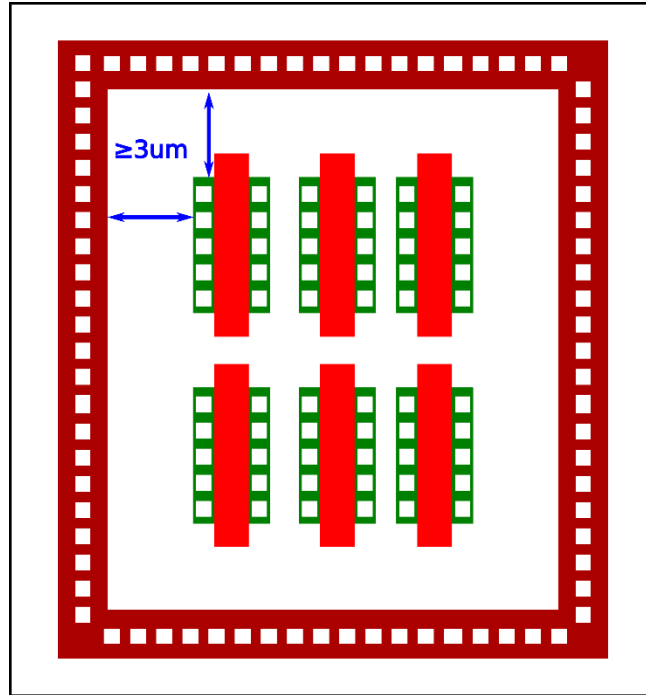


Figura 50 - Ilustração de solução do WPE no layout (vista superior)

Para poupar área e reduzir parasitas provenientes do roteamento entre os dispositivos, especialmente em circuitos que operam em frequências elevadas, é muito comum utilizar transistores com o dreno e fonte compartilhada entre os dispositivos adjacentes. Quando feito esse compartilhamento (*abutment*), cria-se um arranjo com diversos dispositivos formando uma cadeia em linha e temos que os dispositivos das bordas estão sujeitos a maiores alterações na rede cristalina, se comparado com os transistores que se localizam no meio da cadeia. Esse efeito, chamado de efeito do comprimento de difusão do óxido, encontrado popularmente na literatura como *length of oxide diffusion* (LOD), é o efeito que ocorre devido à trincheira (*shallow trench isolation – STI*) adicionada adjacente ao transistor (para reduzir as correntes de fuga), causando compressão ou tensão, dependendo do tipo de transistor (P ou N), na rede cristalina. Essa força que age na rede cristalina, age em todos os nós tecnológicos, sendo negligenciado em sua maioria nas tecnologias superiores a 90nm, e tem parcela pronunciada em tecnologias entre 90nm e 40nm, e age de forma ainda mais importante para tecnologias sub-40nm [32], [33], [34].

A Figura 51 ilustra o estresse causado pela região da trincheira ao longo da cadeia. Os dispositivos denominados A recebem pressão superior aos dispositivos denominados de B, que estão localizados no meio da cadeia, e especialmente para dispositivos que devem ser casados, apresentam um desvio no comportamento elétrico.

As distâncias representadas pelas siglas SA e SB são comumente utilizadas na literatura para representar a distância da região ativa do transistor até a borda da difusão. [34].

A solução para evitar esse efeito, é adicionar dispositivos nas bordas da cadeia, que não têm função ativa (*dummies*). Assim, há uma equivalência na tensão aplicada a todos os dispositivos ativos da cadeia, como pode ser visto na Figura 52, mas a custos de um incremento de área.

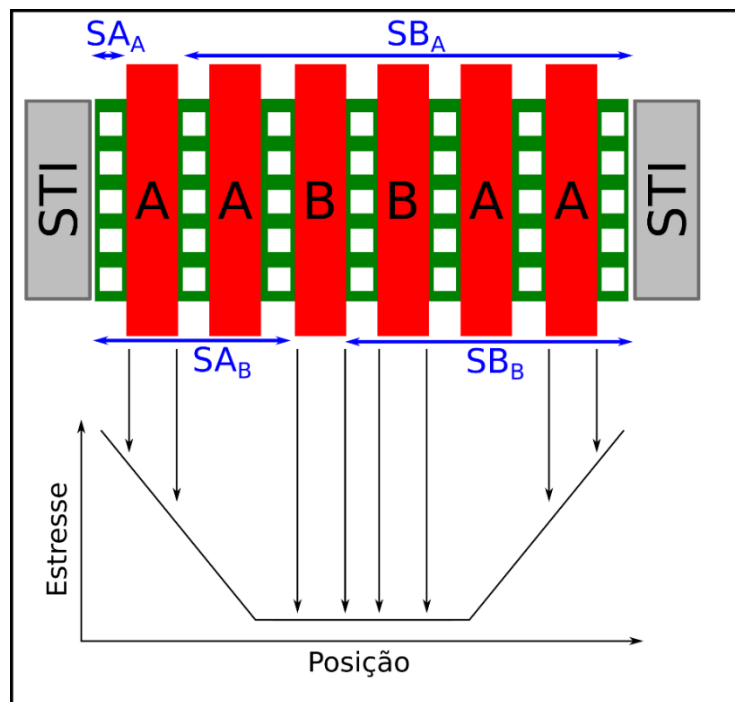


Figura 51 - Estresse vs posição ao longo da cadeia.

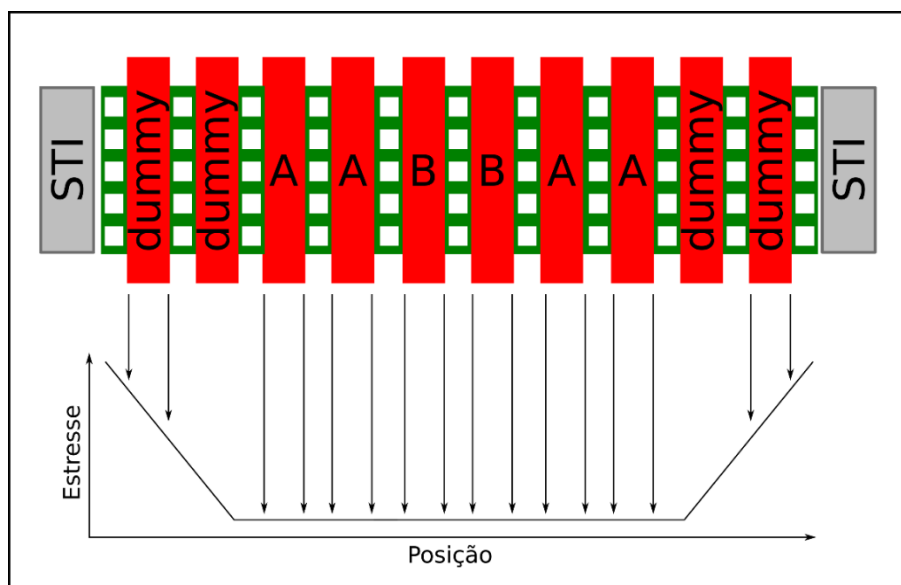


Figura 52 - Estresse vs posição ao longo da cadeia com inclusão de dispositivos dummy.

Depois de analisar os cuidados que devem ser tomados e quais técnicas devem ser aplicadas na elaboração do leiaute de um nó tecnológico mais fino, o leiaute do oscilador completo foi feito.

O espelho de corrente, que possui dimensões elevadas ocupa aproximadamente 50% da área do oscilador, e o restante do oscilador, composto pelo núcleo, os *buffers* e os deslocadores de nível ocupam os outros 50% como pode ser visto na Figura 53, porém é necessário instanciar diversas células extras para fazer com que o leiaute atenda as essenciais regras de DRC (*Design Rules Checking*) e DFM (*Design For Manufacturability*). As regiões em vermelho, fora dos quadrados que representam cada um dos circuitos na Figura 53, representam a adição de polissilício fictício (*Poly dummy*), necessário para manter a homogeneidade na rede de polissilício utilizado nessa região. Como o oscilador e os demais componentes, exceto o espelho de corrente, utilizam o comprimento mínimo do canal, e o processo de litografia para o transistor com canal mínimo é mais crítico, as regras de DRC e DFM são incrementadas. O polissilício nessas regiões de onde são instanciados transistores de canal mínimo deve seguir uma estrutura periódica e ter uma densidade mínima. Logo, regras extras de verificação física exigem a criação do polissilício fictício nessas regiões.

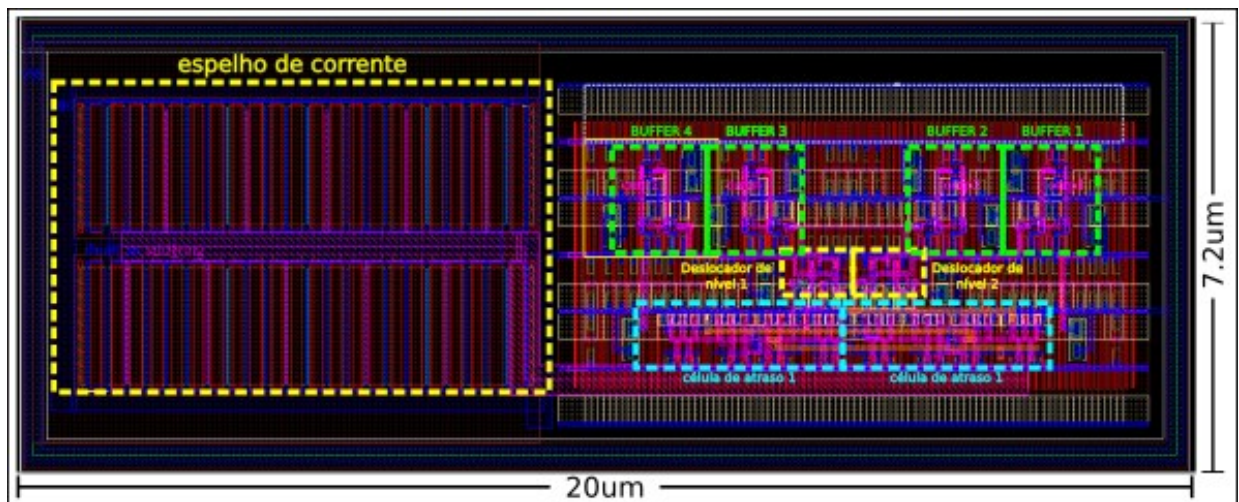


Figura 53 – Leiaute do oscilador, *buffers*, deslocadores de nível e espelho de corrente.

Após a execução do leiaute é comum no fluxo de projeto analógico ou de sinais mistos utilizar uma ferramenta que faz a análise de todos os roteamentos e executa a extração de parasitas gerados pelo leiaute. Para o leiaute da Figura 53 foi realizada a extração de parasitas e a simulação pós-leiaute para fazer a comparação com a simulação do esquemático. No

processo de extração é possível a utilização de filtros para, por exemplo, extrair apenas a capacitância dos roteamentos, ou apenas a resistência desses. Na simulação executada neste trabalho uma extração completa foi realizada, gerando um arquivo de definição do circuito bem extenso, automaticamente tornando a simulação mais lenta que a simulação em nível de esquemático, mas tendendo a obter um resultado de simulação mais próximo ao que será obtido na implementação em silício.

A Figura 54 mostra o resultado da simulação pós-leiaute para a análise da frequência de oscilação em função da corrente de polarização. Pode ser visto que houve um decremento da frequência de oscilação se comparado para um mesmo valor da corrente de polarização na simulação em nível de esquemático. Esse decremento é esperado uma vez que o leiaute introduz diversos parasitas. Com um leiaute otimizado e através da redução da capacitância nos nós mais críticos (como as saídas do oscilador, por exemplo), o resultado do consumo para a faixa frequências de interesse é apresentada na Figura 55.

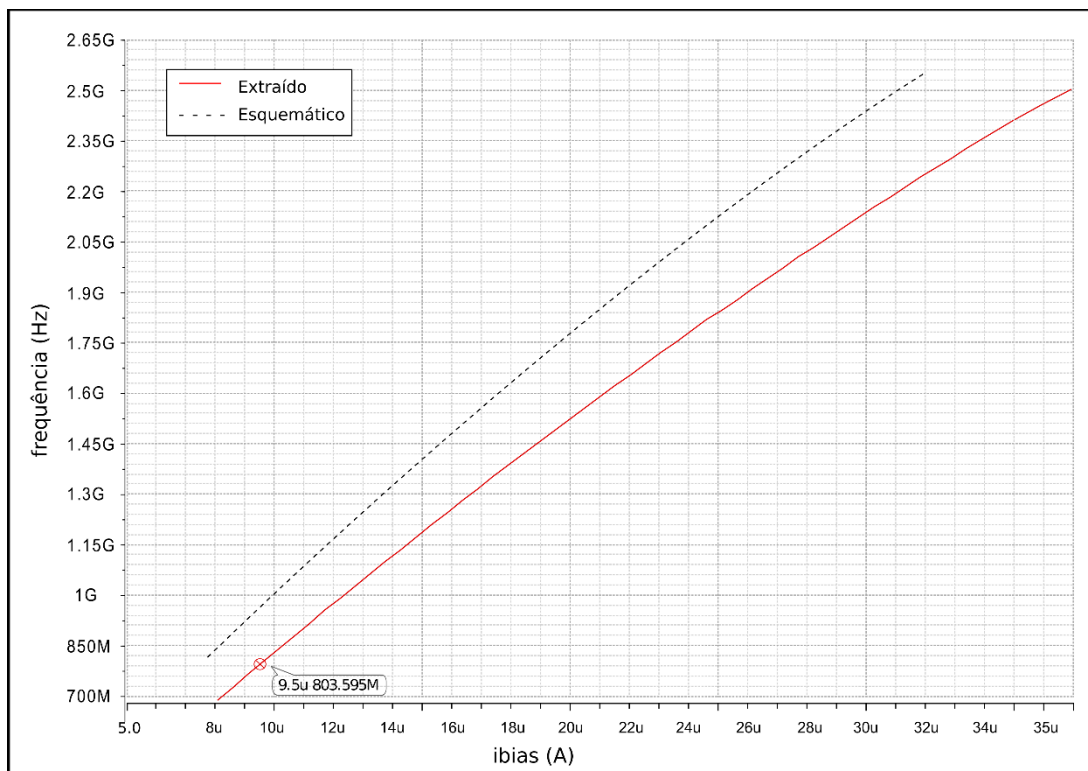


Figura 54- Frequência de oscilação vs corrente de polarização.

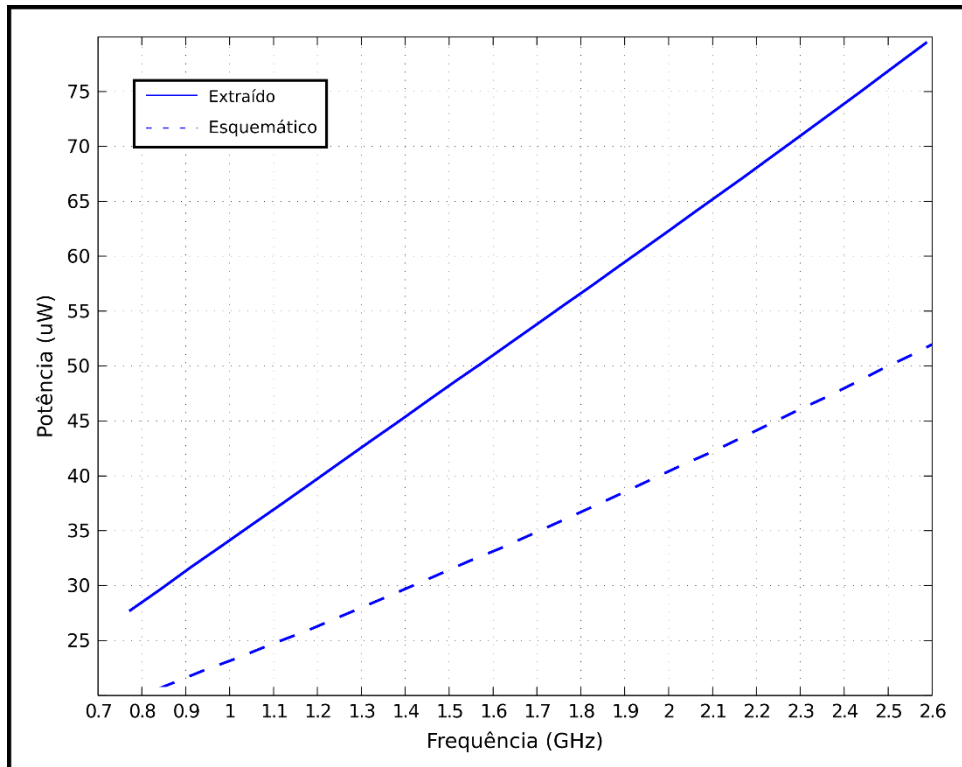


Figura 55 - Gráfico do consumo de potência vs frequência de oscilação.

Para finalizar o leiaute do projeto, foi necessário implementar o leiaute do filtro 4-*path* composto do resistor, dos quatro capacitores e das oito portas de transmissão. Nessa tecnologia estão habilitados apenas os capacitores do tipo metal-óxido-metal (MoM). Esses capacitores, por sua vez, têm capacitância por unidade de área reduzida, se comparados com os tradicionais capacitores do tipo metal-isolante-metal (MiM), que, por sua vez, apresentam menos interação com o substrato, pois estes são fabricados em níveis de metal superiores. Outro fator que contribuiria para a redução de área é o posicionamento do restante do circuito abaixo dos níveis de metal dos capacitores MiM. Esse posicionamento do circuito ativo abaixo dos capacitores apresenta um acoplamento importante entre o circuito e os capacitores, porém permite uma redução agressiva na utilização da área de silício. Os capacitores do tipo MiM estão indisponíveis no subconjunto de máscaras disponíveis para o *flavor* selecionado dessa tecnologia para a execução deste projeto. Na Figura 56 é possível observar o leiaute do sistema completo, sendo de 1920  $\mu\text{m}^2$  a área ativa do circuito.



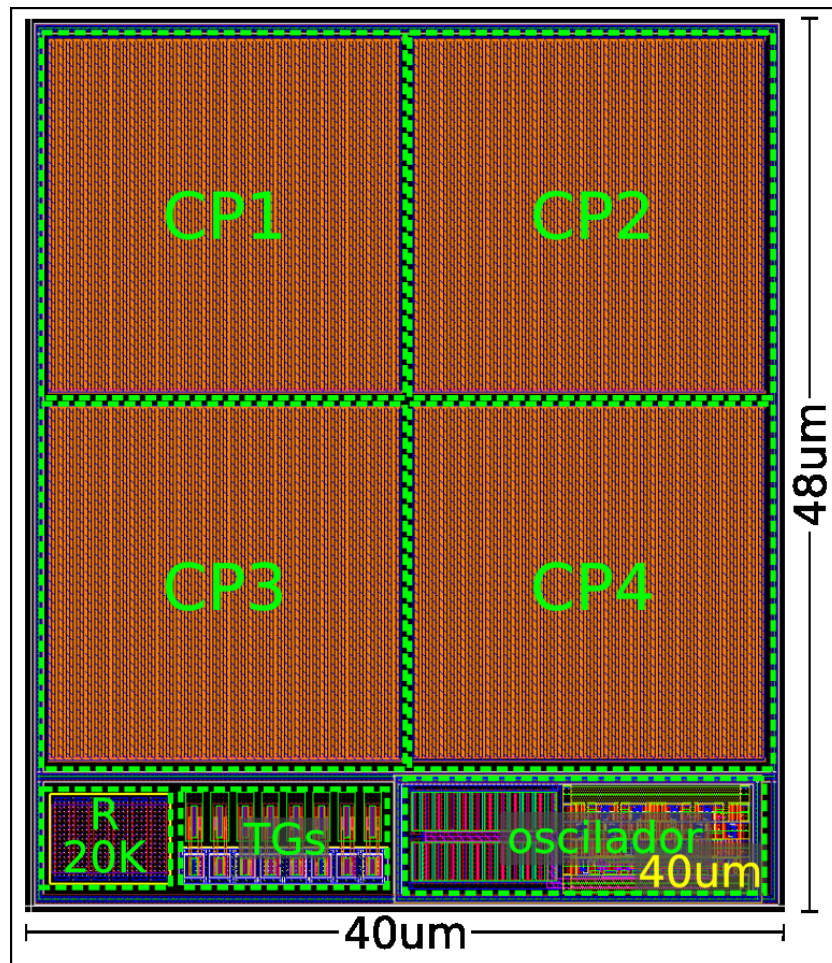


Figura 56 - Leiaute do sistema completo.

A simulação pós leiaute do sistema completo pode ser vista na Figura 57. Os principais fatores que causam a diferença do ganho na zona de rejeição, se comparado o resultado obtido da simulação utilizando os parâmetros extraídos, com o calculado ou com a simulação pré leiaute, é dado majoritariamente pela diminuição do ciclo de trabalho e, posteriormente, pelos parasitas adicionados no leiaute. O ganho na banda passante ficou próximo do esperado, se este for comparado com o pré leiaute também. A largura de banda passou de 4.85 MHz para aproximadamente 5.8 MHz, também devido aos fatores citados.

A fim de melhorar a performance do filtro desenvolvido nesta pesquisa, o projeto pode ser revisado. Algumas medidas para melhoria do projeto incluem o redimensionamento das chaves e a correção no ciclo de trabalho das chaves, ambos responsáveis pela degradação da performance do filtro. Naturalmente, medidas clássicas como aumento de área e de corrente para eventual redução dos efeitos dos componentes parasitários também podem ser incluídas, uma vez que o consumo de área do sistema oscilador + filtro ainda se mostrou relativamente baixo. Uma malha de controle para ajuste da frequência de oscilação através da corrente de



polarização pode ser incluída em algum futuro trabalho para complementação do projeto aqui desenvolvido.

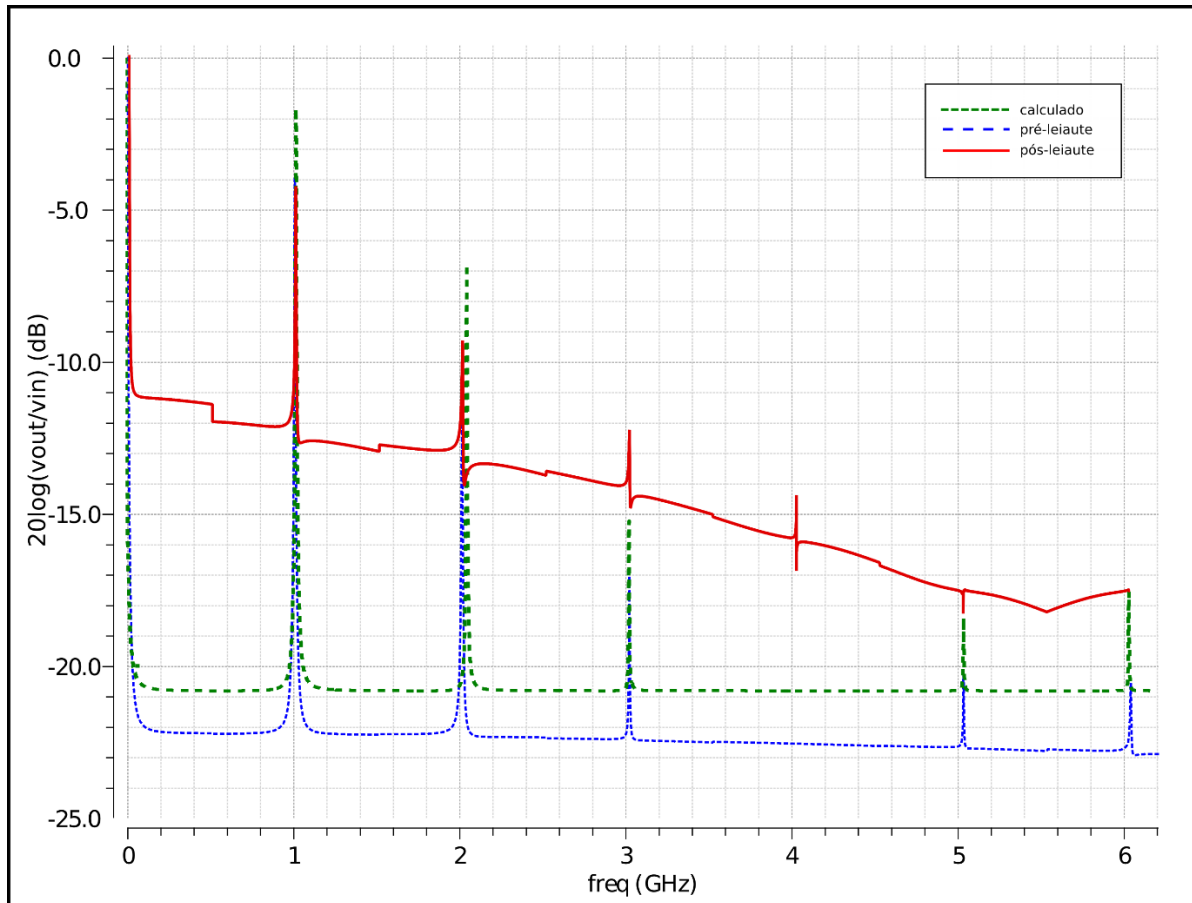


Figura 57 – Gráfico do ganho  $V_{out}/V_{in}$ , pós leiaute, para a frequência do sinal de entrada entre 0Hz e 6GHz.

## 6 CONCLUSÃO E TRABALHO FUTURO

### 6.1 SUMÁRIO E CONCLUSÃO

Esta dissertação de mestrado apresentou o projeto de um oscilador integrado de quatro fases para aplicação em filtros passa banda de faixa estreita em tecnologia FD-SOI 22nm. A topologia do filtro utilizada foi em anel e o filtro de banda estreita aqui utilizado é do tipo *N-path* de 4 vias. A execução do projeto em nível de simulação, leiaute e simulação pós-leiaute foi feita em conjunto dos ambientes da *Cadence* e da *Synopsys* com as respectivas ferramentas *Virtuoso* e *Custom Compiler*. O oscilador apresentado é capaz de operar com 500 mV e

frequências entre 800 MHz e 2,5 GHz com polarização em corrente entre 7,8  $\mu\text{A}$  e 30,5  $\mu\text{A}$ . A topologia do oscilador permite a integração completa, sem a utilização de capacitor e/ou indutor externo, fazendo com que o circuito utilize pouca área em silício, baixo consumo de potência e baixo custo de implementação. Um estudo de caso foi elaborado para avaliar o funcionamento do sistema para aplicações ZigBee 915 MHz apenas com a modificação no capacitor do filtro e ajuste da frequência através da corrente de polarização, como era esperado.

As variações de processo, *mismatch* e *corners* não impossibilitaram o funcionamento do circuito, uma vez que para todos os casos é possível operar na região de interesse fazendo ajuste na corrente de polarização, assim como o circuito extraído. O oscilador apresentou consumo de potência reduzido se comparado com outros trabalhos semelhantes.

O leiaute do sistema foi elaborado e as técnicas de leiaute para nós finos foram implementadas.

Para o leiaute, algumas técnicas foram aprendidas, como: O posicionamento do polissilício em uma rede periódica, já que este é exigido pelas regras de verificação física, e os efeitos de dependência do leiaute que para nós maiores eram negligenciados.

O presente trabalho foi desenvolvido em uma tecnologia pouco convencional e potencialmente pode ser utilizado como uma importante referência para trabalhos futuros.

## 6.2 TRABALHO FUTURO

A partir dessa dissertação, como sugestão seria a simulação do sistema completo, reservando recursos necessários como tempo e licenças de softwares para simulações. Após isso, comumente é necessário algum ajuste no leiaute e uma nova interação deve acontecer até atingir um resultado aceitável. A implementação de uma fonte de corrente com variação negativa com relação a temperatura poderia reduzir a variação da frequência com relação a esta. A integração física em nível de chip permitiria executar medições do sistema e, por fim, comparar resultados experimentais com os resultados aqui obtidos.

## 7 REFERÊNCIAS BIBLIOGRÁFICAS

1. KONSTANTINOVSKY, I.; COHEN, E. N-Path Filter Model Simulation and Verification at High Frequencies. **IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems (COMCAS)**, p. 1-5, 2017. ISSN doi: 10.1109/COMCAS.2017.8244811.
2. SHAKOUSH, A. A. et al. Improved  $\pi$ -Delayed Harmonic Rejection N-Path Mixer for Low Power Consumption and Multistandard Receiver. **IEEE International New Circuits and Systems Conference (NEWCAS)**, p. 170-173, 2020. ISSN ISBN:978-1-7281-7044-2.
3. SIDID, S.; GAUR, S. Smart Grid Building Automation Based on Internet of Things. **Innovations in Power and Advanced Computing Technologies**, p. 1-4, 2017. ISSN ISBN:978-1-5090-5682-8.
4. KLUMPERINK, E. A. M.; WESTERVELD, H. J.; NAUTA, B. N-Path Filters and Mixer-First Receivers: A review. **IEEE Custom Integrated Circuits Conference (CICC)**, p. 1-8, 2017. ISSN ISBN:978-1-5090-5191-5.
5. EL-AASSAR, O.; REBEIZ, G. M. A 5 GHz 0.5 V Hybrid Class-B/F-1 CMOS Oscillator With  $-147$  dBc/Hz Phase Noise at 10 MHz Offset Using Body-Biased 22 nm FDSOI. **IEEE Microwave and Wireless Components Letters**, 2020. 1-4.
6. EL-AASSAR, O.; REBEIZ, G. M. 26.5 A 0.1-to-0.2V Transformer-Based Switched-Mode Folded DCO in 22nm FDSOI With Active Step-Down Impedance Achieving 197dBc/Hz Peak FoM and 40MHz/V Frequency Pushing. **2019 IEEE International Solid- State Circuits Conference - (ISSCC)**, p. 416-418, 2019. ISSN ISBN:978-1-5386-8531-0.
7. KHAN, A. B. et al. A Low Power and Low Noise Voltage-Controlled Oscillator in 28-nm FDSOI Technology for Wireless Communication Applications. **2019 IEEE Canadian Conference of Electrical and Computer Engineering (CCECE)**, p. 1-5, 2019. ISSN ISBN:978-1-7281-0319-8.
8. JACQUEMOD, G. et al. 2.45 GHz 0.8 mW Voltage-Controlled Ring Oscillator (VCRO) in 28 nm Fully Depleted Silicon-On-Insulator (FDSOI)

- Technology. **Frontiers of Materials Science**, v. 9, p. 156-162, 2015. ISSN doi:10.1007/s11706-015-0288-6.
9. GAIDIOZ, D. et al. Ring VCO Phase Noise Optimization by Pseudo-Differential Architecture in 28nm FD-SOI CMOS. **2020 IEEE International Symposium on Circuits and Systems (ISCAS)**, p. 1-4, 2020. ISSN doi: 10.1109/ISCAS45731.2020.9180557.
  10. MAKIPAA, J.; BILLOINT, O. FDSOI versus BULK CMOS at 28 nm node Which Technology for Ultra-Low Power Design? **IEEE International Symposium on Circuits and Systems (ISCAS2013)**, p. 554-557, 2013. ISSN doi: 10.1109/ISCAS.2013.6571903.
  11. GLOBALFOUNDRIES. **22nm FD-SOI Technology**. [whitepaper]. 2020.
  12. GLOBALFOUNDRIES. **FD-SOI Technology Innovations Extend Moore's Law**. [whitepaper]. 2015.
  13. BARTRA, W. E. C. **Modelamento do Single-Event Effects em Circuitos de Memória FDSOI**. Porto Alegre. 2016. (Tese (doutorado)).
  14. SCHNEIDER, M. C.; GALUP-MONTORO, C. **CMOS Analog Design Using All-Region MOSFET Modeling**. [S.l.]: Cambridge University Press, 2010.
  15. LOTFI, N.; IBANEZ, P. L.; RUNGE, M. A Single-Channel 18.5 GS/s 5-bit Flash ADC using a Body-Biased Comparator Architecture in 22nm FD-SOI. **IEEE International Symposium on Circuits and Systems (ISCAS)**, p. 1-4, 2019. ISSN doi: 10.1109/ISCAS.2019.8702505.
  16. GALUP-MONTORO, C.; SCHNEIDER, M. C. **MOSFET Modeling for Circuit Analysis and Design**. Singapore: World Scientific, 2007.
  17. RAZAVI, B. The Ring Oscillator [A Circuit for All Seasons]. **IEEE Solid-State Circuits Magazine**, v. 11, p. 10-81, 2019. ISSN doi: 10.1109/MSSC.2019.2939771.
  18. LAKSHMIKUMAR, K. R.; MUKUNDAGIRI, V.; GIERKINK, S. L. J. A Process and Temperature Compensated Two-Stage Ring Oscillator. **IEEE 2007 Custom Intergrated Circuits Conference (CICC)**, p. 691-694. ISSN doi:10.1109/CICC.2007.4405826.

19. RAZAVI, B. **RF Microelectronics**. 2nd. ed. Upper Saddle River, NJ: Prentice Hall: [s.n.], 1998.
20. BAE, W. et al. A 7.6 mW, 414 fs RMS-Jitter 10 GHz Phase-Locked Loop for a 40 Gb/s Serial Link Transmitter Based on a Two-Stage Ring Oscillator in 65 nm CMOS. **IEEE Journal of Solid-State Circuits**, v. 51, p. 2357-2367, Oct. 2016. ISSN doi: 10.1109/JSSC.2016.2579159.
21. BARBER, N. F. Narrow Band-Pass Filter Using Modulation. **Wireless Engineer**, p. 132-134, 1947.
22. FRANKS, L.; WITT, F. Solid-State Sampled-Data Bandpass Filters. **IEEE International Solid-State Circuits Conference. Digest of Technical Papers**, p. 70-71, 1960. ISSN doi: 10.1109/ISSCC.1960.1157262.
23. LEPAGE, W. R.; CAHN, C. R.; BROWN, J. S. Analysis of a Comb Filter Using Synchronously Commutated Capacitors. **Transactions of the American Institute of Electrical Engineers, Part I: Communication and Electronics**, v. vol. 72, p. pp. 63-68, 1953. ISSN doi: 10.1109/TCE.1953.6371974.
24. GHAFFARI, A. **Switched-RC Radio Frequency N-Path Filters**. University of Twente: ISBN 978-90-365-3519-9, 2013.
25. LUO, C.-K.; GUDEM, P. S.; BUCKWALTER, J. F. A 0.2-3.6 GHz, 10-dBm B1dB, 29-dBm IIP3 Tunable Filter for Transmit Leakage Suppression in SAW-less 3G/4G FDD Receivers. **IEEE Transactions on Microwave Theory and Techniques**, v. 63, p. 3514-3524, October 2015. ISSN ISSN: 0018-9480.
26. NALLAM, N. Analysis of A Dual N-Path Filter. **IEEE International Symposium on Circuits and Systems (ISCAS)**, p. 1-5, 2020. ISSN doi: 10.1109/ISCAS45731.2020.9180644.
27. BOUKHAYMA, A.; ENZ, C. a new method for ktc noise analysis in periodic passive switched-capacitor networks. **IEEE 13th International New Circuits and Systems Conference (NEWCAS)**, p. 1-4, August 2015. ISSN 10.1109/NEWCAS.2015.7182091.
28. HEMATI, A.; JANNESARI, A. A Higher-Order Highly Linear N-Path Band-Pass Filter. **Circuits, Systems, and Signal Processing**, p. 40, 2021. ISSN 10.1007/s00034-020-01479-7.

29. RAZAVI, B. A Study of Phase Noise in CMOS Oscillators. **IEEE Journal of Solid-State Circuits**, v. 31, p. 331-343, 1996. ISSN doi: 10.1109/4.494195.
30. DRENNAN, P. G.; KNIFFIN, M. L.; LOCASCIO, D. R. Implications of Proximity Effects for Analog Design. **IEEE Custom Integrated Circuits Conference 2006**, n. doi: 10.1109/CICC.2006.320869., p. pp. 169-176.
31. NDIAYE, C. et al. Reliability Compact Modeling Approach for Layout Dependent Effects in Advanced CMOS Nodes. **IEEE International Reliability Physics Symposium (IRPS)**, p. 4C-4.1-4C-4.7, 2017. ISSN doi: 10.1109/IRPS.2017.7936315.
32. FARICELLI, J. V. Layout-Dependent Proximity Effects in Deep Nanoscale CMOS. **IEEE Custom Integrated Circuits Conference**, p. 1-8, 2010. ISSN doi: 10.1109/CICC.2010.5617407.
33. LI, R. et al. A Systematic Study of Layout Proximity Effects for 28nm Poly/SiON Logic Technology. **2015 China Semiconductor Technology International Conference**, p. 1-4, 2015. ISSN doi: 10.1109/CSTIC.2015.7153318.
34. SEDRA, A. S.; SMITH, K. C. **Microelectronic Circuits**. [S.l.]: Oxford University Press, 2004. ISBN ISBN 8576050226.