

Deni Germano Alves Neto

**FAMÍLIA LÓGICA CMOS UTILIZANDO O SCHMITT
TRIGGER OPERANDO EM ULTRABAIXA TENSÃO**

Trabalho de Conclusão de Curso
submetido ao Departamento de
Engenharia Elétrica e Eletrônica da
Universidade Federal de Santa Catarina
para a obtenção do título de Bacharel
em Engenharia Eletrônica.

Orientador: Prof. Carlos Galup
Montoro, Dr.

Florianópolis

2018

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Alves Neto, Deni Germano
FAMÍLIA LÓGICA CMOS UTILIZANDO O SCHMITT TRIGGER
OPERANDO EM ULTRABAIXA TENSÃO / Deni Germano Alves
Neto ; orientador, Carlos Galup-Montoro, 2018.
106 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro
Tecnológico, Graduação em Engenharia Eletrônica,
Florianópolis, 2018.

Inclui referências.

1. Engenharia Eletrônica. 2. Schmitt Trigger. 3.
Ultrabaixa tensão. 4. Família lógica. 5. CMOS 130nm.
I. Galup-Montoro, Carlos . II. Universidade Federal
de Santa Catarina. Graduação em Engenharia
Eletrônica. III. Título.

Deni Germano Alves Neto

**FAMÍLIA LÓGICA CMOS UTILIZANDO O *SCHMITT*
TRIGGER OPERANDO EM ULTRABAIXA TENSÃO**

Este Trabalho foi julgado adequado para obtenção do Título de Bacharel em Engenharia Eletrônica e aprovado em sua forma final pela Banca Examinadora.

Florianópolis, 9 de agosto de 2018.



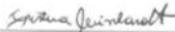
Prof. Jefferson Luiz Brum Marques, Dr.
Coordenador do Curso

Banca Examinadora:



Prof. Carlos Galup Montoro, Dr.
Orientador

Universidade Federal de Santa Catarina



Prof.ª Cristina Meinhardt, Dr.ª
Universidade Federal de Santa Catarina



Prof. José Luis Güntzell, Dr.
Universidade Federal de Santa Catarina

Este trabalho é dedicado à minha família, especialmente aos meus avós Deni Germano Alves e Zilma Cordeiro Alves.

AGRADECIMENTOS

Primeiramente, agradeço às instituições que viabilizaram a realização deste trabalho. Agradeço à Universidade Federal de Santa Catarina (UFSC) pela formação pública, gratuita e de qualidade; ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), pela bolsa de iniciação científica; à MOSIS, pelo processamento em silício deste trabalho.

Agradeço aos professores do Laboratório de Circuitos Integrados (LCI) da UFSC, Carlos Galup-Montoro e Márcio Cherem Schneider, pela orientação durante a iniciação científica e na realização deste projeto. Agradeço também a Nazide Martins pela ajuda oferecida no LCI.

Agradeço aos amigos e colegas da graduação em Engenharia Eletrônica, pelos grupos de estudo, conversas descontraídas e *happy hours*.

Agradeço aos integrantes do LCI pela amizade, pelos cafés e discussões científicas. Especialmente, obrigado aos amigos: Andrés Fernando Ordóñez Hurtado, Jefferson Cardoso Ribeiro, João Vitor Testi Ferreira e Luís Henrique Rodovalho pelo suporte, pelas explicações sobre circuitos integrados e paciência.

Agradeço a Cláudia Regina Silveira pelas horas dedicadas à correção e revisão deste trabalho.

Por fim, agradeço à minha família maravilhosa pelo apoio e carinho: Zilma Cordeiro Alves, Deni Germano Alves, Rita de Cassia dos Santos, Dario Deni Alves, Deni Germano Alves Filho, Daniel Deni Alves, Danilo Deni Alves, Dario Deni Alves Filho, Dennon Sant'Anna Alves, Bruno Giovani Alves, Agnes Day Alves, Raul Deni Alves, Elizabeth Regina Carpes Alves, Fernando Maurício Senna, Indra Rosa. Agradeço, principalmente ao meu tio, padrinho e amigo, Douglas Deni Alves, por sempre me incentivar na busca de conhecimento e ir além dos meus limites.

*“It is good to have an end to journey towards;
but it is the journey that matters, in the end.”*
(Ursula K. Le Guin, *The Left Hand of Darkness*)

RESUMO

No desenvolvimento da eletrônica moderna há uma tendência, muitas vezes necessidade, em diminuir as tensões de alimentação dos sistemas eletrônicos resultando em uma diminuição da potência consumida desses mesmos sistemas. Nesse contexto, este trabalho tem como objetivo a concepção de uma família de lógica (Inversor, Nand, Nor e um flip-flop) com intensa autonomia de energia e com possibilidade de ser alimentada por baterias e/ou colheita de energia, ou seja, aplicações em ultrabaixa tensão. Para isso, tais circuitos operam com uma tensão de alimentação mínima de 60mV a 300K. O *Schmitt Trigger* foi utilizado como célula básica da família lógica, e empregou tecnologia CMOS (*Complementary Metal Oxide Semiconductor*) operando na inversão fraca (regime sub-limiar); nessa região, existe uma dependência exponencial da corrente em relação às tensões de controle. Na caracterização das células lógicas, foram utilizadas duas figuras de mérito interessantes, que são o tempo de propagação e a potência consumida por cada célula, assim como a análise dessas figuras de mérito com variação de processo, temperatura e tensão (PVT), a qual é essencial para podermos observar o comportamento da família lógica ST em diversas situações.

Palavras-chave: *Schmitt Trigger*. Ultrabaixa tensão. Família lógica. 130nm. CMOS.

ABSTRACT

In the development of modern electronics there is a tendency, often need, to decrease the supply voltages of electronic systems resulting in a decrease in the power consumed of these same systems. In this context, this work aims to design a logic family (Inverter, NAND, NOR and a Flip-Flop) with intense autonomy of energy and with the possibility of being fed by batteries and/or energy harvesting, i.e., applications in ultra-low voltage. For this, such circuits operate with a minimum supply voltage of 60mV to 300K. The Schmitt Trigger was used as the basic cell of the logic family, using CMOS (Complementary Metal Oxide Semiconductor) technology operating in the weak inversion (subthreshold regime); in this region, there is an exponential dependence of the current in relation to the control voltages. In the characterization of the logical cells, two interesting figures of merit were used, which are the delay and the power consumed by each cell, as well as the analysis of these merit figures with process, temperature and voltage variation (PVT), which is essential to be able to observe ST logic family behavior in several situations.

Keywords: Schmitt trigger. Ultra-low voltage. standard cells. 130nm. CMOS.

LISTA DE FIGURAS

Figura 1- Inversor convencional CMOS	31
Figura 2 - (a) Sistema com realimentação; função de transferência de tensão com (b) $k = -1$; (b) $k = 0$; (b) $k = 0.5$	33
Figura 3 - Inversor Schmitt Trigger	35
Figura 4 - VTC do ST para $V_{DD}=60$ mV e $V_{DD}=150$ mV.	36
Figura 5 - Comparação entre os ganhos máximos de um inversor tradicional, um ST otimizado para diferentes V_{DD} e um ST otimizado para $V_{DD}=50$ mV.....	39
Figura 6 - Comparação das VTCs do ST e do inversor tradicional para diferentes <i>corners</i> de processo de fabricação.....	40
Figura 7 - Gráficos borboletas do ST e do inversor convencional indicando as regiões nas quais os níveis lógicos 1 e 0 são válidos.	41
Figura 8 - Gráfico do comportamento da tensão de limiar em relação ao aumento do comprimento do canal	45
Figura 9 - Gráfico da definição do tempo de propagação.	46
Figura 10 - Consumo de potência em função da tensão de alimentação.	47
Figura 11 - VTC de uma porta lógica representando os pontos de nível lógico alto e baixo referentes a entrada e saída.	48
Figura 12- Esquemático de um oscilador em anel com cinco estágios.	49
Figura 13 - Frequência de oscilação em função do comprimento do canal.	50
Figura 14 - Potência total de um inversor-ST em função da variação do comprimento do canal.	51
Figura 15 - Frequência de oscilação para diferentes <i>corners</i> em função da tensão de alimentação do oscilador.	53

Figura 16 - Ganho de tensão do inversor-ST com a variação das razões I_2/I_0 e I_1/I_0	54
Figura 17 - Esquemático do inversor-ST.	56
Figura 18 - Funções de transferência de tensão do inversor-ST.	57
Figura 19 - Margens de ruído alta e baixa em relação a tensão de alimentação.	58
Figura 20 - Gráfico borboleta do inversor-ST para $V_{DD}=90$ mV.	59
Figura 21 - Simulação transiente do inversor-ST para $V_{DD}=60$ mV....	61
Figura 22 - Simulação transiente do inversor-ST para $V_{DD}=90$ mV....	62
Figura 23 - Esquemático da NAND-ST.	63
Figura 24 - Funções de transferência de tensão da NAND-ST.	66
Figura 25 - Gráfico borboleta da NAND-ST para $V_{DD}=90$ mV.....	68
Figura 26 - Simulação transiente da NAND-ST para $V_{DD}=60$ mV.....	69
Figura 27 - Simulação transiente da NAND-ST para $V_{DD}=90$ mV.....	70
Figura 28 - Esquemático da NOR-ST.	71
Figura 29 - Funções de transferência de tensão da NOR-ST.	73
Figura 30 - Gráfico borboleta da NOR-ST para $V_{DD}=90$ mV.....	75
Figura 31 - Simulação transiente da NOR-ST para $V_{DD}=60$ mV.....	77
Figura 32 - Simulação transiente da NOR-ST para $V_{DD}=90$ mV.....	78
Figura 33 - Esquemático do FF-ST.....	79
Figura 34 - Simulação transiente do FF-ST para $V_{DD}=60$ mV.	80
Figura 35 - Simulação transiente do FF-ST para $V_{DD}=90$ mV.	81
Figura 36 - Relação do tempo de preparação com o tempo de propagação do FF-ST, $V_{DD}= 60$ mV.	82
Figura 37 - Configuração utilizada para as simulações do FF-ST.	83
Figura 38 - Configurações utilizadas para as simulações do inversor-ST, da NAND-ST e da NOR-ST.	84
Figura 39 - Ganho(dB) vs Temperatura do inversor-ST.....	86

Figura 40 - CDF do tco do FF-ST para VDD=60mV.	88
Figura 41 - Esquemático do divisor de frequência.	90
Figura 42 - Simulação transiente do divisor de frequência com VDD=60mV.	91
Figura 43 - Bancada de medidas, LCI.	93
Figura 44 - Comparação entre as VTCs do INV-ST e do inversor tradicional.	94
Figura 45- Comparação entre as VTCs do NAND-ST e da NAND tradicional.	95
Figura 46 - Formas de onda dos divisores de frequência, azul-DIV e amarela-DIV-ST para VDD=94 mV.	97
Figura 47- Formas de onda dos divisores de frequência, azul-DIV e amarela-DIV-ST para VDD=76 mV.	98

LISTA DE TABELAS

Tabela 1 - Razões ótimas de I2/I0 para diferentes tensões de alimentação.	38
Tabela 2 - Parâmetros básicos do transistor lvt.	43
Tabela 3 - Comparação entre o tempo de propagação e a Potência total de um inversor para L=300nm e L=420nm.....	52
Tabela 4 - Frequência de oscilação e tempo de propagação para diferentes VDD, no <i>corner</i> TT.....	53
Tabela 5 - Comparação entre os ganhos para diferentes configurações do ST.....	55
Tabela 6 - Dimensões do inversor-ST.....	56
Tabela 7 – Ganhos, Pontos médios, máximos, mínimos e excursões do sinal de saída do inversor-ST.	58
Tabela 8 - Valores de NML e NMH para diferentes VDD do inversor-ST.	59
Tabela 9 - Tempo de propagação e Potência total para diferentes tensões de alimentação do Inversor-ST.....	60
Tabela 10 - Tabela verdade da NAND-ST.....	64
Tabela 11 - Dimensões da NAND-ST.....	65
Tabela 12 - Ganhos, Pontos médios, máximos, mínimos e excursões do sinal de saída da NAND-ST.....	66
Tabela 13 - Valores de NML e NMH para diferentes VDD da NAND-ST.	67
Tabela 14 - Tempo de propagação e Potência total para diferentes tensões de alimentação da NAND-ST.....	68
Tabela 15 - Tabela verdade da NOR-ST.....	71
Tabela 16 - Dimensões da NOR-ST.....	72
Tabela 17 - Ganhos, Pontos médios, máximos, mínimos e excursões do sinal de saída da NOR-ST.	73

Tabela 18 - Valores de NML e NMH para diferentes VDD da NOR-ST.	74
Tabela 19 - Tempo de propagação e Potência total para diferentes tensões de alimentação da NOR-ST.	76
Tabela 20 - Tempo de propagação (tco) e Potência total para diferentes tensões de alimentação do FF-ST.	83
Tabela 21- Caracterização PVT da família lógica ST.....	87
Tabela 22 – Comparação, entre a lógica ST e a convencional, do yield da frequência de saída do divisor de frequência.	92
Tabela 23- Ganhos medidos das células ST e convencional.....	95

LISTA DE ABREVIATURAS E SIGLAS

CC – Corrente Contínua

CDF – *Cumulative Distribution Function*, função de distribuição acumulada

CI – Circuito Integrado

CMOS – *Complementary Metal Oxide Semiconductor*

DIV-ST – Divisor de frequência utilizando o *Schmitt Trigger*

FS – *Corner Fast Slow*, *Corner* rápido lento

FF-ST – Flip Flop D *Schmitt Trigger*

Inv-ST – Inversor *Schmitt Trigger*

IoT – *Internet of Things*

Lvt – *Low Threshold Voltage Transistor*

MOSFET – *Metal Oxide Semiconductor Field Effect Transistor*

NAND-ST – Porta lógica “não E” utilizando o *Schmitt Trigger*

NOR-ST – Porta lógica “não OU” utilizando o *Schmitt Trigger*

NMOS – MOSFET do tipo N

PMOS – MOSFET do tipo P

PVT – *Process, Voltage and temperature* – Processo, Tensão e temperatura

RTC – Real-Time Clocks -

SNM – *Static Noise Margin* - Margem de ruído estático

ST - *Schmitt Trigger*

SF – *Corner Slow Fast* - *Corner* lento rápido

TT – *Corner Typical Typical* - *Corner* Típico Típico

VTC – *Voltage Transfer Function* – Função de Transferência de Tensão

VLSI – *Very-Large-Scale Integration*

LISTA DE SÍMBOLOS

C'_{ox} – Capacitância por unidade de área

C_L – Capacitância de Carga

ΔW – Variação da largura do canal em função da invasão de óxido de porta das regiões ativas do transistor

ΔL – Variação do comprimento do canal em relação as difusões laterais

f_i – Frequência do sinal de entrada

f_{osc} – Frequência de oscilação

φ_t – Tensão térmica

I_{DD} – Corrente elétrica da fonte de alimentação

K – Kelvin

L – Comprimento do canal do transistor

L_{min} – Comprimento mínimo do canal do transistor

m – Número de estágios do oscilador em anel

NM_L – Margem de ruído baixa

NM_H – Margem de ruído alta

μ – Média das amostras

$\mu_{N(P)}$ – Mobilidade dos portadores

$n_{N(P)}$ – Fator de rampa

σ – Desvio padrão

t_{ox} – Espessura do óxido de porta

t_{hold} – Tempo de manutenção

t_{setup} – Tempo de preparação

t_p – Tempo de propagação

V_I – Tensão de entrada

V_O – Tensão de saída

V_G – Tensão de porta(gate)

V_S – Tensão de fonte(source)

V_B – Tensão de substrato(bulk)

V_{DD} – Tensão de alimentação

V_{DDmin} – Tensão de alimentação mínima

$V_{TON(P)}$ – Tensão de limiar do transistor NMOS ou PMOS

V_{SWING} – Excursão da tensão de saída

W – Largura do canal do transistor

W_{min} – Largura mínima do canal do transistor

SUMÁRIO

1	INTRODUÇÃO	29
1.1	OBJETIVO GERAL	30
1.2	OBJETIVOS ESPECÍFICOS.....	30
1.3	JUSTIFICATIVA.....	30
1.4	ORGANIZAÇÃO DO TRABALHO	32
2	O <i>SCHMITT TRIGGER</i>.....	33
2.1	CIRCUITOS COM REALIMENTAÇÃO POSITIVA	33
2.2	<i>SCHMITT TRIGGER</i> OPERANDO EM INVERSÃO FRACA	34
2.3	GANHO EM PEQUENOS SINAIS E RAZÕES ÓTIMAS DOS TRANSISTORES.....	37
2.4	COMPARAÇÕES ENTRE O INVERSOR CMOS TRADICIONAL E O ST.....	38
2.4.1	Ganho em relação à tensão de alimentação	38
2.4.2	Comportamento do ST e do inversor tradicional em relação ao processo de fabricação	39
2.4.3	Comparação da margem de ruído estático do ST e o inversor convencional	41
3	FAMÍLIA LÓGICA ST.....	43
3.1	O TRANSISTOR LVT	43
3.1.1	Relação da tensão de limiar e o comprimento do canal no transistor lvt.....	44
3.2	FIGURAS DE MÉRITO	45
3.2.1	Tempo de Propagação.....	45
3.2.2	Potência elétrica	46

3.2.3	Margem de Ruído Estático.....	48
3.3	DETERMINANDO O COMPRIMENTO DO CANAL.....	49
3.4	DETERMINANDO AS RAZÕES DOS TRANSISTORES DO INVERSOR-ST.....	54
3.5	INVERSOR-ST	55
3.5.1	Características DC do inversor-ST	57
3.5.2	Características transientes do inversor-ST.....	60
3.6	NAND-ST.....	63
3.6.1	Características DC da NAND-ST	65
3.6.2	Características transientes da NAND-ST	68
3.7	NOR-ST.....	70
3.7.1	Características DC da NOR-ST.....	72
3.7.2	Características transientes da NOR-ST	75
3.8	FLIP-FLOP-ST	78
4	CARACTERIZAÇÃO PVT & APLICAÇÃO DA FAMÍLIA LÓGICA ST.....	85
4.1	CARACTERIZAÇÃO PVT.....	85
4.2	DIVISOR DE FREQUÊNCIA.....	89
5	RESULTADOS EXPERIMENTAIS.....	93
5.1	FUNÇÃO DE TRANSFERÊNCIA DE TENSÃO DO INVERSOR-ST E DA NAND-ST.....	94
5.2	MEDIÇÃO DO DIVISOR DE FREQUÊNCIA	96
6	CONCLUSÃO.....	99
	REFERÊNCIAS.....	101
	APÊNDICE A – Layouts do inversor-ST e do inversor convencional.....	103

APÊNDICE B – Layouts da NAND-ST e da NAND convencional	104
APÊNDICE C – Layouts do DIV-ST e do DIV convencional	105
APÊNDICE D – Dimensões dos layouts.....	106

1 INTRODUÇÃO

Nos dias atuais, quando se faz referências a tecnologias *Very-Large-Scale Integration* (VLSI), percebe-se que o design de sistemas de ultrabaixa tensão tem um papel significativo. Tais sistemas visam a aplicações que utilizem pequenas baterias ou colheita de energia (*energy harvesting*) como, por exemplo, energia fotovoltaica e termoelétrica, que são circuitos/sistemas portáteis; para isso, é necessário que o consumo de energia desse circuito seja mínimo.

Uma grande gama de aplicações desses circuitos encontra-se na chamada internet das coisas (IoT) [1] que, como o próprio nome induz, é a conexão de “coisas” na rede da internet, ou seja, muitos dispositivos conectados à internet trocando informações entre si. Já existem aplicações desses sistemas IoT em diversas áreas, tais como, na agricultura, saúde, infraestruturas, gestão de energia, logística industrial, transporte público, indústria automotiva, entre outras.

Em sua arquitetura básica, o sistema IoT pode ser dividido em três partes: nó, acumulador e nuvem. Os circuitos de ultrabaixa tensão podem ser empregados em todas essas três partes; porém, o foco deste trabalho é o nó IoT, pois é nele que temos o desafio entre a aplicabilidade da colheita de energia em um sistema com pouco consumo de potência, buscando uma grande autonomia energética.

Como sabemos, a redução da tensão de alimentação de um circuito tem um impacto no consumo de potência do mesmo [2], pois a potência estática é diretamente proporcional à tensão de alimentação e a potência dinâmica é proporcional ao quadrado da tensão de alimentação, ou seja, uma redução na tensão de alimentação é necessária para esses circuitos alcançarem os requisitos de autonomia em aplicações de baixo consumo.

1.1 OBJETIVO GERAL

O objetivo deste trabalho é o desenvolvimento de uma família lógica que utilize o *Schmitt trigger* como célula básica (inversor), operando em ultrabaixa tensão de alimentação e visando à aplicação desses circuitos digitais em sistemas alimentados por de colheita de energia.

1.2 OBJETIVOS ESPECÍFICOS

Para alcançar o objetivo geral, este trabalho traçou os seguintes objetivos específicos:

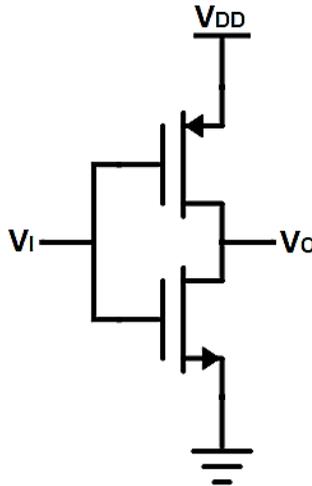
- a) estudo do inversor *Schmitt Trigger*, baseado na referência [7];
- b) definição das dimensões dos transistores do inversor-ST, a partir da implementação de um oscilador em anel, visando às figuras de mérito: tempo de propagação e potência;
- c) dimensionamento das portas lógicas NAND-ST e NOR-ST, a partir das dimensões dos transistores do INV-ST;
- d) implementação de um Flip-Flop-ST utilizando as portas lógicas projetadas;
- e) simulação DC e transiente da família lógica, assim como caracterização PVT.

1.3 JUSTIFICATIVA

Com a redução da tensão de alimentação, o transistor de efeito de campo (MOSFET) passa a operar em inversão fraca (região sublimiar) [3], caracterizada pela relação exponencial entre a corrente de dreno e as tensões de porta, dreno e fonte. A sensibilidade da corrente na região

sublimiar de operação e variação da tensão de limiar [2], devido aos processos de fabricação, pode ocasionar uma degradação no desempenho das portas lógicas convencionais, que utilizam o inversor convencional CMOS, figura 1.

Figura 1- Inversor convencional CMOS



Fonte: O Autor.

Este circuito tem um limite teórico de 36 mV de tensão de alimentação a uma temperatura de 300 K para operar como inversor (ganho igual menos 1), como demonstrado em [4]; em contrapartida, em [5], que utilizou o *Schmitt Trigger* como nova topologia de circuito para o design de um inversor, verificou-se que o limite teórico para este circuito é menor que o do inversor CMOS convencional, sendo 31,5 mV para a mesma temperatura, motivando, assim, a realização deste trabalho. Portanto, a implementação de uma família lógica operando com uma tensão de alimentação menor e apresentando robustez à variação de processo é interessante para aplicações de intensa autonomia de energia.

1.4 ORGANIZAÇÃO DO TRABALHO

Este trabalho apresenta o desenvolvimento de uma família lógica CMOS utilizando o Schmitt Trigger como célula básica (inversor), sendo composta por quatro elementos: um inversor-ST, uma porta lógica NAND-ST, uma porta lógica NOR-ST e um Flip-Flop tipo D-ST.

Para a elaboração dessa família lógica, iniciamos com um breve estudo do inversor-ST, capítulo 2; na sequência, percorremos toda a metodologia empregada para dimensionamento do inversor-ST, assim como as outras portas lógicas. Ainda nesse capítulo, apresentamos as dimensões utilizadas em cada célula lógica, suas características DC, transientes, tempo de propagação, potência total e tempo de preparação (*setup*) no caso do FF-ST. No capítulo 4, são mostradas as simulações de Monte Carlo das portas lógicas, observando-as com variação de processo, tensão elétrica e temperatura (PVT), assim como um divisor de frequência, validando a família lógica com uma aplicação do FF-ST – é importante observar que as medidas das portas lógicas e do divisor de frequência realizadas neste trabalho, são apenas de uma amostra recebida até o momento devido ao atraso de envio do chip encaminhado para fabricação. Finalmente, no capítulo 6, realizamos a discussão dos resultados obtidos com o trabalho realizado e descritas sugestões para trabalhos futuros.

2 O SCHMITT TRIGGER

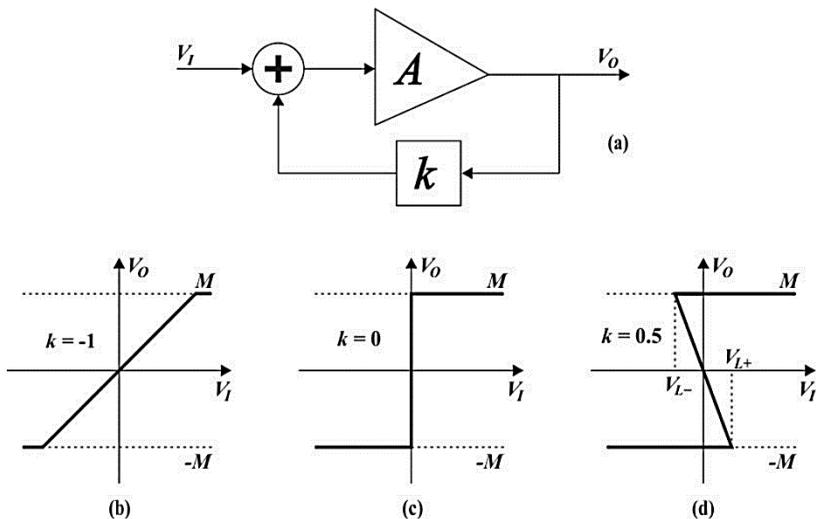
Neste Capítulo, abordaremos as informações teóricas necessárias para a compreensão do *Schmitt Trigger*, o qual é a célula básica da família lógica.

2.1 CIRCUITOS COM REALIMENTAÇÃO POSITIVA

A utilização da realimentação positiva em circuitos para aplicações em ultrabaixa tensão é bastante interessante [6], pois pequenas variações na tensão de entrada são amplificadas na saída, as quais são conectadas à entrada novamente por meio do laço de realimentação.

A configuração de um sistema com realimentação é mostrada na figura 2. O amplificador recebe a entrada, V_I , amplificando-a com ganho A , resultando na saída V_O ; a saída, por sua vez, é amplificada por um fator de realimentação k e somada à entrada.

Figura 2 - (a) Sistema com realimentação; função de transferência de tensão com (b) $k = -1$; (c) $k = 0$; (d) $k = 0.5$.



Fonte: Retirada de [6].

A realimentação positiva ocorre para $k > 0$, saturando a saída do sistema na tensão M ou $-M$.

A técnica da realimentação positiva está presente no *Schmitt Trigger*, resultando em um aumento no ganho deste circuito.

A equação (1) descreve o ganho de malha fechada desse sistema.

$$G = \frac{V_O}{V_I} = \frac{A}{(1 - kA)} \quad (1)$$

2.2 SCHMITT TRIGGER OPERANDO EM INVERSÃO FRACA

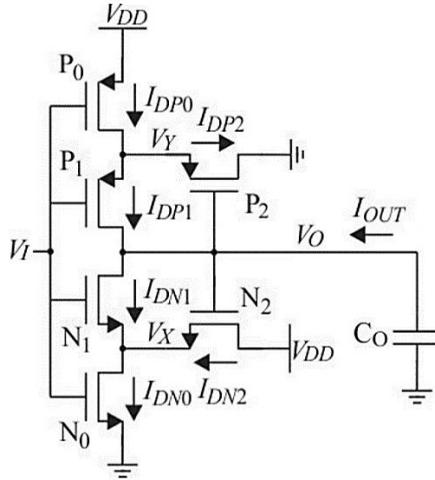
Na inversão fraca, o transistor MOSFET tem uma relação exponencial entre sua corrente de dreno e as tensões de porta (V_G), fonte (V_S) e substrato (V_B) [17], como mostra a equação (2), sendo: $I_{N(P)}$ a força de cada transistor, a qual depende dos fatores geométricos do transistor $\frac{W}{L}$ e de parâmetros referentes à tecnologia utilizada, que são: C'_{OX} (capacitância por unidade de área), $\mu_{N(P)}$ (mobilidade dos portadores), φ_t (tensão térmica, aproximadamente 26 mV para uma temperatura ambiente de 300K), $n_{N(P)}$ (fator de rampa) e $V_{TON(P)}$ (tensão de limiar), como mostra a equação (3).

$$I_{DN(P)} = I_{N(P)} e^{\frac{V_{GB(BG)}}{n_{N(P)}\varphi_t}} \left(e^{-\frac{V_{SB(BS)}}{\varphi_t}} - e^{-\frac{V_{DB(BD)}}{\varphi_t}} \right) \quad (2)$$

$$I_{N(P)} = \mu_{N(P)} n_{N(P)} C'_{OX} \varphi_t^2 \frac{W}{L} e^{-\frac{|V_{TON(P)}|}{n_{N(P)}\varphi_t} + 1} \quad (3)$$

O circuito intitulado de *Schmitt Trigger*, figura 3, o qual utilizamos para implementar a família lógica, é analisado com detalhes em [7]; porém, enunciaremos brevemente alguns pontos de destaque neste capítulo.

Figura 3 - Inversor Schmitt Trigger



Fonte: Retirada de [7].

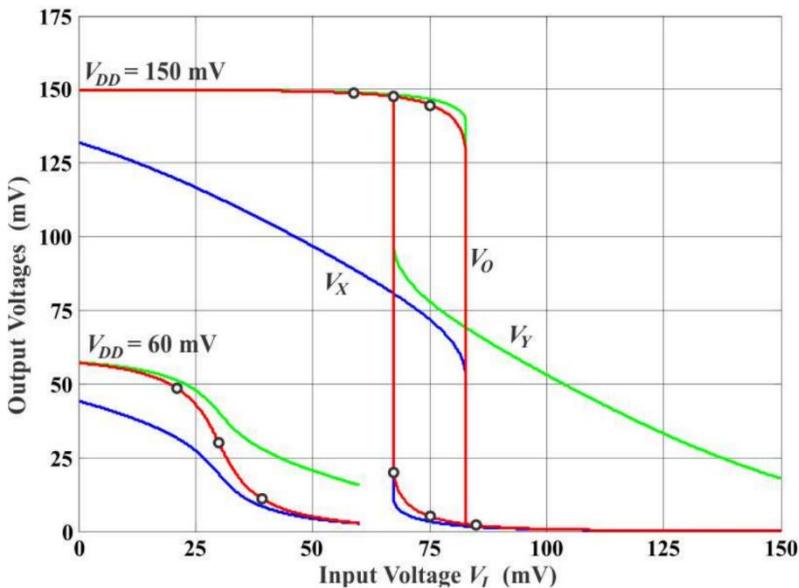
Utilizando as leis de Kirchhoff no ST foram desenvolvidas em [7], equações para os nós V_X e V_Y , em função das forças dos transistores, da tensão de entrada e saída e da tensão de alimentação do circuito - equações (4) e (5). Por simplicidade das equações supomos um ST simétrico, ou seja, $I_{N0} = I_{P0} = I_0$, $I_{N1} = I_{P1} = I_1$ e $I_{N2} = I_{P2} = I_2$, com o fator de rampa das redes p e n unitário e sem corrente de saída, $I_{OUT} = 0$, assim podendo igualar a corrente de dreno dos transistores N1 e P1.

$$e^{\frac{V_X}{\varphi_t}} = \frac{I_0 + I_1 + I_2 e^{\frac{V_O - V_I}{\varphi_t}}}{I_0 + I_1 e^{-\frac{V_O}{\varphi_t}} + I_2 e^{\frac{V_O - V_I}{\varphi_t}} e^{-\frac{V_{DD}}{\varphi_t}}} \quad (4)$$

$$e^{\frac{V_Y}{\varphi_t}} = \frac{I_0 e^{\frac{V_{DD}}{\varphi_t}} + I_1 e^{\frac{V_O}{\varphi_t}} + I_2 e^{\frac{V_I - V_O}{\varphi_t}}}{I_0 + I_1 + I_2 e^{\frac{V_I - V_O}{\varphi_t}}} \quad (5)$$

Com as equações (4) e (5) para $V_{DD} = 60mV$ e $V_{DD} = 150mV$, com $I_0 = I_1 = I_2 = 1nA$, foi construída a função de transferência de tensão(VTC) do ST, mostrado na figura 4.

Figura 4 - VTC do ST para VDD=60 mV e VDD=150 mV.



Fonte: Retirada de [7].

Pudemos observar que a variação da tensão de alimentação influencia na presença da histerese no VTC, sendo que para 60mV não ocorre a histerese, porém para 150mV de tensão de alimentação ocorre.

Em [7], são feitas outras análises do ST, tais como, a variação da amplitude da tensão de saída em relação às forças dos transistores, o efeito da força dos transistores da realimentação do ST, uma discussão sobre a

origem da histerese do ST, observando os pontos de metaestabilidade do circuito, a análise de pequenos sinais do ST, cujas equações referenciaremos no próximo subcapítulo deste trabalho, assim como desenvolvimento de uma equação em função do V_{DDmin} para o surgimento da histerese e o cálculo da largura do laço de histerese.

2.3 GANHO EM PEQUENOS SINAIS E RAZÕES ÓTIMAS DOS TRANSISTORES

Neste trabalho, utilizamos o ST como um inversor lógico (amplificador), ou seja, operamos com tensões de alimentação ultrabaixas, com as quais o fenômeno da histerese não ocorre.

Assim, a partir de [7], podemos observar a equação (6), a qual representa o ganho de pequenos sinais do ST, para $n = 1$.

$$\left. \frac{v_o}{v_i} \right|_{v_o=v_i=\frac{V_{DD}}{2}} = \frac{\left(2 + \frac{I_0}{I_2} + \frac{I_1}{I_2} - \frac{I_2}{I_0} e^{-\frac{V_{DD}}{\varphi_t}} \right) \left(1 - e^{-\frac{V_{DD}}{2\varphi_t}} \right)}{1 - \left(2 + \frac{I_0}{I_2} + \frac{I_1}{I_2} + \frac{I_2}{I_0} \right) e^{-\frac{V_{DD}}{2\varphi_t}} - \left(1 + \frac{I_1}{I_0} \right) e^{-\frac{V_{DD}}{\varphi_t}}}$$
(6)

Da equação (6) são encontradas duas razões ótimas para I_1/I_0 e I_2/I_0 , sendo as equações (7) e (8).

$$\left. \frac{I_1}{I_0} \right|_{\text{ÓTIMO}} \rightarrow 0$$
(7)

$$\left. \frac{I_2}{I_0} \right|_{\text{ÓTIMO}} = \frac{\sqrt{1 + e^{\frac{V_{DD}}{2\varphi_t}} - e^{-\frac{V_{DD}}{2\varphi_t}} - 1}}{1 + e^{-\frac{V_{DD}}{2\varphi_t}}}$$
(8)

Para a relação $I_1/I_0 \rightarrow 0$ e fator de rampa (n) unitário foi construída a tabela (1) variando o V_{DD} , verificando a razão ótima I_2/I_0 e o respectivo ganho.

Tabela 1 - Razões ótimas de I_2/I_0 para diferentes tensões de alimentação.

V_{DD} (mV)	Optimum I_2/I_0	Optimum gain (V/V)
75	0.998	$-\infty$
70	0.905	- 19.076
60	0.732	- 5.581
50	0.577	- 2.764
40	0.438	- 1.574
31.5	0.333	- 1.000
30	0.315	- 0.919

Fonte: Retirada de [7].

2.4 COMPARAÇÕES ENTRE O INVERSOR CMOS TRADICIONAL E O ST

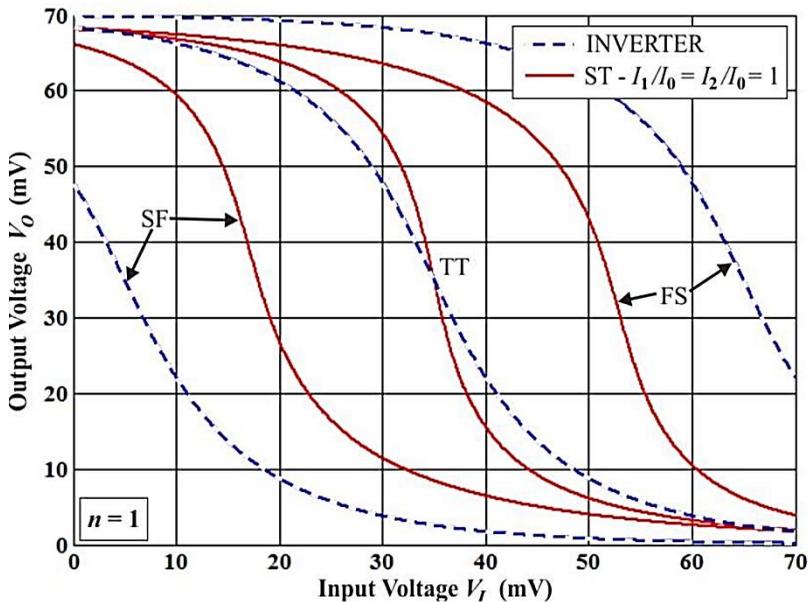
Em [7] são realizadas comparações entre o inversor CMOS tradicional e o ST que são relevantes para este trabalho. As figuras de mérito das comparações são: ganho em relação ao V_{DD} , comportamento do inversor e do ST com a variação do processo de fabricação e a margem de ruído estático.

2.4.1 Ganho em relação à tensão de alimentação

Com os dados da tabela 1 foram feitos inversores ST ótimos para cada V_{DD} , comparando-os com um ST otimizado para $V_{DD} = 50$ mV e um inversor convencional, figura 5.

corner lento, o transistor NMOS, e rápido, o transistor PMOS. Essa relação de velocidade refere-se à tensão de limiar, ou seja, em um transistor lento, a tensão de limiar possui um valor maior em relação ao transistor típico; já em um transistor rápido, ocorre o inverso, ou seja, a tensão de limiar é menor em relação ao transistor típico.

Figura 6 - Comparação das VTCs do ST e do inversor tradicional para diferentes *corners* de processo de fabricação.



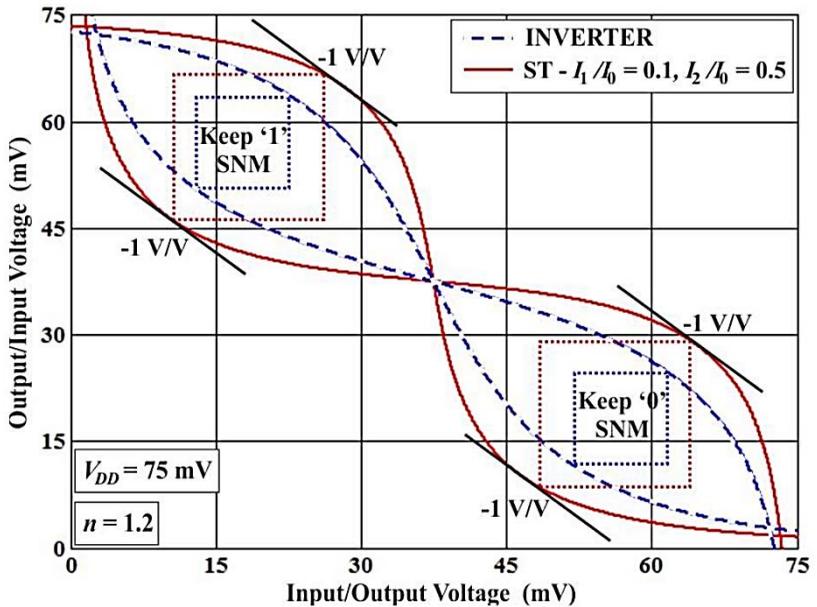
Fonte: Retirada de [7].

A menor suscetibilidade do ST em relação ao processo de fabricação deve-se à configuração de suas redes abaixadora e levantadora. A rede levantadora do ST é composta pelos transistores P0, P1 e N2; no *corner* SF, por exemplo, o transistor N2 é lento, mas o mesmo é compensado pela configuração da rede, pois P0 e P1 são rápidos. Já a rede abaixadora é o dual da levantadora.

2.4.3 Comparação da margem de ruído estático do ST e o inversor convencional

A margem de ruído estático (SNM) é a figura de mérito a qual podemos determinar se uma porta lógica mantém os níveis lógicos 1 ou 0. O gráfico borboleta é o utilizado para verificar a SNM, figura 7, construído com a VTC e o inverso da VTC sobrepostas, assim, calculando a distância horizontal de onde o ganho é igual a $-1V/V$; nas duas curvas, determinamos o valor numérico da SNM.

Figura 7 - Gráficos borboletas do ST e do inversor convencional indicando as regiões nas quais os níveis lógicos 1 e 0 são válidos.



Fonte: Retirada de [7].

Na figura 7, verificamos a comparação do gráfico borboleta do ST e do inversor tradicional, de [7]. Por meio dela, verificamos que a SNM

do inversor tradicional é 37% menor em valor, comparando com a SNM do ST para a mesmo $V_{DD} = 75 \text{ mV}$, ou seja, o *Schmitt Trigger* tem uma maior imunidade ao ruído, que pode estar acoplado ao sinal de entrada, do que o inversor tradicional.

3 FAMÍLIA LÓGICA ST

A família lógica desenvolvida neste trabalho é composta de um inversor, uma porta lógica NAND, uma porta lógica NOR e um Flip-Flop do tipo D. O *Schmitt Trigger* é utilizado como célula básica, resultando na denominação família lógica ST.

Utilizamos, como tensão de alimentação nominal da família lógica, $V_{DD} = 90mV$, com dois níveis limitantes, sendo o nível inferior com $V_{DD} = 60mV$ e o superior, com $V_{DD} = 120mV$.

3.1 O TRANSISTOR LVT

No desenvolvimento desta família lógica, utilizamos a ferramenta virtuoso da Cadence™, com a tecnologia de 130nm e o transistor LVT. Na tabela 2, podemos encontrar alguns parâmetros básicos desse transistor, baseado em [8].

Tabela 2 - Parâmetros básicos do transistor lvt.

Transistor	LVT
Alim. [V]	1,2 (<i>núcleo</i>) - 1,5 (entrada/saída)
W_{min} [nm]	160
ΔW [nm]	10 (NFET) - 40 (PFET)
L_{min} [nm]	120
ΔL [nm]	28
t_{ox} [nm]	$2,2 \pm 0,15$
C'_{ox} [fF/ μm^2]	15,97

Fonte: Retirada de [8].

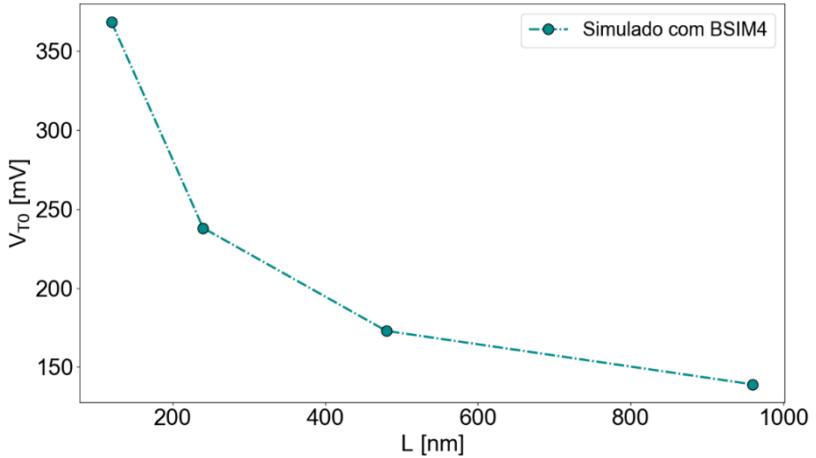
Conforme a tabela 2, largura e comprimento mínimos do canal do transistor são representados por W_{min} e L_{min} , respectivamente, com tensão de alimentação representada por $Alim$. Já ΔW indica a variação da largura do canal em função da invasão de óxido de porta das regiões ativas do transistor e ΔL a variação do comprimento do canal em relação as difusões laterais decorrentes do processo de fabricação.

Também dispomos dos parâmetros espessura do óxido de porta e capacitância por unidade de área representados por t_{ox} e C'_{ox} respectivamente.

3.1.1 Relação da tensão de limiar e o comprimento do canal no transistor lvt

Para observar o comportamento da tensão de limiar em relação ao comprimento do canal, em [8] foi utilizado o método gm/I_D com o transistor LVT NMOS operando como um resistor, ou seja, região linear. Utilizando $W = 480 \text{ nm}$, a simulação basicamente constitui-se da variação do L , verificando a tensão de limiar. A figura 8 apresenta o resultado dessa simulação.

Figura 8 - Gráfico do comportamento da tensão de limiar em relação ao aumento do comprimento do canal



Fonte: Retirada de [8].

A partir da figura 8, pudemos observar que a tensão de limiar decresce com o aumento do comprimento do canal; pelo gráfico, se aumentarmos o L do transistor em 8 vezes, verificamos uma diminuição de aproximadamente 200 mV no V_{T0} .

3.2 FIGURAS DE MÉRITO

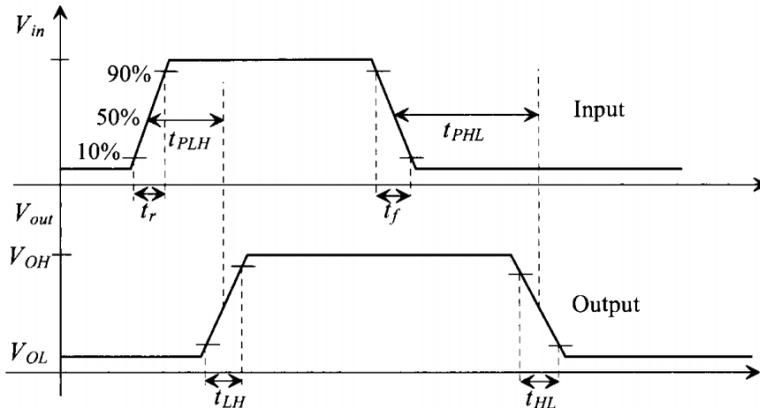
Neste subcapítulo, reúnem-se as figuras de mérito necessárias para a análise das células lógicas.

3.2.1 Tempo de Propagação

Tempo de propagação (t_p) é definido pelo intervalo de tempo no qual um sinal válido na entrada resulta em um sinal válido na saída em uma porta lógica, ou seja, o tempo de resposta da porta lógica [9]. É

medido pela diferença de tempo entre os pontos médios (50%) dos sinais de entrada e saída, como mostra a figura 9.

Figura 9 - Gráfico da definição do tempo de propagação.



Fonte: Retirada de [9].

Podemos, ainda, dividir o t_p em duas parcelas: tempo de propagação entre os níveis lógicos alto e baixo (t_{pHL}) e tempo de propagação entre os níveis lógicos baixo e alto (t_{pLH}), conforme indica a equação (9).

$$t_p = \frac{t_{pLH} + t_{pHL}}{2} \quad (9)$$

3.2.2 Potência elétrica

Outra figura de mérito utilizada neste trabalho foi a potência elétrica total de uma célula lógica, ou seja, o consumo da célula lógica, a qual pode ser dividida entre potência dinâmica e potência estática [9], conforme indica a equação (10), sendo os termos da potência dinâmica,

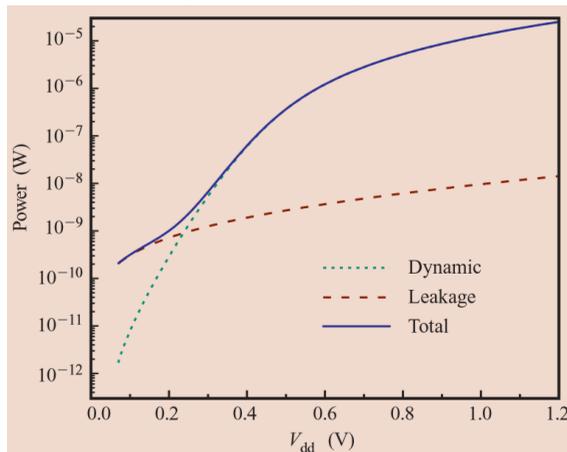
tensão de alimentação ao quadrado, capacitância de carga (C_L) e a frequência do sinal de entrada (f_i).

$$P_{total} = P_{estática} + P_{Dinâmica} = I_{DD}V_{DD} + C_L V_{DD}^2 f_i \quad (10)$$

Os termos da potência estática são a tensão de alimentação da fonte e a corrente da fonte de alimentação (I_{DD}) quando não ocorrem chaveamentos. Portanto, com a diminuição da tensão de alimentação, ocorre também uma diminuição na dissipação de potência total da porta lógica.

Na figura 10, podemos observar a relação da potência total de inversores em cascata [10], assim como as componentes de potência estática e dinâmica. Com a diminuição da tensão de alimentação, a componente de potência estática é bem mais relevante ao total em relação a potência dinâmica, esta última apresentando quase 3 décadas de diferença para $V_{DD} \approx 100 \text{ mV}$.

Figura 10 - Consumo de potência em função da tensão de alimentação.



Fonte: Retirada de [10].

3.2.3 Margem de Ruído Estático

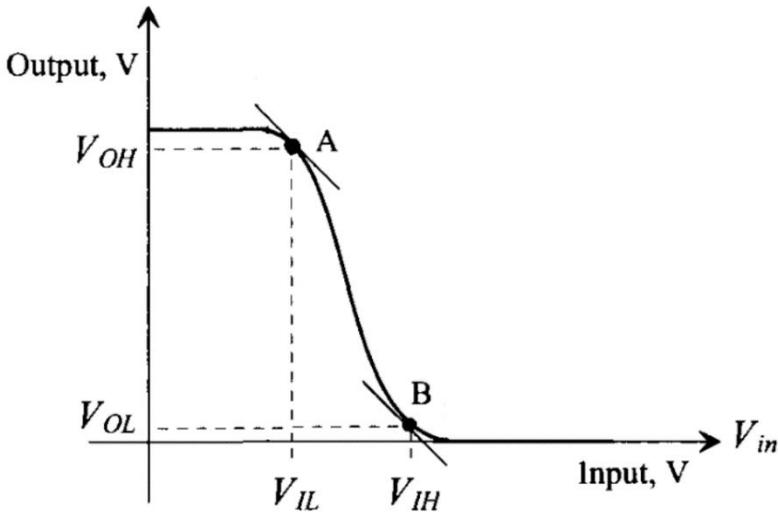
A figura de mérito que relaciona o comportamento das portas lógicas quando submetidas a entradas com ruído é a margem de ruído estático, a qual podemos dividir entre margem de ruído alta (NM_H) referente ao nível lógico “1” estar estável e margem de ruído baixa referente ao nível lógico “0” (NM_L) ser válido.

Podemos dizer que ambas as margens são calculadas com as equações (11) e (12) utilizando a função de transferência de tensão da porta lógica, por exemplo, como mostra a figura 11.

$$NM_H = V_{OH} - V_{IH} \quad (11)$$

$$NM_L = V_{IL} - V_{OL} \quad (12)$$

Figura 11 - VTC de uma porta lógica representando os pontos de nível lógico alto e baixo referentes a entrada e saída.



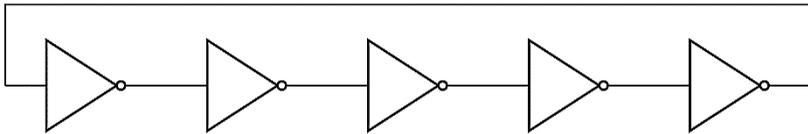
Fonte: Retirada de [9].

3.3 DETERMINANDO O COMPRIMENTO DO CANAL

Uma das figuras de mérito que utilizamos neste trabalho foi o tempo de propagação de uma célula lógica. Para isso, precisamos determinar o comprimento do canal (L) dos transistores do inversor-ST. Implementamos, ainda, um oscilador em anel, frequentemente utilizado para teste da velocidade de uma determinada tecnologia.

Um número ímpar de inversores iguais cascadeados realimentados em malha fechada forma um oscilador em anel [9], como mostra a figura 12. A sua frequência de oscilação é dada pela equação (13), sendo m o número de estágios, t_p o tempo de propagação de um inversor do oscilador.

Figura 12- Esquemático de um oscilador em anel, utilizando o ST, com cinco estágios.



Fonte: Elaborado pelo Autor.

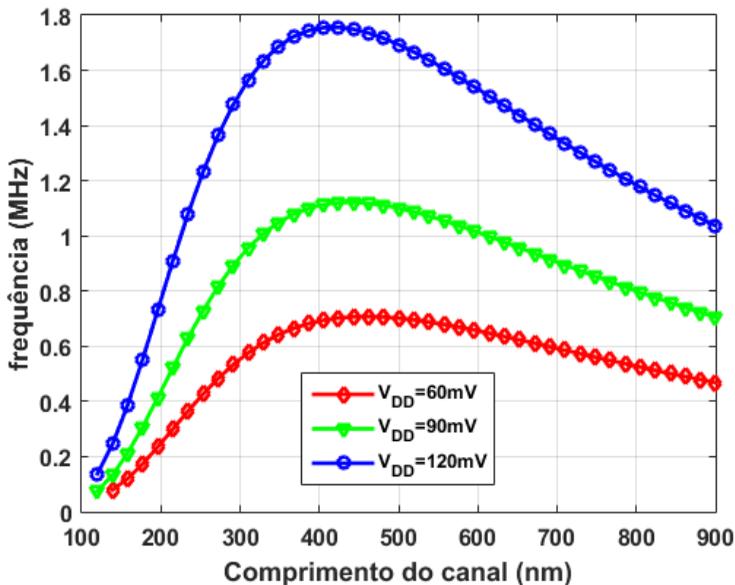
$$f_{osc} = \frac{1}{2mt_p} \quad (13)$$

Com essa relação, observamos que o tempo de propagação do inversor é inversamente proporcional à frequência de oscilação. Para realizar as simulações, implementamos um oscilador em anel com 11 estágios, pois estamos operando com tensões de alimentação baixas, facilitando, assim, a oscilação.

Em seguida, realizamos uma simulação paramétrica com três valores de V_{DD} , variando o comprimento do canal dos transistores de cada

inversor e verificando a frequência de oscilação do oscilador, como mostra a figura 13.

Figura 13 - Frequência de oscilação em função do comprimento do canal.



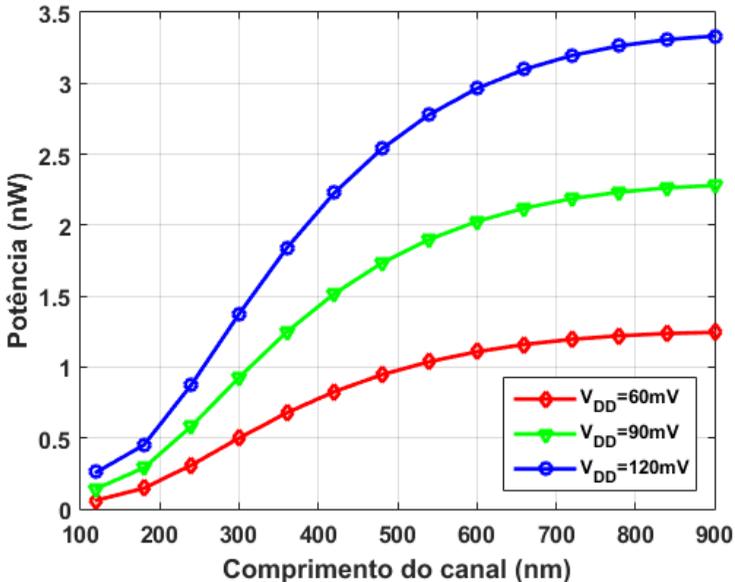
Fonte: Elaborada pelo Autor (2018).

Pelo gráfico da figura 13, verificamos que para $L \approx 420\text{nm}$ encontram-se os inversores com os menores tempos de propagação para as três tensões de alimentação. Observamos, também, que quanto maior a tensão de operação, maior a frequência de oscilação; conseqüentemente, menor o tempo de propagação do inversor-ST.

Para verificarmos a potência total de um inversor-ST, utilizamos a configuração $\frac{I_1}{I_0} = 0.5$ e $\frac{I_2}{I_0} = 0.5$, com três tensões de alimentação fixas de 60 mV, 90 mV e 120 mV. Em seguida, variamos o comprimento do

canal para determinar a relação com a potência total consumida, como mostra a figura 14.

Figura 14 - Potência total de um inversor-ST em função da variação do comprimento do canal.



Fonte: Elaborada pelo Autor (2018).

Com essas duas métricas, determinamos o comprimento do canal para a família lógica, observando os pontos de $L = 300 \text{ nm}$ e $L = 420 \text{ nm}$ para $V_{DD} = 60mV$. Na primeira figura de mérito, tempo de propagação, ocorre uma redução de aproximadamente 22% no mesmo; porém, na potência total entre esses dois pontos, observamos um aumento de aproximadamente 60%. Os valores para as duas figuras de mérito estão presentes na tabela 3.

Tabela 3 - Comparação entre o tempo de propagação e a Potência total de um inversor para $L=300nm$ e $L=420nm$, para $VDD=60 mV$.

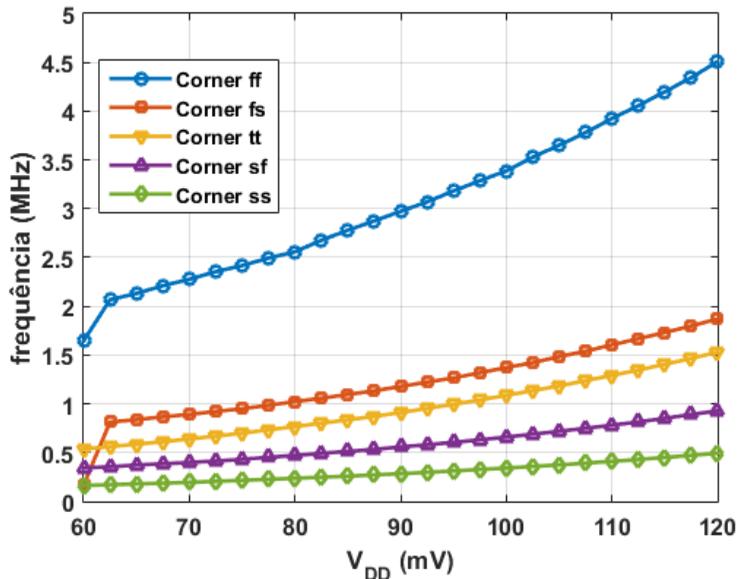
L	t_p	P_{total}
$300nm$	$82.67ns$	$499.6pW$
$420nm$	$64.75ns$	$826.4pW$

Fonte: Elaborada pelo Autor (2018).

Portanto, definimos $L = 300 nm$ como o comprimento de canal da família lógica, pois o consumo de potência neste ponto é menor que para $L = 420 nm$ apresentando relativamente pouca degradação no t_p .

Para validar o oscilador em anel nos *corners* da tecnologia e, conseqüentemente, o tempo de propagação escolhido ($L = 300 nm$), simulamos o oscilador para diferentes *corners* de processo (FF, SF, FS, SS e TT), variando a tensão de alimentação, como mostra a figura 15.

Figura 15 - Frequência de oscilação para diferentes corners em função da tensão de alimentação do oscilador-ST.



Fonte: Elaborada pelo Autor (2018).

A tabela 4 apresenta as frequências de oscilação, e os tempos de propagação para o caso do *corner* TT.

Tabela 4 - Frequência de oscilação e tempo de propagação para diferentes VDD, no *corner* TT.

V_{DD}	f_{osc}	t_p
60mV	549.8 kHz	82.67ns
90mV	927.2 kHz	49.02ns
120mV	1.539 MHz	29.54ns

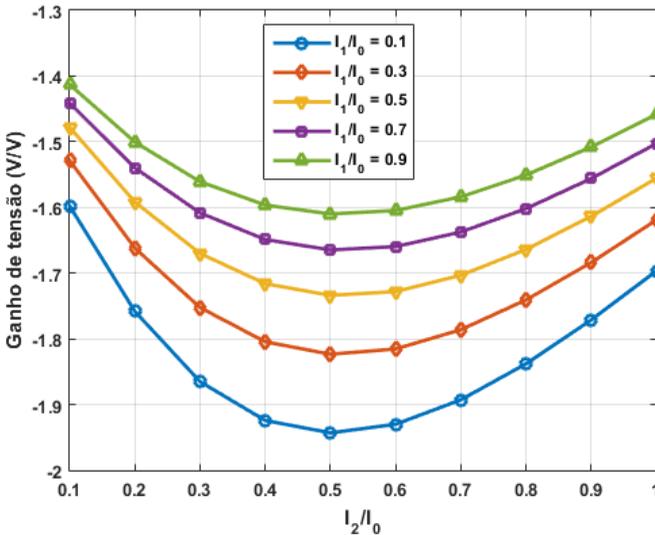
Fonte: Elaborada pelo Autor.

Com o transistor NMOS em um corner do tipo rápido, observamos que o oscilador tem frequências de oscilação maiores que a típica, sendo o corner FF aquele com a maior f_{osc} entre elas. Para todos os corners simulados, observamos oscilação; porém, para $V_{DD} = 60mV$, nos *corners* FF e FS, houve uma degradação na frequência de oscilação, mudando a inclinação das curvas dos *corners* FF e FS da figura 15.

3.4 DETERMINANDO AS RAZÕES DOS TRANSISTORES DO INVERSOR-ST

Como vimos no capítulo 2, o ganho do ST tem relação direta com o V_{DD} e com as razões I_2/I_0 e I_1/I_0 . Para determinar as razões que utilizamos na família lógica, realizamos uma simulação paramétrica com $V_{DD} = 60 mV$ e $L = 300 nm$. Posteriormente, variamos as duas razões dos transistores I_2/I_0 e I_1/I_0 observando o ganho máximo, como mostra a figura 16.

Figura 16 - Ganho de tensão do inversor-ST com a variação das razões I_2/I_0 e I_1/I_0



Fonte: Elaborada pelo Autor (2018).

Podemos observar os dois pontos presentes na tabela 5, que relacionam o ganho com as razões da figura 16. A partir daí, temos que para a configuração $\frac{I_2}{I_0} = 0.5$ e $\frac{I_1}{I_0} = 0.5$ obtivemos um ganho igual a $-1.734 V/V$ e, com a configuração $\frac{I_2}{I_0} = 0.5$ e $\frac{I_1}{I_0} = 0.1$, um ganho de $-1.943 V/V$. O maior ganho para o ST nesta tensão de alimentação é na segunda configuração mencionada; porém, o tamanho do transistor I_0 é dez vezes maior que o I_1 o que causa uma degradação no tempo de propagação, potência e conseqüentemente uma área maior da célula.

Com essa análise, a configuração que foi escolhida para a implementação da família lógica ST foi a $\frac{I_2}{I_0} = 0.5$ e $\frac{I_1}{I_0} = 0.5$, a qual apresenta um ganho de aproximadamente 10% menor em relação à configuração de maior ganho, ou seja, conseguimos uma célula relativamente pequena com pouca degradação do ganho.

Tabela 5 - Comparação entre os ganhos para diferentes configurações do ST.

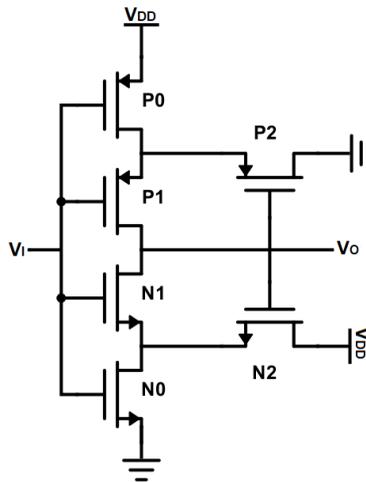
I_2/I_0	I_1/I_0	$Ganho(V/V)$
0.5	0.5	-1.734
0.5	0.1	-1.943

Fonte: Elaborada pelo Autor (2018).

3.5 INVERSOR-ST

Com as dimensões geométricas e as razões das correntes determinadas, pudemos implementar a célula básica da família lógica, o inversor-ST, mostrando seu esquemático na figura 17.

Figura 17 - Esquemático do inversor-ST.



Fonte: Elaborada pelo Autor (2018).

Para compensar a mobilidade da rede P em relação à rede N, temos um fator de 5 vezes; portanto, a largura do transistor P1 é 5 vezes maior que a largura do transistor N1. As dimensões do inversor-ST encontram-se na tabela 6.

Tabela 6 - Dimensões do inversor-ST

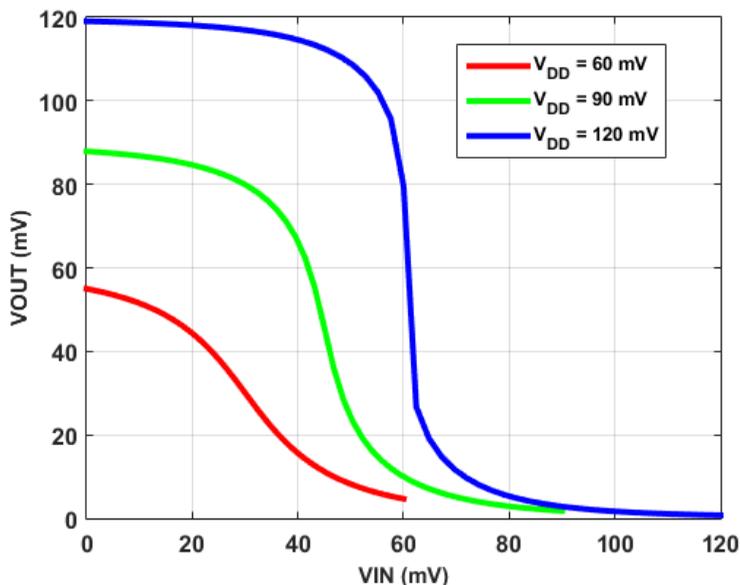
Rede p	Rede n
$W_{P0} = 3.0\mu m$	$W_{N0} = 600nm$
$L_{P0} = 300nm$	$L_{N0} = 300nm$
$W_{P1} = 1.5\mu m$	$W_{N1} = 300nm$
$L_{P1} = 300nm$	$L_{N1} = 300nm$
$W_{P2} = 1.5\mu m$	$W_{N2} = 300nm$
$L_{P2} = 300nm$	$L_{N2} = 300nm$

Fonte: Elaborada pelo Autor (2018).

3.5.1 Características DC do inversor-ST

Como método de autenticação da compensação entre as redes, realizamos uma simulação DC variando a tensão de entrada e verificando a saída do inversor-ST, construindo assim a função de transferência de tensão, para três tensões de alimentação diferentes, como mostra a figura 18.

Figura 18 - Funções de transferência de tensão do inversor-ST.



Fonte: Elaborada pelo Autor (2018).

Podemos observar, na tabela 7, os ganhos, os valores para os pontos médios (V_{MED}), os pontos de máximos e mínimos, V_{MAX} e V_{MIN} respectivamente, assim como a excursão da tensão de saída (V_{SWING}), definido como a diferença entre V_{MAX} e V_{MIN} , das VTC's com os três V_{DD} utilizados.

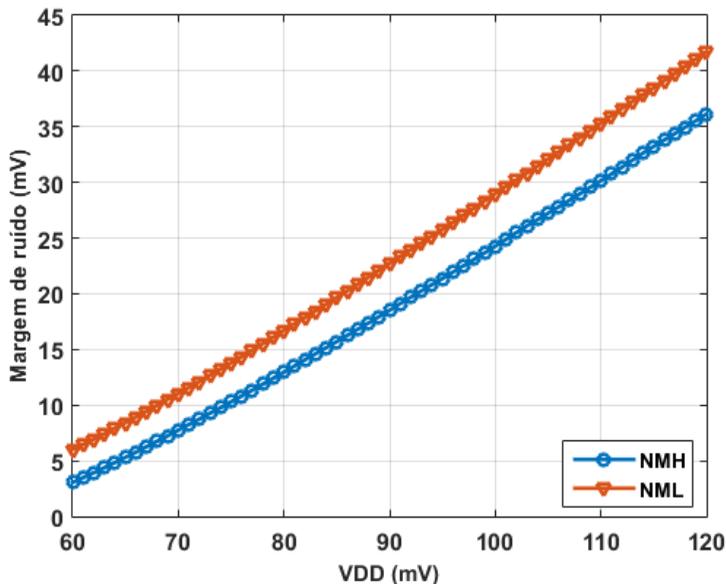
Tabela 7 – Ganhos, Pontos médios, máximos, mínimos e excursões do sinal de saída do inversor-ST.

V_{DD}	Ganho(V/V)	$V_{MIN}(mV)$	$V_{MED}(mV)$	$V_{MAX}(mV)$	$V_{SWING}(mV)$
60mV	-1.734	6.680	29.967	53.048	46.368
90mV	-5.537	1.894	45.029	87.795	85.901
120mV	-22.47	0.725	60.834	119.064	118.338

Fonte: Elaborada pelo Autor (2018).

Para verificar os limites da porta lógica e manter estáveis os níveis lógicos “0” ou “1” utilizamos a margem de ruído estático, cujo comportamento em relação à tensão de alimentação pode ser visto na figura 19.

Figura 19 - Margens de ruído alta e baixa em relação a tensão de alimentação.



Fonte: Elaborada pelo Autor (2018).

A tabela 8 apresenta os valores da margem de ruído alta e também da margem de ruído baixa em relação à V_{DD} .

Tabela 8 - Valores de NML e NMH para diferentes VDD do inversor-ST.

V_{DD}	$NM_L(mV)$	$NM_H(mV)$
$60mV$	6.02	3.05
$90mV$	22.76	18.52
$120mV$	41.76	36.14

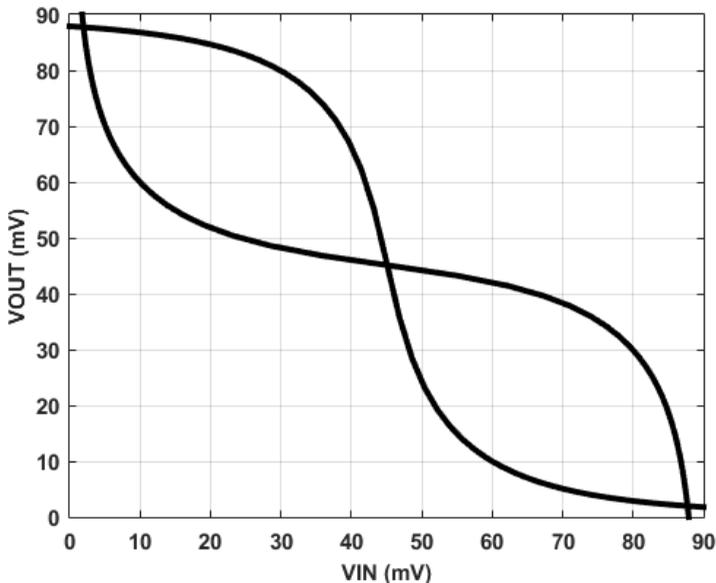
Fonte: Elaborada pelo Autor (2018).

Com o gráfico da figura 19, pudemos inferir que a margem ruído aumenta conforme aumentamos a tensão de alimentação, ou seja, verificamos que circuitos operando em tensões de alimentação, com dezenas de mV, são mais suscetíveis ao ruído.

Outra forma de visualizar a margem de ruído de uma porta lógica é utilizando o gráfico borboleta, o qual explicamos na seção 2.4.3. A figura 20 mostra o gráfico borboleta do inversor-ST para $V_{DD} = 90 mV$.

É interessante mencionar que, diferente do convencional, o qual utilizamos tensões mais elevadas, a tensão máxima (V_{MAX}) e mínima (V_{MIN}) confundem-se com os limites da alimentação, já em projetos de ultrabaixa tensão (ULV), os pontos de intersecção do gráfico borboleta determinam V_{MED} , V_{MAX} , V_{MIN} .

Figura 20 - Gráfico borboleta do inversor-ST para VDD=90 mV.



Fonte: Elaborada pelo Autor (2018).

3.5.2 Características transientes do inversor-ST

Neste trabalho, também avaliamos o comportamento dinâmico das células lógicas, utilizando duas figuras de mérito que são o tempo de propagação e a potência total da célula, mostrado na tabela 9.

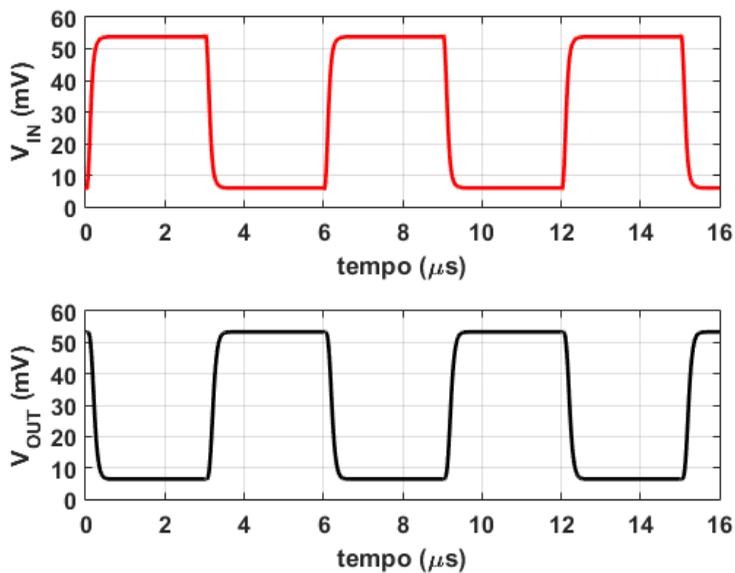
Tabela 9 - Tempo de propagação e Potência total para diferentes tensões de alimentação do Inversor-ST.

INV_ST	$t_{PLH}(ns)$	$t_{PHL}(ns)$	$tp(ns)$	$P_{total}(nW)$
$V_{DD} = 60mV$	84.53	84.74	84.64	0.499
$V_{DD} = 90mV$	51.39	51.29	51.34	0.927
$V_{DD} = 120mV$	31.36	30.22	30.79	1.38

Fonte: Elaborada pelo Autor (2018).

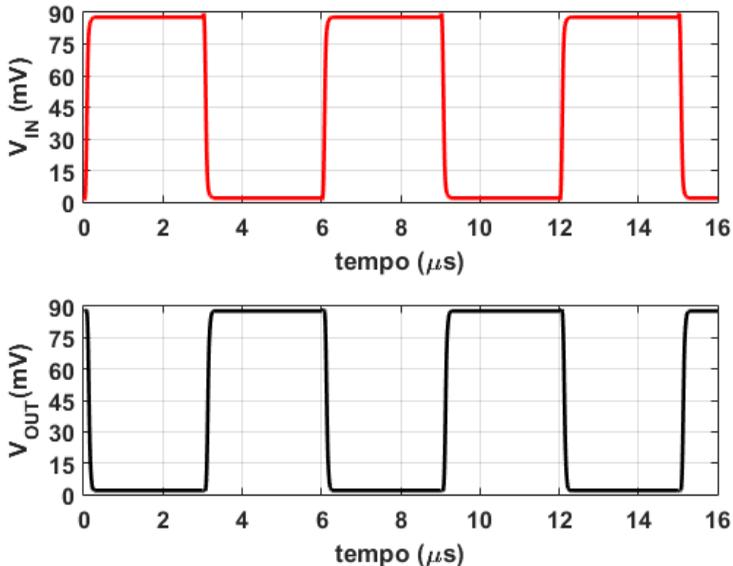
A figuras 21 e 22 mostram as simulações transientes do inversor-ST para $V_{DD} = 60 \text{ mV}$ e $V_{DD} = 90 \text{ mV}$ respectivamente.

Figura 21 - Simulação transiente do inversor-ST para $V_{DD}=60\text{mV}$.



Fonte: Elaborada pelo Autor (2018).

Figura 22 - Simulação transiente do inversor-ST para $V_{DD}=90mV$.



Fonte: Elaborada pelo Autor (2018).

Nas simulações transientes de todas as portas lógicas, utilizamos dois inversores-ST em cascata para simular entradas reais.

Pudemos observar que o tempo de propagação do inversor-ST com $V_{DD} = 60 mV$ foi aproximadamente o mesmo do oscilador quando comparamos as tabelas 3 e 9, e que, com o aumento do V_{DD} , diminuímos o tempo de propagação das nossas células lógicas, porém aumentando a potência total de cada célula.

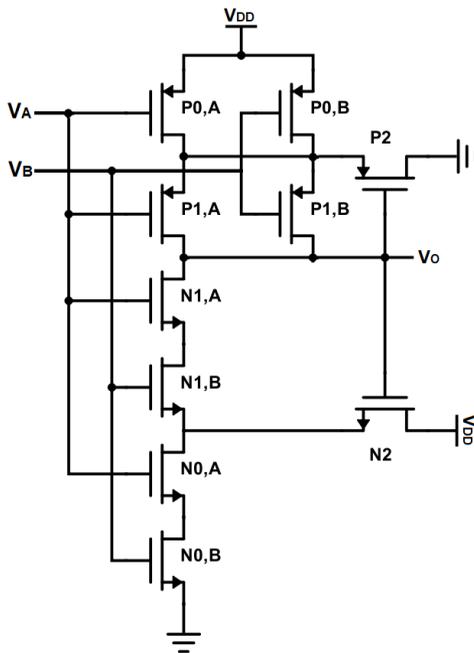
Assim como observado nas simulações DC, com o aumento da tensão de alimentação, aumentamos a excursão do sinal de saída, com o mesmo sendo cada vez mais próximo dos limites impostos pela alimentação.

Os gráficos transientes das figuras 21 e 22 validaram o funcionamento do inversor-ST, por isso não colocamos a simulação transiente para $V_{DD} = 120\text{ mV}$.

3.6 NAND-ST

A construção da porta lógica NAND-ST foi feita a partir do ST; cada transistor NMOS da rede N do ST foi substituído por dois transistores em série e, na rede P, foi colocado um transistor em paralelo para cada transistor PMOS - os transistores de realimentação continuaram conectados aos mesmos nós, como mostra o esquemático da NAND da figura 23.

Figura 23 - Esquemático da NAND-ST.



Fonte: Elaborada pelo Autor (2018).

O processo de conversão descrito é o mesmo que se utiliza na lógica convencional quando transformamos o inversor convencional em uma NAND convencional.

A lógica da NAND-ST é a mesma da NAND convencional, e encontra-se na tabela 10.

Tabela 10 - Tabela verdade da NAND-ST.

A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

Fonte: Elaborada pelo Autor (2018).

Para determinar a dimensões da NAND-ST utilizamos a equação (14) a qual representa a associação em série de dois transistores da rede N. Na associação em série os comprimentos dos canais dos transistores são somados, permanecendo com a mesma largura.

$$\left(\frac{W}{L}\right)_{N1} = \frac{\left(\frac{W}{L}\right)_{N1,A} \left(\frac{W}{L}\right)_{N1,B}}{\left(\frac{W}{L}\right)_{N1,A} + \left(\frac{W}{L}\right)_{N1,B}} \quad (14)$$

Os dois transistores em série N1,A e N1,B da NAND-ST devem ter a mesma dimensão equivalente do N1 do inversor-ST, assumindo que o comprimento do canal de todos os transistores são iguais a L e $W_{N1,A} = W_{N1,B}$, temos que $W_{N1,A} = 2W_{N1}$. O mesmo processo foi realizado com os transistores N0,A e N0,B.

Para a rede P, também determinamos que o L de todos os transistores fossem iguais e dimensionamos a célula lógica para atuar no pior caso, ou seja, uma das entradas no nível lógico “1”. Assim, metade

dos PMOS iriam conduzir quando variássemos a outra entrada. Portanto, ficamos com o seguinte dimensionamento: $W_{P0,A} = W_{P0,B} = W_{P0}$ e $W_{P1,A} = W_{P1,B} = W_{P1}$. A tabela 11 apresenta todas as dimensões da NAND-ST; a partir dela, podemos perceber que os transistores N2 e P2 da realimentação do ST permaneceram com as mesmas dimensões.

Tabela 11 - Dimensões da NAND-ST.

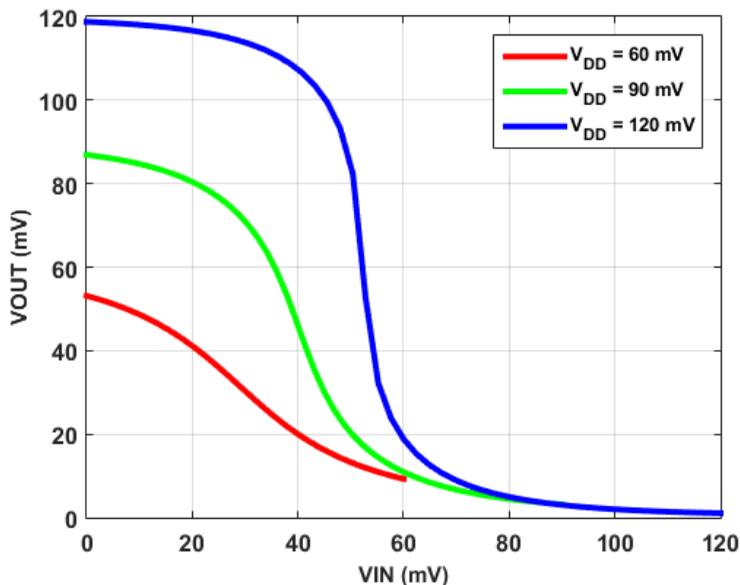
Rede P	Rede N
$W_{P0,A} = 3.0\mu m$	$W_{N0,A} = 1.2\mu m$
$L_{P0,A} = 300nm$	$L_{N0,A} = 300nm$
$W_{P0,B} = 3.0\mu m$	$W_{N0,B} = 1.2\mu m$
$L_{P0,B} = 300nm$	$L_{N0,B} = 300nm$
$W_{P1,A} = 1.5\mu m$	$W_{N1,A} = 600nm$
$L_{P1,A} = 300nm$	$L_{N1,A} = 300nm$
$W_{P1,B} = 1.5\mu m$	$W_{N1,B} = 600nm$
$L_{P1,B} = 300nm$	$L_{N1,B} = 300nm$
$W_{P2} = 1.5\mu m$	$W_{N2} = 300nm$
$L_{P2} = 300nm$	$L_{N2} = 300nm$

Fonte: Elaborada pelo Autor (2018).

3.6.1 Características DC da NAND-ST

Assim como realizado no inversor-ST, simulamos a função de transferência de tensão da NAND-ST para diferentes V_{DD} . A figura 24 apresenta as VTC's.

Figura 24 - Funções de transferência de tensão da NAND-ST para o caso $V_B=V_{DD}$ e V_A variando.



Fonte: Elaborada pelo Autor (2018).

O ganho e os pontos de tensão relevantes dessa simulação DC encontram-se na tabela 12. Podemos observar que a NAND-ST tem o mesmo comportamento do inversor-ST em relação ao aumento da tensão de alimentação, que são um aumento no ganho, assim como um aumento na excursão do sinal da saída da célula lógica.

Tabela 12 - Ganhos, Pontos médios, máximos, mínimos e excursões do sinal de saída da NAND-ST.

V_{DD}	Ganho(V/V)	$V_{MIN}(mV)$	$V_{MED}(mV)$	$V_{MAX}(mV)$	$V_{SWING}(mV)$
60mV	-1.173	16.31	30.030	44.37	27.060
90mV	-3.687	3.492	41.100	86.400	82.908
120mV	-14.130	1.097	52.500	118.710	117.613

Fonte: Elaborada pelo Autor (2018).

Outra característica DC observada no inversor-ST foi a margem de ruído. A tabela 13 mostra as margens de ruído alta e baixa da NAND-ST; nela, podemos observar que as NM_H são aproximadamente o dobro das NM_L para as diferentes tensões de alimentação, apesar do balanceamento utilizado no dimensionamento das redes na NAND-ST.

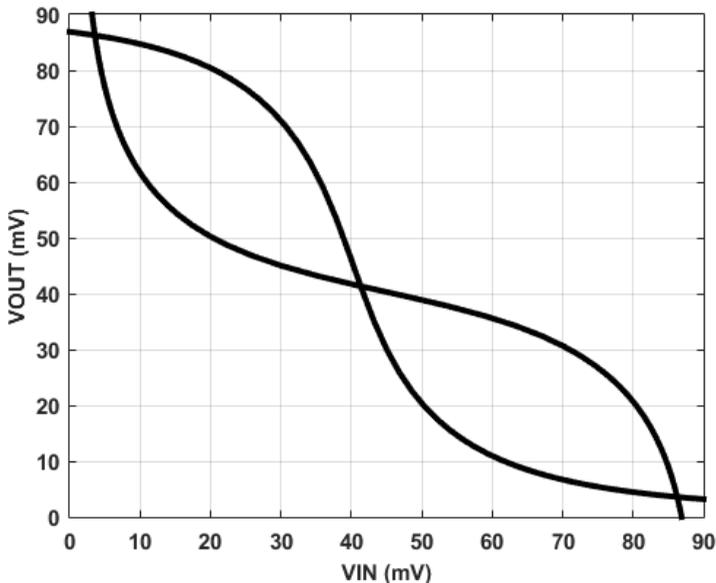
Tabela 13 - Valores de NML e NMH para diferentes VDD da NAND-ST.

V_{DD}	$NM_L(mV)$	$NM_H(mV)$
$60mV$	2.67	4.42
$90mV$	12.23	20.68
$120mV$	29.33	41.26

Fonte: Elaborada pelo Autor (2018).

Também podemos observar o método visual da SNM com o gráfico borboleta da figura 25, a qual temos a NAND-ST operando com $V_{DD} = 90 mV$. Nesse gráfico, é possível verificar a diferença entre as margens de ruídos alta e baixa devido aos tamanhos diferentes das áreas entre as curvas.

Figura 25 - Gráfico borboleta da NAND-ST para VDD=90 mV.



Fonte: Elaborada pelo Autor (2018).

3.6.2 Características transientes da NAND-ST

Também avaliamos o desempenho dinâmico da NAND-ST, com as mesmas figuras de mérito utilizadas no inversor-ST. A tabela 14 apresenta os valores de tempo de propagação de potência dessa célula lógica.

Tabela 14 - Tempo de propagação e Potência total para diferentes tensões de alimentação da NAND-ST.

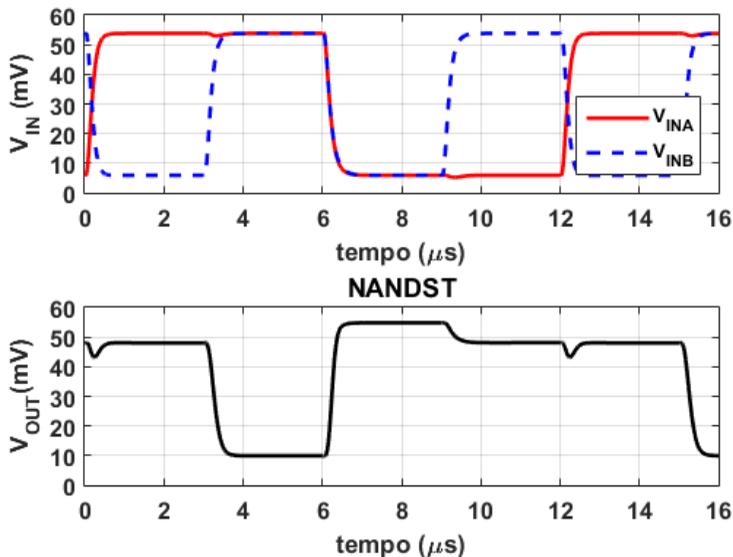
NAND_ST	$t_{PLH}(ns)$	$t_{PHL}(ns)$	$t_p(ns)$	$P_{total}(nW)$
$V_{DD} = 60mV$	50.48	88.25	69.36	0.814
$V_{DD} = 90mV$	51.16	56.87	54.01	1.57
$V_{DD} = 120mV$	35.62	37.12	36.37	2.38

Fonte: Elaborada pelo Autor (2018).

Após análise, pudemos inferir que os valores de tempo de propagação de potência são superiores aos do inversor devido ao acréscimo de transistores ocasionando um aumento na potência total, e no caso do t_p , isso se deve às capacitâncias introduzidas pelos transistores adicionados.

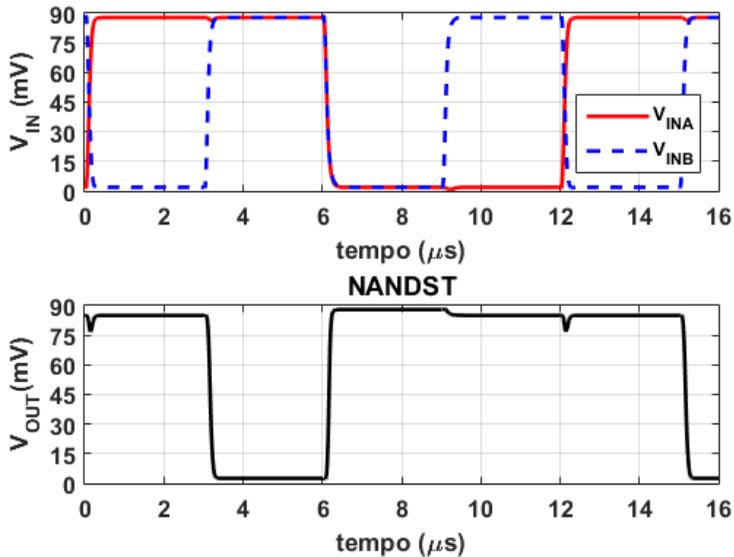
Para verificar o funcionamento da NAND-ST no tempo, assim como a lógica da tabela 11, realizamos simulações transientes com duas tensões de alimentação, utilizando a mesma configuração do inversor-ST com dois inversores em cascata na entrada da porta lógica para simular uma entrada real. As figuras 26 e 27 mostram os resultados destas simulações – é importante observar que não realizamos a simulação com $V_{DD} = 120 \text{ mV}$ pelo mesmo motivo mencionado no caso do inversor-ST.

Figura 26 - Simulação transiente da NAND-ST para $V_{DD}=60\text{mV}$.



Fonte: Elaborada pelo Autor (2018).

Figura 27 - Simulação transiente da NAND-ST para $V_{DD}=90\text{mV}$.



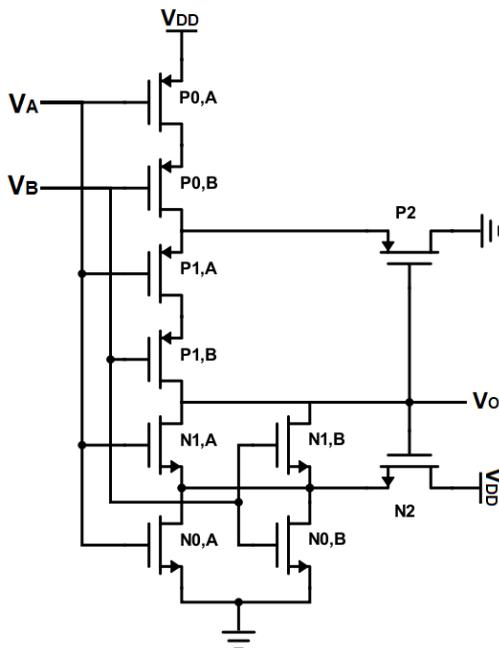
Fonte: Elaborada pelo Autor (2018).

Comparando as figuras 26 e 27 com a tabela 10, pudemos inferir que a NAND-ST atende à lógica “E” negada, somente com as duas entradas em nível lógico “1”; a saída encontra-se em nível lógico “0”.

3.7 NOR-ST

O processo da construção da porta lógica NOR-ST é similar ao da NAND-ST; porém, a NOR-ST é o dual da NAND-ST, ou seja, a rede P da NOR-ST é a rede N da NAND-ST e vice-versa. O esquemático da NOR-ST é apresentado na figura 28.

Figura 28 - Esquemático da NOR-ST.



Fonte: Elaborada pelo Autor (2018).

A tabela 15 apresenta a lógica da NOR-ST; é possível observar nessa tabela que a função lógica dessa célula é também o dual do NAND-ST.

Tabela 15 - Tabela verdade da NOR-ST.

A	B	OUT
0	0	1
0	1	0
1	0	0
1	1	0

Fonte: Elaborada pelo Autor (2018).

Para determinar as dimensões da NOR-ST, realizamos o processo dual da NAND-ST, descrito na seção 3.6. A tabela 16 apresenta as dimensões definidas para a NOR-ST. Um ponto importante a ser observado é que, como a rede P da NOR-ST é a rede em que se encontram os transistores em série, e também pois a largura do canal dos PMOS é 5 vezes maior que o da rede N, devido à compensação da mobilidade dos transistores LVT entre as rede P e N. Assim, podemos inferir que a célula lógica NOR-ST apresenta uma área maior que a NAND-ST.

Tabela 16 - Dimensões da NOR-ST.

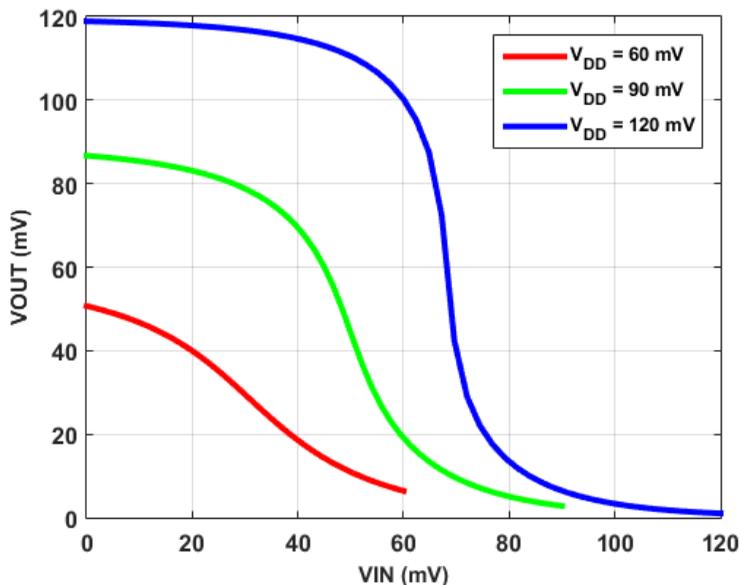
Rede P	Rede N
$W_{P0,A} = 6\mu m$	$W_{N0,A} = 600nm$
$L_{P0,A} = 300nm$	$L_{N0,A} = 300nm$
$W_{P0,B} = 6\mu m$	$W_{N0,B} = 600nm$
$L_{P0,B} = 300nm$	$L_{N0,B} = 300nm$
$W_{P1,A} = 3\mu m$	$W_{N1,A} = 300nm$
$L_{P1,A} = 300nm$	$L_{N1,A} = 300nm$
$W_{P1,B} = 3\mu m$	$W_{N1,B} = 300nm$
$L_{P1,B} = 300nm$	$L_{N1,B} = 300nm$
$W_{P2} = 1.5\mu m$	$W_{N2} = 300nm$
$L_{P2} = 300nm$	$L_{N2} = 300nm$

Fonte: Elaborada pelo Autor (2018).

3.7.1 Características DC da NOR-ST

Da mesma forma como ocorreu com a NAND-ST e com o inversor, realizamos uma simulação DC variando a tensão do sinal de entrada da NOR-ST com intuito de construir a VTC da mesma - essa simulação foi realizada para três tensões de alimentação diferentes. A figura 29 mostra as VTCs da NOR-ST.

Figura 29 - Funções de transferência de tensão da NOR-ST para o caso $V_A = 0V$ e V_B variando.



Fonte: Elaborada pelo Autor (2018).

Também elencamos o ganho e os pontos de tensão relevantes das VTCs - esses dados encontram-se na tabela 17. O comportamento em relação ao aumento do V_{DD} é similar ao descrito para o inversor-ST e à NAND-ST.

Tabela 17 - Ganhos, Pontos médios, máximos, mínimos e excursões do sinal de saída da NOR-ST.

V_{DD}	Ganho(V/V)	$V_{MIN}(mV)$	$V_{MED}(mV)$	$V_{MAX}(mV)$	$V_{SWING}(mV)$
60mV	-1.175	15.372	29.617	43.312	27.940
90mV	-3.891	3.436	48.535	86.208	82.772
120mV	-15.710	1.136	67.542	118.701	117.565

Fonte: Elaborada pelo Autor (2018).

Analisamos, também, a margem de ruído da NOR-ST, como mostra a tabela 18. Observamos, com os dados obtidos, que o comportamento dual em relação à NAND-ST também aparece nas margens de ruído, comparando-as com a tabela 13.

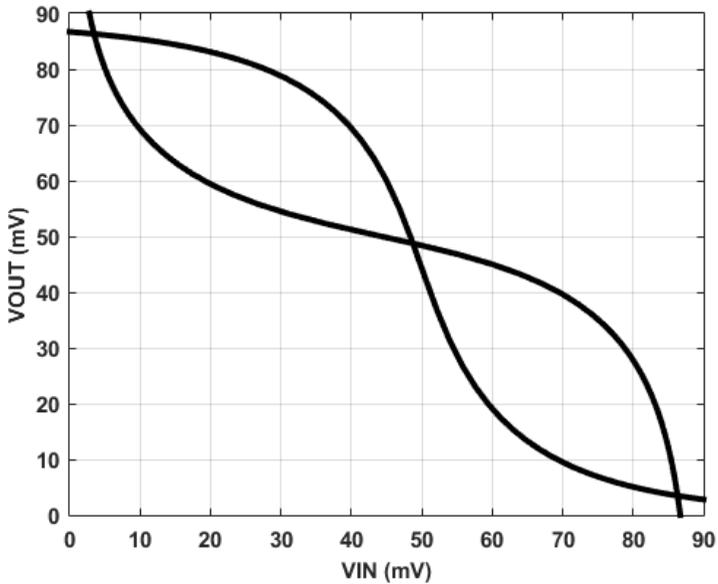
Tabela 18 - Valores de NML e NMH para diferentes VDD da NOR-ST.

V_{DD}	$NM_L(mV)$	$NM_H(mV)$
$60mV$	4.47	2.48
$90mV$	24.34	11.67
$120mV$	46.38	25.36

Fonte: Elaborada pelo Autor (2018).

A figura 30 apresenta o gráfico borboleta da NOR-ST para $V_{DD} = 90 mV$.

Figura 30 - Gráfico borboleta da NOR-ST para VDD=90 mV.



Fonte: Elaborada pelo Autor (2018).

3.7.2 Características transientes da NOR-ST

Utilizando a mesma configuração de inversores-ST em cascata na entrada da célula lógica com o intuito de simular uma entrada real, realizamos simulações transientes na NOR-ST, determinando o tempo de propagação e potência total por célula, como mostra a tabela 19.

Tabela 19 - Tempo de propagação e Potência total para diferentes tensões de alimentação da NOR-ST.

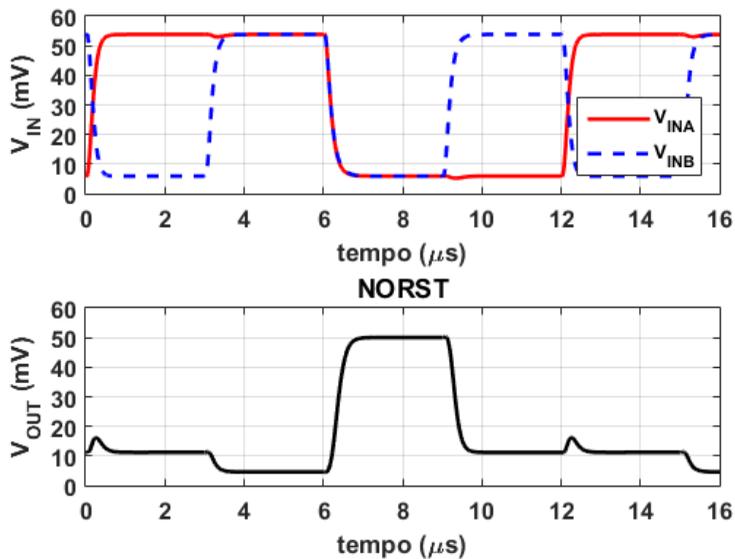
NOR_ST	$t_{PLH}(ns)$	$t_{PHL}(ns)$	$t_p(ns)$	$P_{total}(nW)$
$V_{DD} = 60mV$	199.20	140.40	169.80	0.778
$V_{DD} = 90mV$	108.10	94.31	101.20	1.49
$V_{DD} = 120mV$	66.63	55.65	61.14	2.29

Fonte: Elaborada pelo Autor (2018).

Como mencionado na seção 3.6.2, o t_p e a potência total da NOR-ST são maiores que o inversor-ST devido ao acréscimo de transistores; porém, na NOR-ST, pelo fato de a rede P ser a rede com os transistores em série e, também, considerando que as larguras dos canais dos PMOS são 5 vezes as larguras dos canais dos NMOS, temos o aumento da capacitância equivalente intrínseca da célula e conseqüentemente do tempo de propagação.

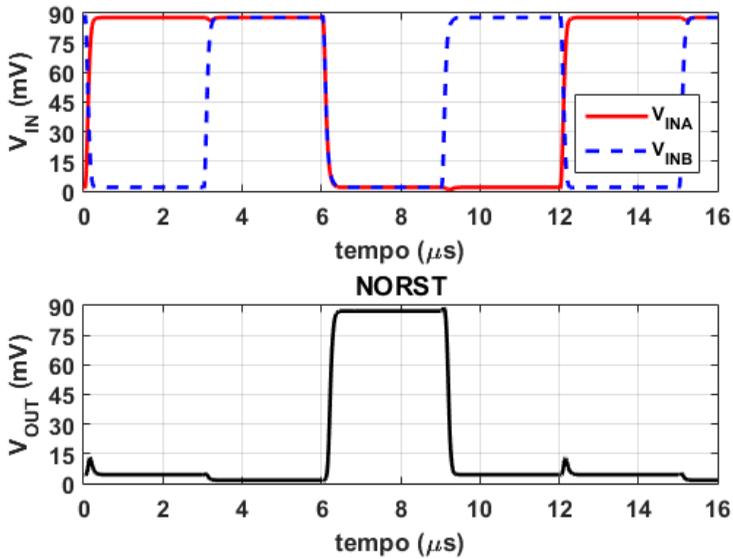
As figuras 31 e 32 mostram os resultados das simulações transientes da NOR-ST; nelas, é possível verificar que a lógica está correta, apenas comparando-as com a tabela 15. Outro ponto comentado nas células já mencionadas nas simulações transientes é o aumento da excursão de sinal de saída com o aumento da tensão de alimentação.

Figura 31 - Simulação transiente da NOR-ST para VDD=60mV.



Fonte: Elaborada pelo Autor (2018).

Figura 32 - Simulação transiente da NOR-ST para VDD=90mV.

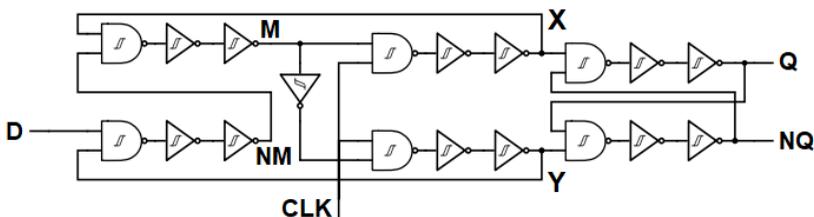


Fonte: Elaborada pelo Autor (2018).

3.8 FLIP-FLOP-ST

Utilizando a NAND-ST e o inversor-ST implementados neste trabalho, construímos o FF-ST e baseamos sua topologia na referência [15], porém, com algumas modificações. É um flip-flop do tipo D com *clock* sensível à borda de subida. A figura 33 apresenta o esquemático do FF-ST.

Figura 33 - Esquemático do FF-ST.



Fonte: Elaborada pelo Autor (2018).

Na caracterização do FF-ST, utilizamos duas figuras de mérito, o tempo de propagação, que no caso desta célula lógica é medido entre o *clock* e a saída Q (t_{co}), e a potência total da célula.

Outras figuras de tempo básicas dos flip-flops são o tempo de preparação (t_{setup}), sendo o intervalo de tempo que o dado precisa estar estável na entrada D antes da borda de subida do *clock*, e o tempo de manutenção (t_{hold}), sendo o intervalo de tempo que o dado precisa estar estável na entrada D após a borda de subida do *clock*.

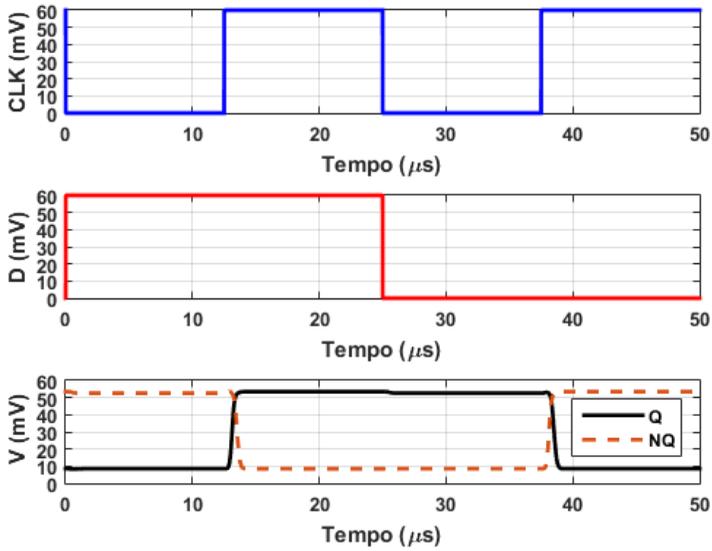
Com o intuito de aumentar o ganho dos sinais intermediários do FF-ST, para alcançar uma tensão de alimentação menor, $V_{DD} = 60\text{ mV}$, adicionamos inversores-ST na topologia de [15], modificando-a. Esta modificação tem um impacto tanto no t_{co} quanto na potência total; porém, visando a aplicações com baixa tensão de alimentação, optamos por este *trade-off*.

Da mesma forma que nas outras células lógicas, realizamos simulações transientes no FF-ST para observar seu comportamento dinâmico em diferentes tensões de alimentação, assim como o seu funcionamento lógico. As figuras 34 e 35 apresentam esses resultados.

Observando os gráficos das transientes, pudemos inferir que o FF-ST está funcionando perfeitamente para $V_{DD} = 60\text{ mV}$. Como já

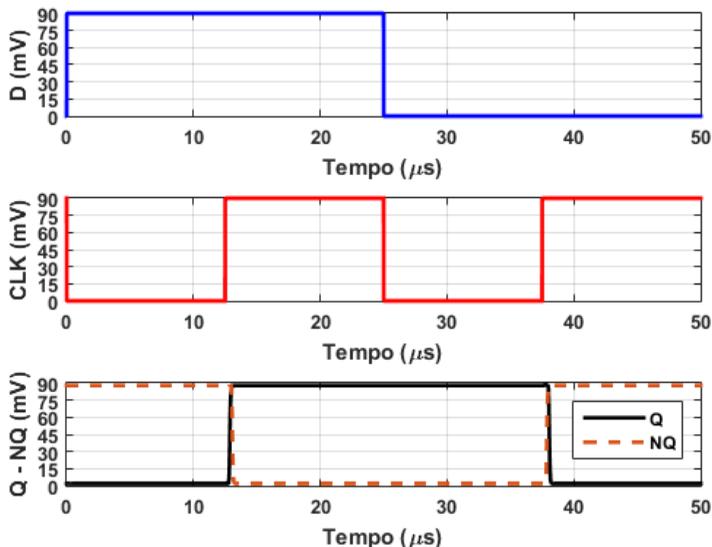
comentado em todas as células lógicas, a excursão do sinal de saída aumenta com o aumento da tensão de alimentação.

Figura 34 - Simulação transiente do FF-ST para VDD=60mV.



Fonte: Elaborada pelo Autor (2018).

Figura 35 - Simulação transiente do FF-ST para VDD=90mV.

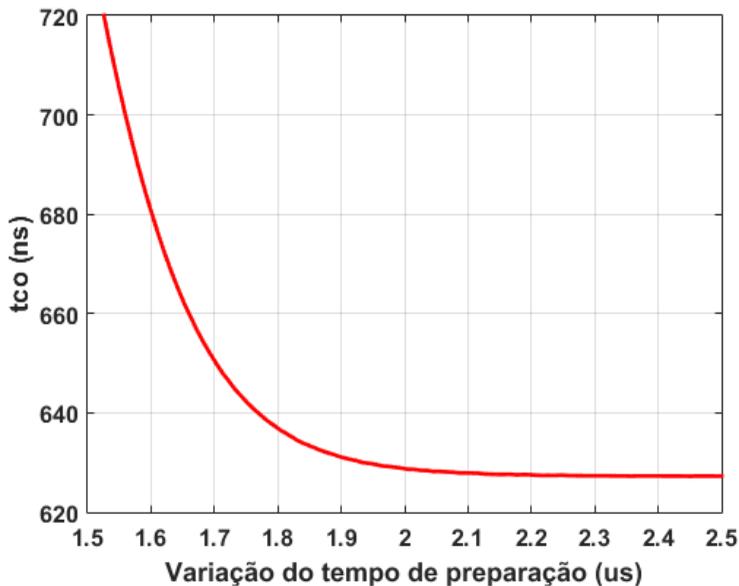


Fonte: Elaborada pelo Autor (2018).

Para determinar o tempo de preparação deste flip-flop, realizamos os seguintes passos: variamos, no tempo, a entrada D, aproximando-se da borda de subida do *clock* (sentido crescente do tempo) até o ponto em que a saída não era mais estável, ou seja, em que a entrada D não obedecia ao tempo de preparação do FF-ST.

No entanto, antes mesmo de a saída não ser mais estável, ocorre uma degradação no *tco* devido ao tempo de preparação não ser atendido. A figura 36 mostra esta relação entre *tco* e t_{setup} . Para não resultar em uma degradação demasiada no tempo de propagação do FF-ST, definimos que 10% de degradação do *tco* resulta em um t_{setup} satisfatório.

Figura 36 - Relação do tempo de preparação com o tempo de propagação do FF-ST, VDD= 60 mV.



Fonte: Elaborada pelo Autor (2018).

No caso do tempo de manutenção, variamos, no tempo, a entrada D, aproximando-a da borda de subida do *clock* (sentido decrescente do tempo), sem violar o t_{setup} ; porém, não foi possível determinar o ponto após a transição do *clock*, o qual a entrada D deveria ser estável para resultar em uma transição na saída.

Esses processos foram realizados para três tensões de alimentação. A tabela 20 apresenta o tempo propagação, tempo de preparação e potência total da célula.

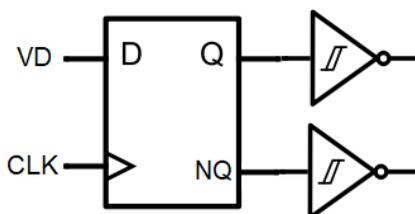
Tabela 20 - Tempo de propagação (t_{co}) e Potência total para diferentes tensões de alimentação do FF-ST.

FFD-ST	t_{coLH}	t_{coHL}	t_{co}	t_{setup}	P_{total}
$V_{DD} = 60mV$	627.3ns	936.12ns	781.71ns	1.58 μs	13.09nW
$V_{DD} = 90mV$	374.1ns	546.6ns	460.4ns	1.33 μs	23.12nW
$V_{DD} = 120mV$	224.42ns	329.10ns	276.70ns	1.20 μs	33.49nW

Fonte: Elaborada pelo Autor (2018).

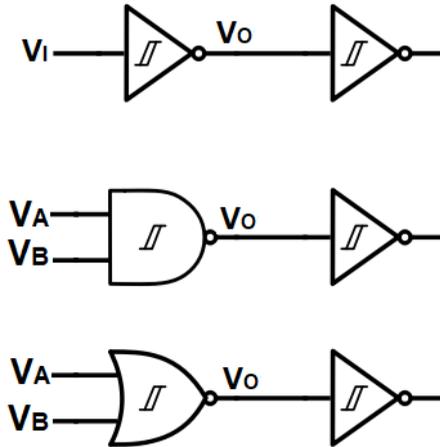
Por fim, reiteramos que todas as simulações, tanto DC quanto transiente de todas as células lógicas (INV-ST, NAND-ST, NOR-ST, FF-ST) foram realizadas com um inversor-ST como carga, como mostram as figuras 37 e 38.

Figura 37 - Configuração utilizada para as simulações do FF-ST.



Fonte: Elaborada pelo Autor (2018).

Figura 38 - Configurações utilizadas para as simulações do inversor-ST, da NAND-ST e da NOR-ST.



Fonte: Elaborada pelo Autor (2018).

4 CARACTERIZAÇÃO PVT & APLICAÇÃO DA FAMÍLIA LÓGICA ST

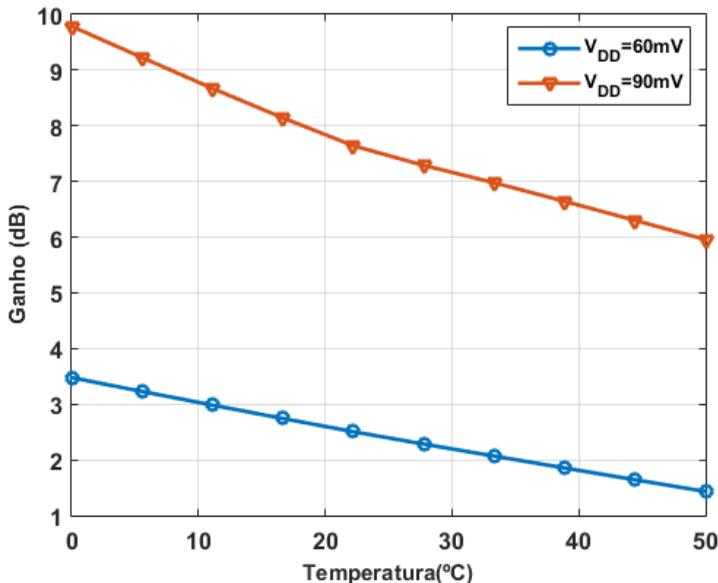
No mundo físico, deparamo-nos com as chamadas não idealidades, muitas vezes não previstas nos projetos de circuitos integrados. Essas não idealidades fazem referência às variações nos parâmetros do processo de fabricação dos CIs, resultando em uma degradação no desempenho dos mesmos.

4.1 CARACTERIZAÇÃO PVT

Como forma de antever essas variações e também de verificar o comportamento da família ST nesses casos, utilizamos, neste trabalho, a caracterização PVT, ou seja, submetemos as células lógicas, por meio de uma simulação Monte Carlo, a variações no processo de fabricação, variação na temperatura e variação na tensão de alimentação.

Para isso, utilizamos três valores de temperaturas (0°C, 25°C, 50°C) para avaliar a família lógica. Uma característica interessante nessa variação, foi a alternância do ganho da célula lógica. Para validar essa informação, simulamos o inversor-ST, variando a temperatura e verificando o ganho, como mostra a figura 39.

Figura 39 - Ganho(dB) vs Temperatura do inversor-ST.



Fonte: Elaborada pelo Autor (2018).

Pelo gráfico da figura 39, pudemos observar que o ganho diminui com o aumento da temperatura. Também é possível verificar, a partir da equação (6) que, com o aumento da temperatura, a tensão térmica (φ_t) aumenta, assim diminuindo o expoente dos termos exponenciais e resultando em uma diminuição do ganho.

Na simulação Monte Carlo, de variação do processo de fabricação, também utilizamos os mesmos três valores de temperaturas e três tensões de alimentação ($V_{DD} = 60mV|90mV|120mV$), para verificar a variação do tempo de propagação e a potência total em cada caso.

A média das amostras (μ) e o desvio padrão (σ) das duas figuras de mérito utilizadas são apresentados na tabela 21.

Tabela 21- Caracterização PVT da família lógica ST.

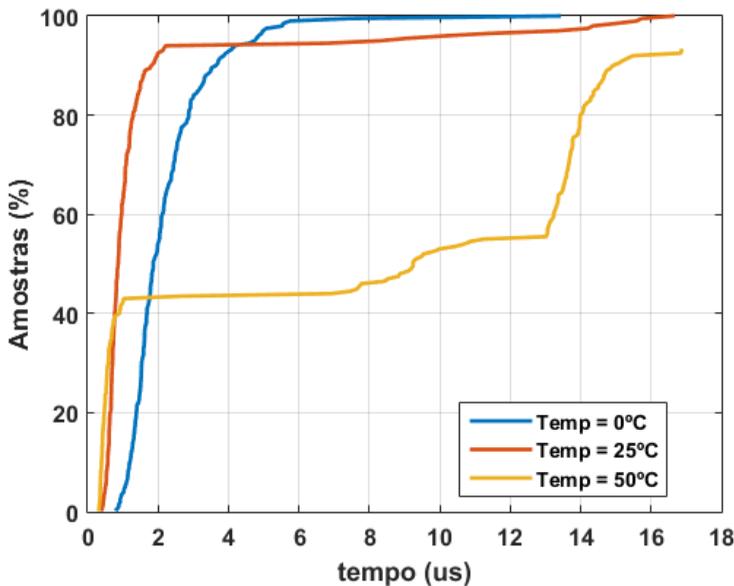
Células Lógicas			INV-ST		NAND-ST		NOR-ST		FF-ST	
			$t_p(ns)$	$P_{total}(nW)$	$t_p(ns)$	$P_{total}(nW)$	$t_p(ns)$	$P_{total}(nW)$	$tco(ns)$	$P_{total}(nW)$
$V_{DD} = 60mV$	T=0°C	μ	220.1	0.219	185.4	0.345	436.4	0.335	2249	4.77
		σ	101.1	0.091	88.86	0.141	200.7	0.148	1323	2.06
	T=25°C	μ	92.48	0.594	72.79	0.938	186.5	0.906	1630	13.41
		σ	36.9	0.229	30.28	0.351	76.4	0.362	2893	5.17
	T=50°C	μ	46.01	1.391	34.65	2.173	94.84	2.085	7092	31.87
		σ	16.09	0.486	12.43	0.738	34.21	0.754	6355	11.03
$V_{DD} = 90mV$	T=0°C	μ	122.4	0.398	134.9	0.664	242.6	0.633	1152	8.44
		σ	53.87	0.160	61.15	0.279	106.5	0.268	511.3	3.66
	T=25°C	μ	56.71	1.064	59.05	1.797	112.2	1.713	539.7	23.77
		σ	21.63	0.404	23.41	0.686	42.85	0.666	206.2	9.24
	T=50°C	μ	30.89	2.504	30.26	4.199	61.63	3.992	296.0	56.88
		σ	10.27	0.875	10.56	1.452	20.56	1.414	99.14	19.97
$V_{DD} = 120mV$	T=0°C	μ	66.52	0.591	81.93	0.998	133.8	0.960	621.7	12.20
		σ	27.8	0.229	35.32	0.421	55.97	0.394	260.3	5.29
	T=25°C	μ	33.91	1.55	40.04	2.689	67.52	2.588	319.9	34.45
		σ	12.25	0.580	15.02	1.043	24.32	0.988	115.7	13.39
	T=50°C	μ	19.88	3.637	22.46	6.315	39.52	6.067	189.3	82.75
		σ	6.272	1.261	7.41	2.22	12.41	2.117	59.64	29.08

Fonte: Elaborada pelo Autor (2018).

A partir da análise da tabela 21, pudemos observar o comportamento das células lógicas com a variação de temperatura e da tensão de alimentação. Em relação à temperatura para um V_{DD} fixo, temos que o tempo de propagação diminui com o aumento da temperatura, e a potência tem o comportamento oposto, ou seja, aumenta com o aumento da temperatura.

Analisando os casos mais críticos ($V_{DD} = 60mV$), verificamos que os resultados em relação ao t_{CO} do FF-ST estão fora do esperado. Confeccionamos um gráfico da função de distribuição acumulada (CDF) dessas amostras para uma melhor visualização, o qual está ilustrado na figura 40.

Figura 40 - CDF do t_{CO} do FF-ST para $V_{DD}=60mV$.



Fonte: Elaborada pelo Autor (2018).

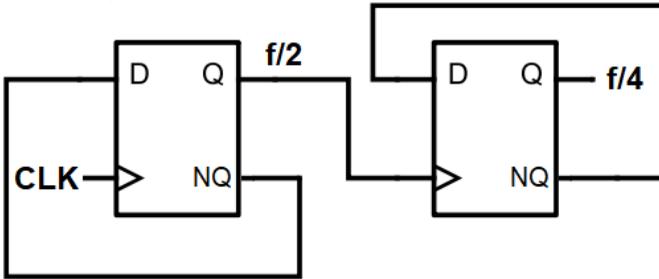
Após estudos, inferimos, pela CDF, para o caso $T = 25^{\circ}\text{C}$, que menos de 40% das amostras apresentaram um $t_{co} \leq 1\mu\text{s}$. Comparando com a tabela 20, dentre os 40% das amostras, houve uma variação de aproximadamente 21% no valor do t_{co} .

Para as portas lógicas, com $V_{DD} = 60\text{mV}$, houve uma significativa mudança nos valores médios do tempo de propagação e potência no intervalo de temperatura simulado ($0^{\circ}\text{C} - 50^{\circ}\text{C}$). No inversor-ST, tivemos uma diminuição de 79% no t_p e um aumento 635% na potência total. Na NAND-ST, ocorreu uma diminuição de 81% no t_p e um aumento 629% na potência; já na NOR-ST, houve uma diminuição de 78% no t_p e um aumento 622% na potência. Com essa análise feita, a partir da tabela 21, descobrimos que, apesar da queda nos tempos de propagação das células lógicas, há um demasiado consumo de potência.

4.2 DIVISOR DE FREQUÊNCIA

A fim de novamente autenticar o funcionamento do FF-ST para $V_{DD} = 60\text{mV}$, implementamos um divisor de frequência, com frequência na saída dividida por 2 e 4. A figura 41 mostra o esquemático do divisor de frequência, sendo apenas dois FF-ST, realimentados em malha fechada entre a saída NQ e a entrada D.

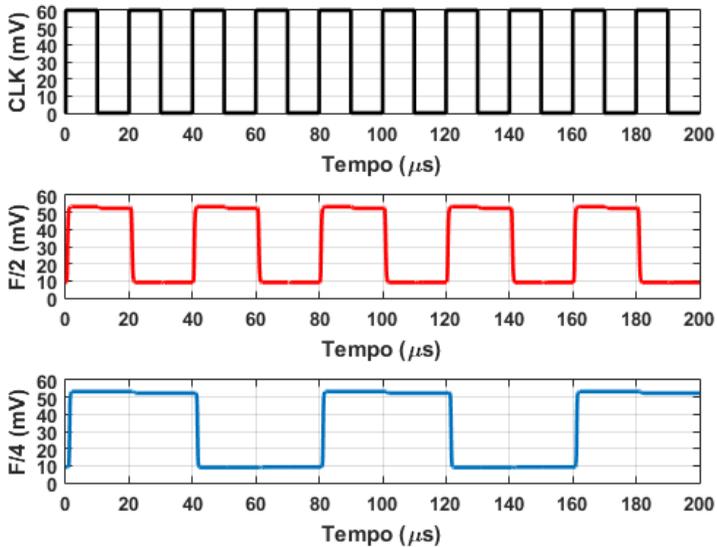
Figura 41 - Esquemático do divisor de frequência.



Fonte: Elaborada pelo Autor (2018).

Com um *clock* de 50 kHz, realizamos uma simulação transiente com o inversor de frequência, objetivando verificar seu funcionamento. A figura 42 mostra o resultado desta simulação.

Figura 42 - Simulação transiente do divisor de frequência com VDD=60mV.



Fonte: Elaborada pelo Autor (2018).

O gráfico da figura 42 mostra que o funcionamento do divisor de frequência está correto, devido ao fato de que a saída $f/2$ apresenta uma frequência de 25 kHz, e a saída $f/4$ apresenta $f = 12.5$ kHz.

Assim como ocorreu com a família lógica, realizamos uma simulação Monte Carlo com variação de processo de fabricação para verificarmos o rendimento (*yield*) do divisor. Essa simulação também foi efetivada com um divisor de frequência, utilizando a lógica CMOS convencional. A tabela 22 apresenta os resultados.

Tabela 22 – Comparação, entre a lógica ST e a convencional, do yield da frequência de saída do divisor de frequência.

V_{DD}	Yield-ST	Yield-Standard
$60mV$	15.6%	0%
$62.5mV$	43.1%	0%
$65mV$	68.2%	0.7%
$67.5mV$	84.3%	4.9%
$70mV$	91.5%	16.4%

Fonte: Elaborada pelo Autor (2018).

Foi possível verificar, pelos resultados da tabela 22, que com tensões de alimentação baixas, o desempenho da lógica tradicional não é satisfatório; já para $V_{DD} = 70 mV$, temos um *yield* de 91.5%, ou seja, 91.5% das amostras do divisor de frequência têm uma saída com $f = 12.5 kHz$, contra 16.4% da lógica tradicional.

Nessa análise, é fácil de perceber que a lógica tradicional tem uma variabilidade alta em relação ao processo de fabricação, enquanto que a lógica ST é mais robusta.

5 RESULTADOS EXPERIMENTAIS

Em novembro de 2017, foi enviado para fabricação na tecnologia 130nm, pelo serviço MOSIS, o projeto parcial da família lógica ST. O projeto continha o Inversor-ST, NAND-ST e o divisor de frequência com 15 estágios utilizando o FF-ST. Também foram enviadas as mesmas células lógicas da família ST empregando a lógica CMOS convencional para a realização de comparações. Os layouts para comparação visual de tamanhos dos inversores, das NANDs e dos divisores de frequência estão presentes nos apêndices A, B e C respectivamente.

O circuito integrado recebido foi medido, utilizando os equipamentos do Laboratório de Circuitos Integrados da Universidade Federal de Santa Catarina. A bancada de medidas é apresentada na figura 43.

Figura 43 - Bancada de medidas, LCI.



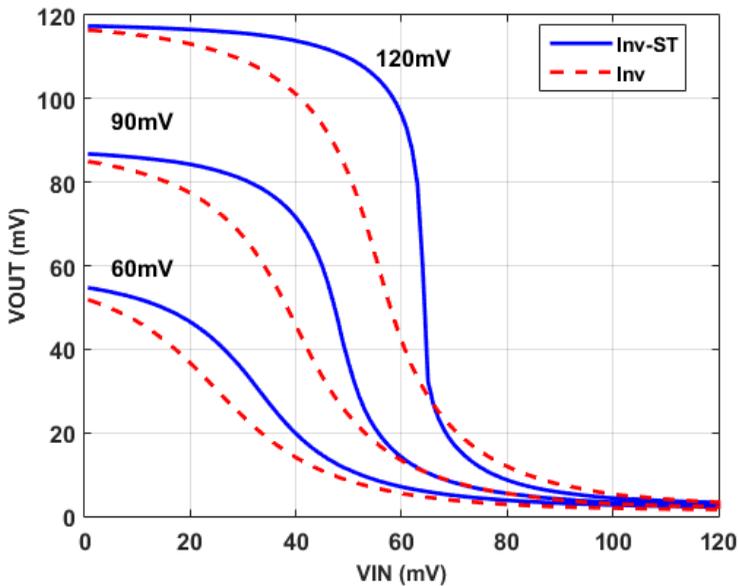
Fonte: Elaborada pelo Autor (2018).

5.1 FUNÇÃO DE TRANSFERÊNCIA DE TENSÃO DO INVERSOR-ST E DA NAND-ST

Primeiramente realizamos a caracterização DC, do inversor-ST e da NAND-ST. Essa caracterização limitou-se a alimentar as células com três V_{DD} , 60mV, 90mV e 120mV e a traçar as funções de transferência de tensão dos mesmos. No caso do inversor-ST/inversor convencional, variamos a entrada até a tensão de alimentação do momento e medimos a saída. Já na NAND-ST/NAND convencional, a entrada B ficou fixa no determinado V_{DD} e, na entrada A, realizamos o mesmo procedimento feito com o inversor-ST.

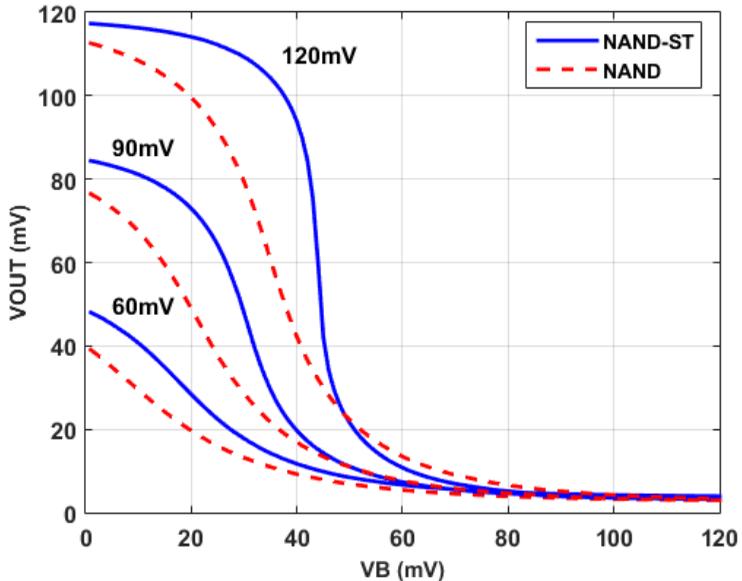
As figuras 44 e 45 apresentam os resultados dessas medições.

Figura 44 - Comparação entre as VTCs do INV-ST e do inversor tradicional.



Fonte: Elaborada pelo Autor (2018).

Figura 45- Comparação entre as VTCs do NAND-ST e da NAND tradicional.



Fonte: Elaborada pelo Autor (2018).

Pelas VTCs das figuras 44 e 45, pudemos verificar que, para as mesmas tensões de alimentação, as células lógicas ST apresentam ganhos maiores que as células da lógica convencional. A tabela 23 apresenta os valores dos ganhos.

Tabela 23- Ganhos medidos das células ST e convencional.

GANHOS	INV	INV-ST	NAND	NAND-ST
$V_{DD} = 60mV$	-1.33	-1.64	-1.11	-1.31
$V_{DD} = 90mV$	-2.61	-5.37	-2.32	-4.18
$V_{DD} = 120mV$	-4.45	-27.32	-4.07	-17.92

Fonte: Elaborada pelo Autor (2018).

5.2 MEDIÇÃO DO DIVISOR DE FREQUÊNCIA

O divisor de frequência (DIV-ST) enviado para fabricação foi composto de 15 estágios, ou seja, a frequência de saída é dividida por 2^{15} .

Em um sistema típico de relógios em tempo real (RTC) ou de relógios de pulso, está presente um oscilador a cristal com frequência de oscilação de 32.768 kHz. Utilizando o divisor de frequência de 15 estágios na saída desse oscilador, temos um ciclo ou um pulso por segundo.

A medição foi realizada da seguinte maneira: colocamos na entrada *clock* uma onda quadrada, 100 mV de pico a pico, com frequência igual a 32.768 kHz, na sequência, diminuímos a tensão de alimentação, a qual iniciou com $V_{DD} = 100mV$, e verificamos a saída dos divisores de frequência.

A figura 46 apresenta as formas de onda, azul (onda da parte de cima), do DIV com a lógica convencional e amarela (onda da parte de baixo), com $V_{DD} = 94mV$. Após análise, pudemos observar que os dois divisores de frequência estavam funcionando para esta tensão, com as seguintes frequências: $f_{DIV} = 997.2\text{ mHz}$ e $f_{DIV-ST} = 997.4\text{ mHz}$.

Figura 46 - Formas de onda dos divisores de frequência, azul-DIV e amarela-DIV-ST para $V_{DD}=94$ mV.



Fonte: Elaborada pelo Autor (2018).

A $V_{DD} = 94$ mV foi o limite de tensão de alimentação para o funcionamento correto do DIV da lógica convencional. Diminuindo mais ainda a tensão de alimentação, encontramos o limite para o DIV-ST, $V_{DD} = 76$ mV, com uma frequência do sinal de saída igual a 1.013 Hz. As formas de onda, seguindo a mesma configuração da figura 46, estão presentes na figura 47.

Figura 47- Formas de onda dos divisores de frequência, azul-DIV e amarela-DIV-ST para VDD=76 mV.



Fonte: Elaborada pelo Autor (2018).

Nessas medições, pudemos verificar que a lógica utilizando o ST na aplicação proposta alcançou tensões de alimentação inferiores às tensões da lógica convencional. Mesmo não sendo as tensões de alimentação das simulações da seção 4.2, obtivemos um resultado bastante interessante e otimista para aplicações da lógica ST em sistemas ULV.

6 CONCLUSÃO

Neste trabalho, implementamos a lógica utilizando o *Schmitt Trigger* atendendo, assim, à proposta inicial deste projeto.

A partir da pesquisa, verificamos o comportamento da família lógica implementada, por meio de simulações DC, transientes, assim como em situações adversas pela simulação Monte Carlo.

A aplicação proposta do FF-ST no projeto foi interessante, pois pudemos visualizar uma vantagem do ST em tensões de alimentação baixas, sendo a lógica-ST robusta em relação às variações do processo de fabricação, para o qual a lógica convencional não apresenta resultados satisfatórios. Essa robustez do DIV-ST foi validada com a medição, feita no chip fabricado, resultando em uma tensão de alimentação mínima de 76 mV em comparação com 94 mV do divisor de frequência da lógica convencional.

Em [11], temos também circuitos aritméticos implementados com o ST, apresentando um $V_{DDmin} = 62 \text{ mV}$. No entanto, até a conclusão deste trabalho, é desconhecida pelo autor a implementação de circuitos lógicos síncronos funcionando com uma tensão de alimentação tão baixa quanto 76 mV, o que motiva mais o estudo e a pesquisa na utilização da topologia ST na implementação de células lógicas.

Uma possível próxima etapa para o projeto seria implementar um chip teste com todos os elementos da família lógica ST, com diversas combinações de tamanho, e com a lógica CMOS convencional, para comparação e validação do projeto no mundo físico. Apesar de utilizarmos simulações que preveem esses desvios no processo de fabricação, a medição das grandezas no mundo real é essencial para autenticação da biblioteca de células lógicas.

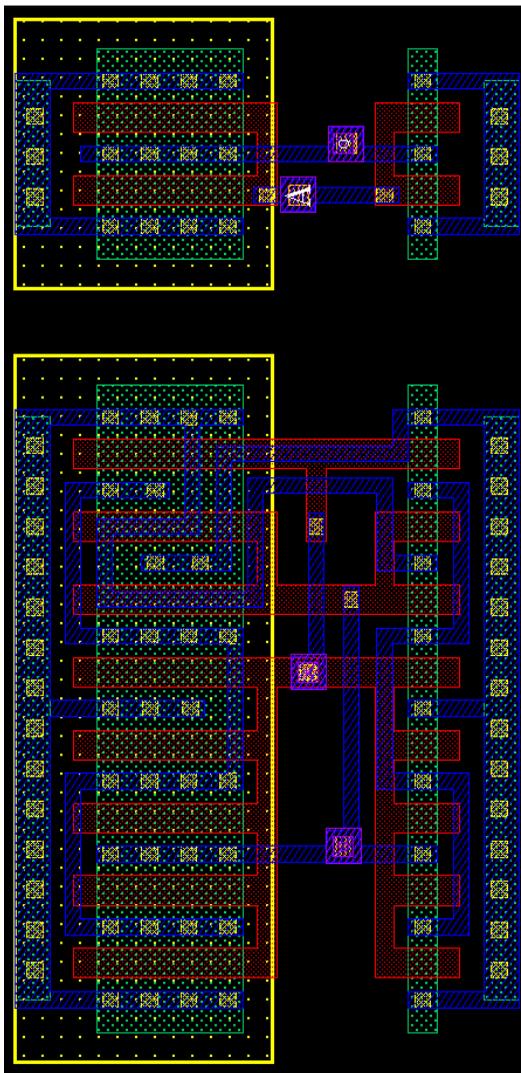
Por fim, pudemos concluir que, apesar de a família lógica ST aumentar o tamanho em silício, o tempo de propagação e também a potência das células lógicas, obtivemos um aumento na robustez em

relação ao processo de fabricação, assim como possíveis tensões de alimentação baixíssimas.

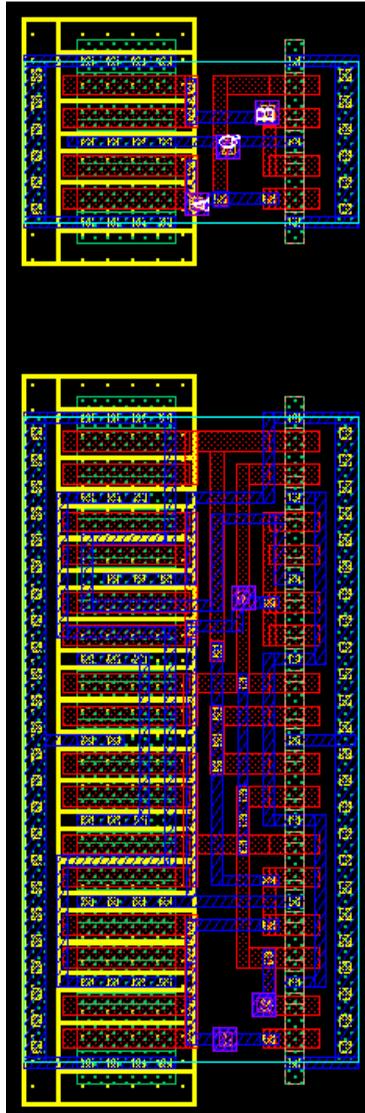
REFERÊNCIAS

- [1] M. Alioto, E. Sánchez-Sinencio and A. Sangiovanni-Vincentelli, "Guest Editorial Special Issue on Circuits and Systems for the Internet of Things—From Sensing to Sensemaking," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, no. 9, pp. 2221-2225, Sept. 2017.
- [2] J. Rabaey, A. Chandrakasan, B. Nikolic, in *Digital Integrated Circuits, A Design Perspective, Second Edition*, Prentice Hall, pp. 303, 2003.
- [3] E. Vittoz and J. Fellrath, "CMOS analog integrated circuits based on weak inversion operations," in *IEEE Journal of Solid-State Circuits*, vol. 12, no. 3, pp. 224-231, Jun 1977.
- [4] J. D. Meindl, J. A. Davis, "The fundamental limit on binary switching energy for terascale integration (TSI)", *IEEE J. Solid-State Circuits*, vol. 35, no. 11, pp. 1515-1516, Oct. 2000.
- [5] L. A. P. Melek, A. L. da Silva, M. C. Schneider, and C. Galup-Montoro "Analysis and Design of the Classical CMOS Schmitt Trigger in Subthreshold Operation," *IEEE Trans. Circuits and Systems.*, vol. 64, no. 4, pp. 869–878, April. 2017.
- [6] A. Steininger, J. Maier, R. Najvirt, "The metastable behavior of a Schmitt-trigger", 22nd IEEE International Symposium on Asynchronous Circuits and Systems, 2016.
- [7] L. A. P. Melek, "Analysis and design of a subthreshold CMOS Schmitt trigger circuit", Tese de Doutorado em Engenharia Elétrica, Florianópolis, Brasil: Universidade Federal de Santa Catarina, julho de 2017.
- [8] R. S. Silva, "Projeto, Fabricação e medição de um chip dedicado à caracterização da tecnologia CMOS 130nm", Dissertação de mestrado em Engenharia Elétrica, Florianópolis, Brasil: Universidade Federal de Santa Catarina, fevereiro de 2018.
- [9] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*. Wiley-IEEE Press, 2 eds., 2004.

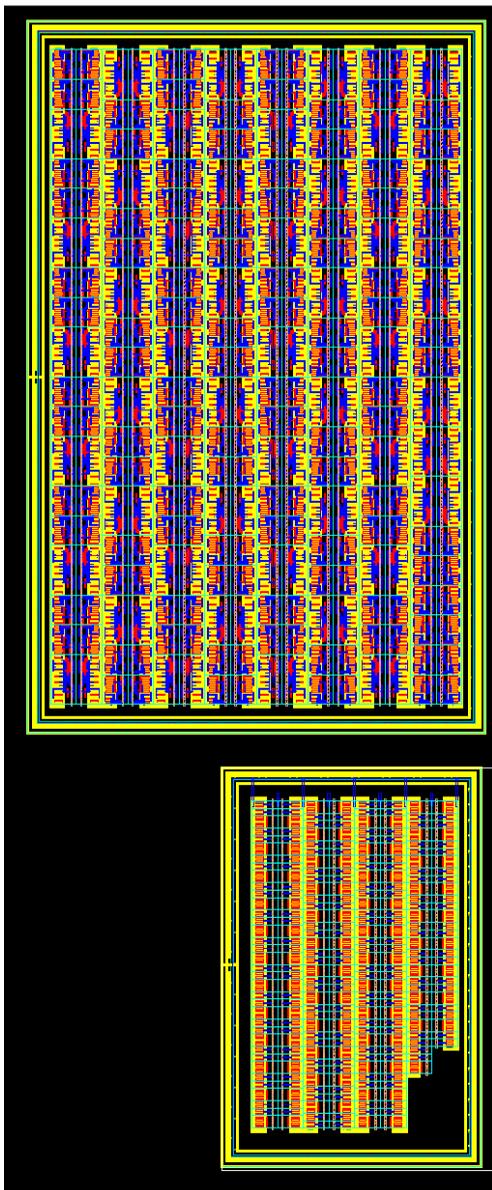
- [10]S. Hanson *et al.*, "Ultralow-voltage, minimum-energy CMOS," in *IBM Journal of Research and Development*, vol. 50, no. 4.5, pp. 469-490, July 2006.
- [11]N. Lotze and Y. Manoli, "A 62 mV 0.13 nm CMOS standard-cell-based design technique using Schmitt-trigger logic",*IEEE J. Solid-State Circuits*, vol. 47, no. 1, pp. 47–60, Jan. 2012.
- [12]Cuche,C.; Piguet,C.; Oklobdzja,V. G. "Design Flow and CAD tools for asynchronous design of sequential library cell," *ACiD*, 2002.
- [13]M. Glorieux, S. Clerc, G. Gasiot, J.-L. Autran, and P. Roche "New D-flip-flop design in 65 nm CMOS for improved SEU and low power overhead at system level," *IEEE Trans. Nuclear Sci.*, vol. 60, no. 6, pp. 4381–4386, Dec. 2013.
- [14]M. Pons, J.-L. Nagel, D. Severac, M. Morgan, D. Sigg, P.-F. Ruedi, and C. Piguet, "Ultra low-power standard cell design using planar bulk cmos in subthreshold operation," in *Power and Timing Modeling, Optimization and Simulation (PATMOS)*, 2013 23rd International Workshop on, pp. 9–15, IEEE, 2013.
- [15]Piguet et al. D-TYPE MASTER-SLAVE FLIP-FLOP. US patent 6,323,710. November 27, 2001.
- [16]L. A. P. Melek, M. C. Schneider, and C. Galup-Montoro "Ultra-low voltage CMOS logic circuits," in *Proc. Argentine Conf. Microelectron., Technol. Appl.*, 2014, pp. 1–7.
- [17]Schneider, M.C; Galup-Montoro, C., "CMOS Analog Design Using All-Region MOSFET Modeling", Cambridge University Press, 2010.

APÊNDICE A – Layouts do inversor-ST e do inversor convencional

APÊNDICE B – Layouts da NAND-ST e da NAND convencional



APÊNDICE C – Layouts do DIV-ST e do DIV convencional



APÊNDICE D – Dimensões dos layouts

Dimensões	INV	INV-ST	NAND	NAND-ST	DIV	DIV-ST
$Y(\mu m)$	5.14	5.14	5.14	5.14	51.83	91.44
$X(\mu m)$	2.74	7.18	3.77	11.21	79.59	142.02
Área(μm^2)	14.08	36.90	19.37	57.61	4125.14	12986.31