

Eduardo Biscolli Brandão

**CONVERSOR DE ENERGIA FOTOVOLTAICA INTEGRADO
EM TECNOLOGIA CMOS 0,6 μ m**

Trabalho de conclusão de curso
submetido ao Programa de graduação
em Engenharia Eletrônica da
Universidade Federal de Santa
Catarina para a obtenção do Grau de
bacharel em Engenharia Eletrônica.

Orientador: Prof. Dr. Carlos Galup
Montoro

Florianópolis
2016

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Brandão, Eduardo Biscolli
CONVERSOR DE ENERGIA FOTOVOLTAICA INTEGRADO EM
TECNOLOGIA CMOS 0,6um / Eduardo Biscolli Brandão ;
orientador, Carlos Galup Montoro - Florianópolis, SC, 2016.
44 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro Tecnológico.
Graduação em Engenharia Eletrônica.

Inclui referências

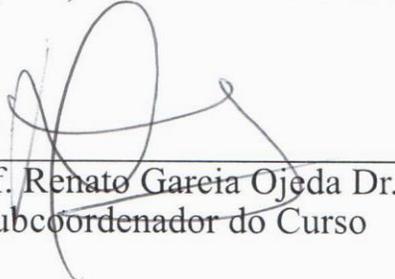
1. Engenharia Eletrônica. 2. Engenharia Eletrônica. 3.
Energy Harvesting. 4. Circuito Integrado. 5. Charge Pump.
I. Galup Montoro, Carlos . II. Universidade Federal de
Santa Catarina. Graduação em Engenharia Eletrônica. III.
Titulo.

Eduardo Biscolli Brandão

**CONVERSOR DE ENERGIA FOTOVOLTAICA INTEGRADO
EM TECNOLOGIA CMOS 0,6 μ m**

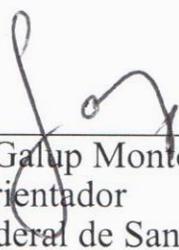
Este Trabalho de Conclusão de Curso foi julgado adequado para obtenção do Título de Bacharel, e aprovado em sua forma final pelo Programa de Graduação em Engenharia Eletrônica.

Florianópolis, 01 de Dezembro de 2016.

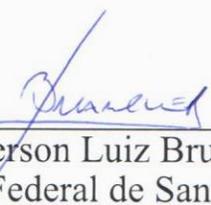


Prof. Renato Gareia Ojeda Dr.
Subcoordenador do Curso

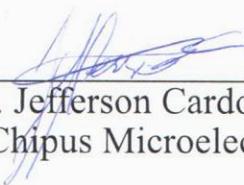
Banca Examinadora:



Prof. Carlos Galup Montoro, Dr.
Orientador
Universidade Federal de Santa Catarina



Prof. Jefferson Luiz Brun, Dr.
Universidade Federal de Santa Catarina



Eng. Jefferson Cardoso Ribeiro
Chipus Microelectronics

Este trabalho é dedicado a minha mãe
Eliza.

AGRADECIMENTOS

Agradeço ao meu orientador, Professor Dr. Carlos Galup Montoro, pela oportunidade e tempo dedicado. Agradeço também ao Professor Dr. Márcio Cherem Schneider e a todos meus colegas de laboratório, em especial Jefferson Cardoso Ribeiro e Andres Fernando Ordoñez Hurtado, pelo apoio e grande colaboração na construção deste trabalho.

RESUMO

As novas tecnologias de circuitos integrados propiciam uma redução no consumo de potência, favorecendo a utilização de dispositivos de captação de energia do meio ambiente. A partir da colheita de energia fotovoltaica este trabalho desenvolve um conversor DC-DC que eleva a tensão captada em células fotovoltaicas até uma tensão de 5V. A tensão final gerada posteriormente polariza transistores MOSFET de um circuito dosímetro integrado no mesmo chip. O conversor desenvolvido neste trabalho é composto por um oscilador em anel, um circuito gerador de duas fases de clock sem sobreposição, buffers e um charge pump que utiliza transistores como interruptores de transferência de carga. A tecnologia utilizada neste trabalho foi a XC06 da XFAB visando a oportunidade de integrar o projeto final devido ao convênio PMUB, com a CEITEC.

Palavras-chave: Colheita de energia. Conversor DC-DC. Metal-Óxido-Semicondutor.

ABSTRACT

The new integrated circuit technologies provide a reduction in power consumption, allowing the use of devices to capture energy from the environment. This work develops a DC-DC converter that raises the voltage collected in photovoltaic cells up to a voltage of 5V. The final voltage generated biases MOSFET transistors of a dosimeter circuit integrated in the same chip. The converter developed in this work consists of a ring oscillator, a non-overlapping two-phase clock circuit, buffers and a charge pump that uses transistors as charge transfer switches. The technology used in this work is XC06 of XFAB aiming at the opportunity to integrate the final project due to the PMUB agreement.

Keywords: Energy harvesting. DC-DC converter. Metal-Oxide-Semiconductor.

LISTA DE FIGURAS

Figura 1: Transistor Modelado Como Interruptor	21
Figura 2: Esquemático Inversor	22
Figura 3: Esquemático e Tabela Verdade Porta NOR	24
Figura 4: Estágio Oscilador em Anel	26
Figura 5: Oscilador em Anel Final com 15 Estágios.....	26
Figura 6: Gerador de Clock sem Sobreposição	27
Figura 7: Buffer do Circuito Gerador de Fases	28
Figura 8: Buffer de Medição	29
Figura 9: Charge Pump de Dickson	30
Figura 10: Charge Pump CTS Estático	31
Figura 11: Charge Pump CTS Dinâmico	32
Figura 12: Charge Pump Otimizado.....	33
Figura 13: Layouts Inversor e NOR.....	35
Figura 14: Layout de cada estágio do Charge Pump.....	35
Figura 15: Layout Final.....	36
Figura 16: Tensão de Saída Final	37
Figura 17: Oscilador em Anel 0,8V	38
Figura 18: Oscilador em Anel 1,2V	38
Figura 19: Oscilador em Anel 1,6V	39
Figura 20: Variação Frequência de Oscilação	39
Figura 21: Fases sem Sobreposição	40
Figura 22: Variação da Temperatura	40
Figura 23: Variação da Carga	41

LISTA DE ABREVIATURAS E SIGLAS

MOS – Metal Oxide Semiconductor

CMOS – Complementary Metal-Oxide-Semiconductor

GND – Terra ou 0V

MOSFET – Metal Oxide Field Effect Transistor

NMOS – Transistor MOS do tipo N

PMOS - Transistor MOS do tipo P

V_{ds} – Tensão entre dreno e fonte

V_{gs} – Tensão entre gate e fonte

V_t – Tensão de limiar

SUMÁRIO

1	INTRODUÇÃO	17
1.1	ENERGIA FOTOVOLTAICA.....	17
2	OBJETIVOS	19
2.1	OBJETIVO GERAL	19
2.2	OBJETIVOS ESPECÍFICOS.....	19
3	PORTAS LÓGICAS CMOS	21
3.1	INVERSOR.....	22
3.2	NOR	23
4	CIRCUITO PROPOSTO	24
4.1	OSCILADOR EM ANEL.....	24
4.2	GERADOR DE CLOCK SEM SOBREPOSIÇÃO	26
4.2.1	Circuito Gerador de Fases.....	26
4.2.2	Buffer de Medição	28
4.3	CHARGE PUMP.....	29
4.3.1	Charge Pump Dickson	29
4.3.2	Charge Pump CTS Estático	31
4.3.3	Charge Pump CTS Dinâmico.....	32
4.3.3	Charge Pump CTS Dinâmico Otimizado.....	33
5	LAYOUTS	35
6	RESULTADOS	37
7	CONCLUSÃO	42
8	REFERÊNCIAS	43

1 INTRODUÇÃO

O avanço da microeletrônica tornou possível desenvolver dispositivos cada vez menores e com um consumo de potência decrescente. O uso de baterias viabilizou a expansão de sistemas eletrônicos portáteis, porém sua taxa de evolução é muito inferior a dos dispositivos semicondutores. As novas tecnologias de circuitos integrados propiciam uma redução no consumo de potência, favorecendo a utilização de dispositivos de captação de energia do meio ambiente.

Atualmente as principais fontes de energia estudadas para circuitos de colheita de energia (energy harvesting) são: fotovoltaica, vibracional, microcélula de combustível, térmica, RF e microbaterias [3]. Devido a eficiência, aplicabilidade e a disponibilidade de implementação, este trabalho foi desenvolvido utilizando como fonte a energia fotovoltaica.

Além de renovável, a energia fotovoltaica é uma fonte de eletricidade limpa, pois o seu funcionamento não tem emissões indesejáveis. Possui também outras vantagens, como a longa vida útil dos seus equipamentos (da ordem dos 30 anos), a sua baixa manutenção e as suas modularidade e portabilidade. [5]

1.1 ENERGIA FOTOVOLTAICA

A maioria das células fotovoltaicas são fabricadas utilizando como material o silício cristalino. As razões para esta escolha estão associadas às características únicas deste material, nomeadamente a sua abundância no planeta (cerca de 30%, no conjunto dos elementos que constituem a crosta terrestre), a sua não-toxicidade, o fato de ser a matéria-prima da indústria eletrônica (e portanto ter sido alvo de uma investigação extraordinariamente detalhada nas últimas décadas) e uma série de vantagens técnicas [5].

Uma junção PN consiste em um cristal, geralmente de silício, composto por regiões de natureza P e N. Essas regiões são obtidas ao se dopar silício puro intencionalmente com impurezas da terceira ou quinta coluna da tabela periódica, tipicamente Boro e Fósforo.

O silício dopado de tipo N possui um número de elétrons livres maior que o de silício puro. O material permanece eletricamente neutro,

já que tanto os átomos de silício como os do material dopante são neutros: mas a rede cristalina tem globalmente uma maior presença de elétrons que numa rede de silício puro. O silício dopado de tipo P tem uma quantidade média de elétrons livres menor que o silício puro. Os elétrons estão unidos à rede cristalina que, em consequência, é eletricamente neutra mas apresenta lacunas, positivas (P). Existe um campo elétrico entre as duas, de N para P. Este campo elétrico faz deste conjunto um diodo [2] [4].

Uma célula fotovoltaica simples consiste basicamente num diodo de grande área, ou seja um substrato de material semicondutor onde é criado um campo elétrico interno permanente (junção PN). Quando este semicondutor é exposto à luz, um fóton de energia arranca um elétron, criando ao mesmo tempo uma lacuna ou buraco no átomo excitado. Este elétron é conduzido pelo campo elétrico interno para os contatos, contribuindo assim para a corrente produzida pela célula fotovoltaica. O princípio de uma célula fotovoltaica é obrigar os elétrons e as lacunas a avançar para o lado oposto do material em lugar de simplesmente recombinar-se nele: assim, é gerada uma diferença de potencial e portanto uma tensão entre as duas partes do material, como ocorre numa pilha [5].

Tensões típicas para uma única célula fotovoltaica apresentam valores até 0,6V [10]. Utilizando esse valor de tensão não é possível que o circuito desenvolvido neste trabalho funcione, devido a tensão de limiar dos transistores PMOS e NMOS utilizados nessa tecnologia ser consideravelmente superior a esse valor (em torno de 0,9V), então para o desenvolvimento do trabalho foi assumido um valor de 1,2V, considerando duas células fotovoltaicas associadas em série. Devido a alta resistência de saída das células de saída, o circuito realizado neste trabalho necessita apresentar um consumo de corrente baixo.

2 OBJETIVOS

2.1 OBJETIVO GERAL

O objetivo geral deste trabalho é implementar um conversor fotovoltaico em um chip de tecnologia CMOS comercial. O circuito será alimentado por uma tensão proveniente da conversão fotovoltaica e deverá ser capaz de gerar um sinal de clock, posteriormente criar dois sinais defasados “non-overlap” através de um circuito gerador de clock sem sobreposição, aumentar a tensão através de um charge pump controlado pelas fases geradas anteriormente e carregar um capacitor de carga.

A tecnologia utilizada no projeto será a XC06 da XFAB (0.60 μ m). Essa escolha foi realizada visando a integração do projeto inteiro, englobando o dosímetro (explicado posteriormente) a ser implementado no mesmo chip que o conversor fotovoltaico tema deste projeto.

A plataforma de trabalho utilizada foi o Virtuoso Platform da Cadence. Esta plataforma possui ferramentas para design de circuito integrados, incluindo entrada de esquemáticos, modelagem comportamental, simulação de circuitos, layout personalizado, verificação física, entre outras.

2.1 OBJETIVOS ESPECÍFICOS

A radioterapia é um dos métodos utilizados para o tratamento de câncer, onde uma dose de radiação ionizante é aplicada na área afetada pelo tumor buscando erradicar as células tumorais, causando o menor dano possível às células saudáveis, que embora afetadas, possuem uma capacidade maior de regeneração.

Quando indivíduos são expostos à uma radiação ionizante é necessária a utilização de dosímetros de uso pessoal, que são responsáveis pela medida da radiação acumulada. Esses dosímetros são denominados *in vivo* e necessitam ter precisão, pois a variação entre a dose prescrita e a aplicada não deve ser maior do que 5%, sendo determinantes para o sucesso do tratamento.[6]

O transistor MOS pode ser utilizado como sensor de radiação e apresenta diversas vantagens, tais como baixo consumo de potência e área muito reduzida.

É importante que o dosímetro evite utilizar fios e baterias, visto que os fios bloqueiam a radiação enquanto as baterias, que contêm metais pesados, espalham a radiação, afetando diretamente a medida da radiação acumulada. Uma boa solução é implementar o dosímetro em um único circuito integrado CMOS passivo que colha a energia da luz ambiente ou de fontes de RF [6].

O objetivo específico deste trabalho é utilizar o circuito desenvolvido neste trabalho para gerar uma tensão de polarização a ser utilizada posteriormente em um circuito dosímetro portátil de baixo consumo desenvolvido com a mesma tecnologia CMOS comercial. O dosímetro vai estar presente no mesmo chip em que será integrado este trabalho, evitando assim o bloqueio ou espalhamento da radiação devido a fios e baterias e consequentemente melhorando a exatidão do dosímetro.

3 PORTAS LÓGICAS CMOS

A tecnologia CMOS (semicondutor de metal-óxido complementar) é a principal tecnologia utilizada na fabricação de circuitos integrados. Esta tecnologia recebe este nome (complementar) devido ao fato de utilizar os dois tipos de transistores MOSFET, o MOSFET canal N e o MOSFET canal P.

Para o desenvolvimento deste trabalho foram utilizados os transistores standard da tecnologia XC06 da XFAB, PMOS4 e NMOS4. O valor absoluto da tensão de limiar de ambos é em média 900mV.

Como os transistores foram utilizados como interruptores, eles operam em duas das três possíveis regiões de operação. Analisando para o caso do NMOS, uma das regiões de operação, é a região de corte, que ocorre quando a tensão na porta (gate) não ultrapassa o valor da tensão de limiar ($V_{gs} < V_t$), o transistor nessa região permanece desligado. A outra região de operação é a região de triodo, que ocorre quando a tensão na porta ultrapassa a tensão de limiar e a tensão entre dreno e fonte é menor que a tensão na porta menos a tensão de limiar, ou seja $V_{ds} < V_{gs} - V_t$. Quando o transistor está na região de triodo, estabelece-se um canal condutor entre fonte e dreno que permite o surgimento de uma corrente elétrica entre estes terminais. Para o transistor PMOS as referências de tensão e corrente são complementares. [2] [4]

A condutividade do canal é modulada pela tensão da porta (gate): quanto maior for a diferença de tensão entre porta e fonte, menor é a resistência do canal e maior é a corrente. O canal desaparece se a tensão entre porta e fonte for inferior a V_t e, nesse caso, o transistor comporta-se como um interruptor aberto.

Modelando o transistor como um interruptor com resistência interna: se $V_{gs} < V_t$, o interruptor está aberto ($I_d = 0$), se não o transistor é simplesmente uma resistência R_{on} . [4]



Figura 1: Transistor modelado como interruptor [4]

3.1 INVERSOR

Composto por um transistor PMOS e um NMOS, o diagrama de um inversor pode ser visto juntamente com transistores MOS modelados como interruptores.

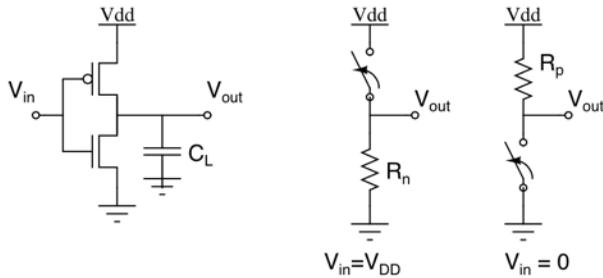


Figura 2: Esquemático Inversor [4]

Para uma tensão de entrada V_{in} , quando V_{in} apresenta o mesmo valor da alimentação do circuito, $V_{in}=V_{DD}$, o transistor NMOS está em condução ($V_{gs} = V_{DD}$) e o transistor PMOS está ao corte ($V_{gs} = 0V$), criando uma ligação direta entre a saída e o terra. Nesta situação, o circuito apresenta um valor estacionário à saída de $0 V$.

Quando V_{in} é uma tensão baixa, ou seja, $0 V$, ocorre a situação inversa: o transistor PMOS está em condução ($V_{gs}= -V_{DD}$) e o transistor NMOS está ao corte ($V_{gs} = 0V$). Como se pode ver no circuito equivalente da figura X, existe então uma ligação direta entre a alimentação positiva e a saída do inversor, o que resulta num valor estacionário à saída igual a V_{DD} . [2] [4]

A resistência de entrada do inversor é muito elevada, já que a porta dos transístores MOS é um isolante quase perfeito. Portanto a corrente em regime estacionário é nula .

Devido a diferença na mobilidade de portadores nos transistores PMOS e NMOS, é necessário ajustar a largura do canal (W) do transistor PMOS para compensar a diferença. Analisando a curva de transferência de tensão do inversor na tecnologia utilizada neste trabalho, foi possível observar que utilizando no transistor PMOS uma relação de 2,5 vezes a largura do canal do NMOS, a curva de inversão de tensão fica mais simétrica.

O atraso de propagação t_p de uma porta digital indica a rapidez com que esta responde a uma mudança nas suas entradas, ou seja, representa o atraso que afeta o sinal quando passa pela porta. O atraso t_p é medido entre o meio da excursão do sinal de entrada e o meio da excursão do sinal de saída.

Supõe-se que o sinal de saída comuta devido à comutação de entrada. O atraso associado a uma comutação $H \rightarrow L$ (high \rightarrow low) na saída designa-se por t_{pHL} ; para uma comutação $L \rightarrow H$ (low \rightarrow high) é t_{pLH} . Em geral, t_{pHL} é diferente de t_{pLH} . O atraso t_p é a média dada por (1). [4]

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} \quad (1)$$

3.2 NOR

A porta lógica NOR (not OR) também foi utilizada neste trabalho. Conforme apresentada na figura 3, apresenta 2 transistores PMOS conectados em série e 2 transistores NMOS conectados em paralelo. A lógica de funcionamento consiste em: para V_a igual a 0V e V_b igual a 0V, V_{out} assume um valor de tensão igual a VDD, Para qualquer outra combinação de V_a e V_b , V_{out} será igual a 0V.

Assim como realizado anteriormente na porta lógica inversora, foi respeitada a proporção de 2,5 vezes da largura de canal do PMOS em relação ao NMOS para compensar a diferença na mobilidade de portadores.

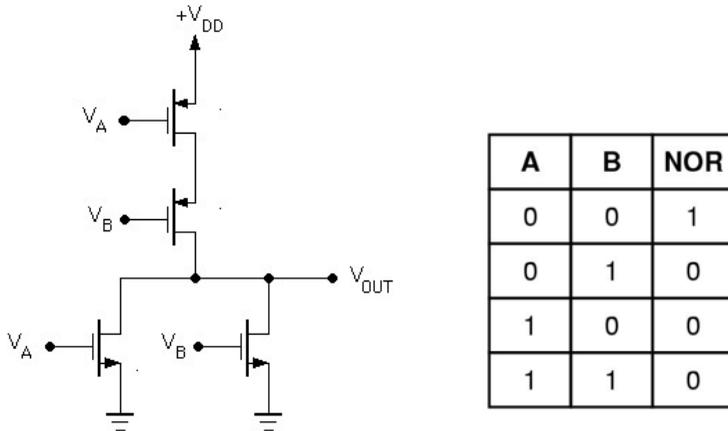


Figura 3: Esquemático e Tabela Verdade Porta NOR

4 CIRCUITO PROPOSTO

4.1 OSCILADOR EM ANEL

Um oscilador em anel é um circuito astável. Um circuito astável é um circuito que não possui um estado estável e sua saída oscila entre dois estados instáveis com um período determinado pela tecnologia, pela topologia e pelos parâmetros utilizados no design e na fabricação do circuito oscilador.

É um dispositivo composto por um número ímpar de portas lógicas inversoras, conectando a saída V_{out} de cada porta na entrada V_{in} da porta subsequente. O período de oscilação T é determinado pelo tempo de propagação através do anel completo de N inversores e considerando o atraso de propagação (t_p) de cada inversor (2). [1] [4]

$$T = 2 \times t_p \times N \quad (2)$$

Na equação o fator 2 surge pois são necessárias duas transições em cada inversor para obter um ciclo completo.

É possível controlar a frequência do oscilador em anel através de vários métodos, sendo os principais: variação da tensão de alimentação, alterar a capacitância de saída dos inversores, mudar a capacidade de corrente dos inversores e variar o número de inversores presentes no oscilador em anel (como é possível observar na equação acima). [1] [4]

Neste trabalho a tensão de alimentação provém de duas fotocélulas associadas em série, totalizando 1,2V, então o ajuste da frequência foi feito através do número de inversores e da capacitância de saída dos inversores.

Quanto menor a frequência de oscilação do oscilador, menor o consumo do circuito total, porém maior o tempo necessário para o charge pump final estabilizar na tensão final.

Aumentando o tamanho do comprimento do canal (L) dos transistores utilizados de $0,6\mu\text{m}$ para $10\mu\text{m}$ ocorre uma redução significativa na capacidade de corrente dos inversores, reduzindo muito a frequência de oscilação do oscilador. É um impacto linear que pode ser observado na aproximação da corrente dreno fonte (source) dos transistores (3), K_n' é a transcondutância do processo e W a largura do canal. [1] [4]

$$I_{DS} \approx \frac{W}{L} K_n' (V_{gs} - V_t) V_d \quad (3)$$

Foi observado que a partir de 15 inversores no oscilador em anel, com comprimento de canal de $10\mu\text{m}$, o impacto da adição de novos inversores para reduzir a frequência e conseqüentemente reduzir a média no consumo de corrente não é mais significativo, isso devido ao consumo dos novos inversores.

Então, foram utilizados 15 inversores no oscilador em anel, com transistores de comprimento de canal iguais a $10\mu\text{m}$ e largura de canal de $2\mu\text{m}$ para os PMOS e $0,8\mu\text{m}$ para os NMOS (proporção de 2,5 vezes), ou seja, 15 estágios iguais ao da figura 4 conectados em anel.

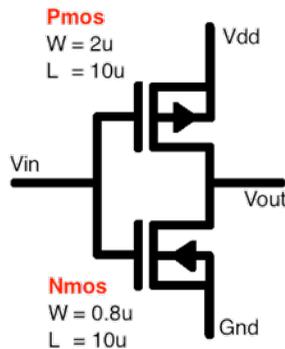


Figura 4: Estágio Oscilador em Anel

A frequência de oscilação ficou próxima de 100KHz. Com essa frequência os capacitores utilizados posteriormente (no charge pump) podem ser integrados e apresentam tamanho relativamente pequeno em comparação com o resto do circuito.

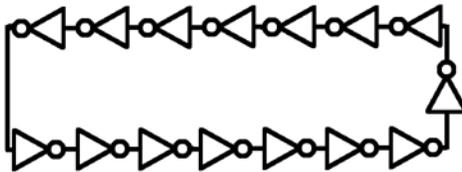


Figura 5: Oscilador em Anel Final com 15 Estágios

4.2 GERADOR DE CLOCK SEM SOBREPOSIÇÃO

4.2.1 Circuito Gerador de Fases

Buscando gerar dois sinais de clock não sobrepostos (non-overlap) foi utilizado um gerador de sinal de clock com 2 fases sem sobreposição. Utilizando o sinal gerado no oscilador em anel direto nos capacitores do charge pump, o oscilador em anel para de oscilar. Com este gerador é possível gerar duas fases de mesmo período sem

sobreposição e extremamente próximas uma da outra, ou seja, metade dos capacitores do charge pump estão sempre recebendo carga.

Este circuito evita que durante a comutação das fases no charge pump posterior ocorra um curto circuito entre Vdd e Gnd.

O gerador utilizado está representado na figura 6 e é composto por duas lógicas NOR (A), cinco inversores (B) e dois circuitos buffers internos (C), que permitem o carregamento rápido dos capacitores. [1] [4]

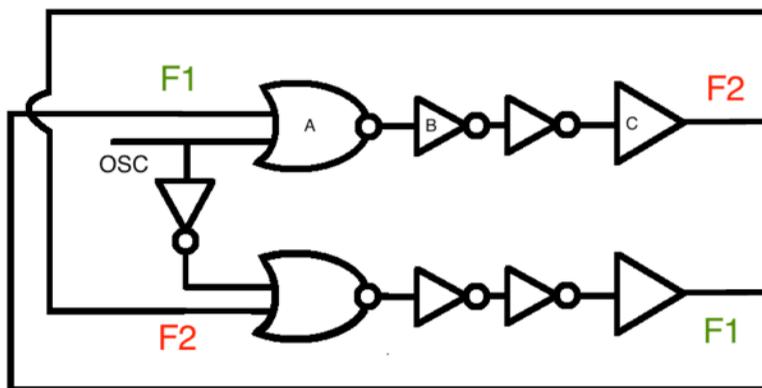


Figura 6: Gerador de Clock sem Sobreposição

Os transistores utilizados para compor as portas lógicas inversoras e NOR apresentam comprimento de canal (L) igual a $0,6\mu\text{m}$, a largura de canal (W) é igual a $5\mu\text{m}$ para os PMOS e $2\mu\text{m}$ para os NMOS, como citado anteriormente, obedecendo uma razão de 2,5 vezes para compensar a diferença na mobilidade de portadores.

O sinal do oscilador em anel é ligado diretamente em uma entrada da primeira porta NOR e invertido por um inversor antes de ser ligado na segunda porta NOR. Devido a isso e a lógica de funcionamento da NOR, os sinais nunca estarão sobrepostos.

O circuito buffer (C) é composto por dois estágios. No primeiro estágio possui dois inversores em paralelo, no segundo 4 inversores em paralelo, como mostrado na figura 7. Este circuito foi projetado desta maneira para conseguir carregar rapidamente os capacitores do charge pump, mas com um baixo consumo de corrente e sem atenuar o sinal de

cada fase gerada. Sem esse circuito o sinal seria atenuado, não carregando os capacitores do circuito posterior.

Utilizando o circuito buffer com dois estágios mais os dois inversores posteriores a porta NOR como apresentado na figura 6, os sinais F1 e F2 gerados se mantêm estáveis até o sinal do oscilador variar novamente. Caso um novo inversor fosse adicionado entre o buffer e a NOR ou um novo estágio de inversores fosse adicionado ao buffer, os sinais F1 e F2 não permaneceriam estáveis.

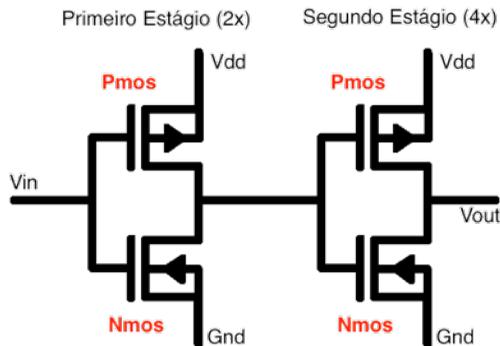


Figura 7: Buffer do Circuito Gerador de Fases

4.2.1 Buffer de Medição

Para medição, foram realizados mais dois circuitos buffers externos maiores, que permitem medir com ponteiros utilizadas em osciloscópios as fases geradas no gerador de clock sem sobreposição, ou seja, a entrada do circuito buffer externo capta o sinal presente na saída do circuito buffer interno. Esses circuitos buffers externos recebem alimentação separada do resto do circuito, pois não são necessários para o bom funcionamento do projeto, somente necessários no momento da medição.

Os circuitos buffers externos de medição são compostos por inversores com transistores com o mesmo tamanho dos utilizados no circuito gerador de clock sem sobreposição. Cada circuito buffer externo apresenta 30 inversores divididos em 4 estágios. O primeiro estágio é composto por 2 inversores em paralelo, o segundo por 4 inversores em paralelo, o terceiro por 8 inversores em paralelo e o quarto estágio por

16 inversores em paralelo. É possível na figura 8 observar essa proporção.

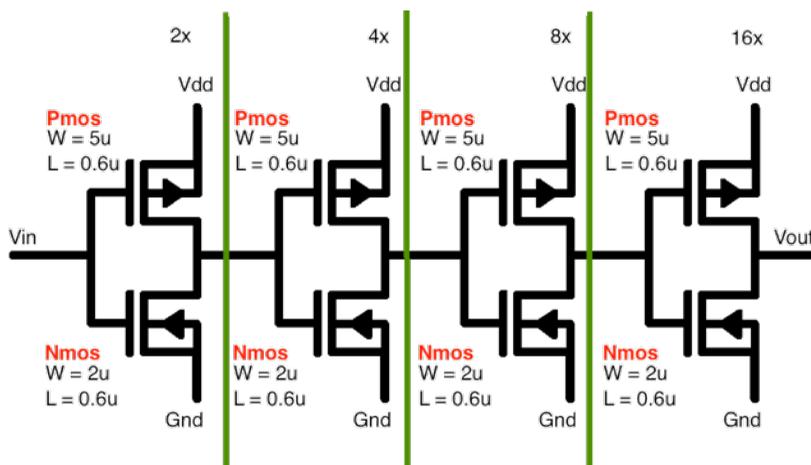


Figura 8: Buffer de Medição

4.3 CHARGE PUMP

Circuitos charge pump são circuitos capazes de carregar carga, de maneira a produzir tensões mais altas que a tensão de alimentação. Usados em memórias não voláteis, como EEPROM e memória Flash. Podem ser usados também para baixar a tensão desejada. [7] [8] [9]

4.3.1 Charge Pump de Dickson

Muitos circuitos charge pump MOS são baseados no circuito proposto por Dickson. Neste charge pump os transistores são curto circuitados de maneira a funcionarem como diodos, assim a carga avança em somente uma direção. Dois sinais de clock defasados são conectados aos capacitores de cada estágio, cada sinal de clock apresenta uma tensão $V\phi$, que usualmente é igual a V_{dd} .

A tensão de flutuação a cada estágio de carga ΔV , negligenciando as condições das bordas, pode ser expressada como em (4).

$$\Delta V = V_{\phi} \cdot \frac{C}{C + C_s} - \frac{I_o}{f \cdot (C + C_s)} \quad (4)$$

Com C igual a capacitância de cada estágio, C_s a capacitância parasita associada e f a frequência de oscilação dos clocks. I_o é a corrente de saída do circuito fornecida para a carga.

Na figura 9 é possível observar um exemplo do circuito charge pump Dickson. Também está representada a variação da tensão em cada estágio do charge pump. Para que esse charge pump funcione, é necessário que a variação ΔV seja maior que a tensão de limiar V_t de cada transistor ligado como diodo.

O ganho de carregamento do charge pump pode ser expresso como a diferença de tensão entre os nós de cada estágio. Ou seja, no segundo estágio por exemplo temos o ganho ideal dado em (5). Onde $V_{tn}(V_2)$ é a tensão de limiar do transistor MD2.

$$G_{V2} = V_2 - V_1 = \Delta V - V_{tn}(V_2) \quad (5)$$

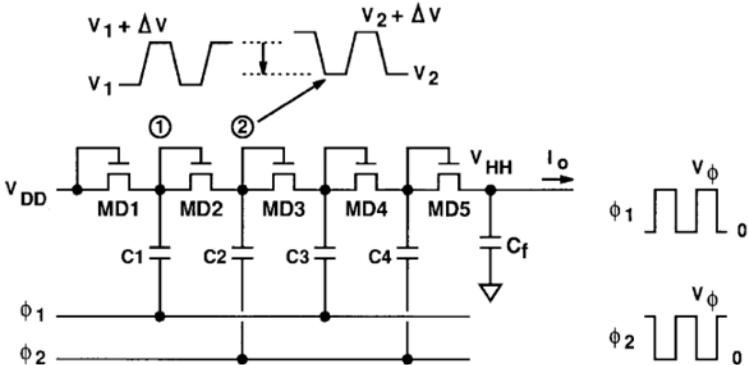


Figura 9: Charge Pump Dickson [7]

Este charge pump não é muito eficiente, visto que normalmente ΔV não é muito maior que a tensão de limiar. É possível resolver este

problema utilizando interruptores de transferência de carga (Charge Transfer Switch, CTS). [7] [8] [9]

4.3.2 Charge Pump CTS Estático

Ao invés de utilizar diodos para direcionar o fluxo das cargas, circuitos do tipo charge pump CTS estático utilizam transistores como interruptores de transferência de carga. O circuito está representado na figura 10.

Neste charge pump existem transistores (MD1-MD4) conectados como diodos, que controlam a corrente reversa e as condições iniciais, porém não estão envolvidos no carregamento da tensão. Para realizar o carregamento da tensão são utilizados os transistores MS1-MS4 que são ligados e desligados pelos designados sinais de clock (fases). Com esta mudança, não existe mais a perda de tensão em cada estágio devido a tensão de limiar dos diodos.

Cada estágio apresenta um ganho de tensão ideal igual a ΔV . Assim este circuito apresenta um ganho de tensão melhor que o charge pump Dickson apresentado anteriormente, pois não possui a queda de tensão V_t em cada estágio.

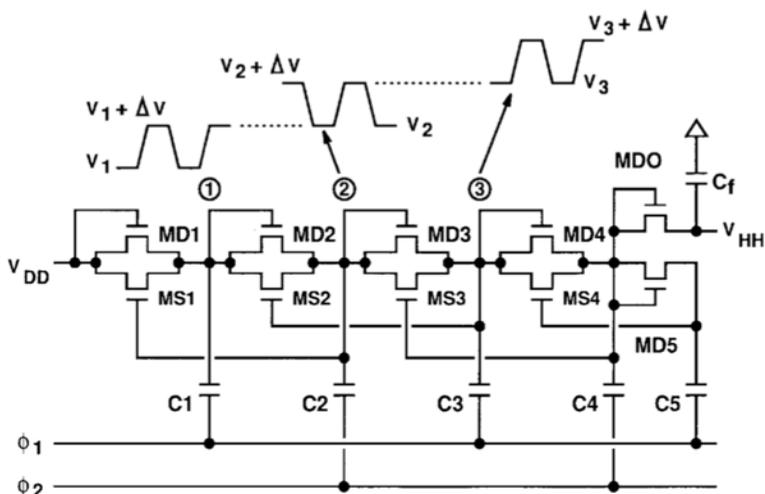


Figura 10: Charge Pump CTS Estático [7]

Porém uma corrente reversa ocorre em algumas situações, como por exemplo quando ϕ_1 está em 0V e ϕ_2 em $V\phi$. Neste caso a tensão no nó 1 é V_1 e no nó 2 é V_3 , assim como no nó 3. Para operação ideal MS2 deveria estar desligado, então a tensão V_{gs} de MS2, que é $2\Delta V$, deve ser menor que a tensão de limiar alterada pela tensão de fonte em V_1 . Mas MS2 não é completamente desligado, podendo ocorrer uma carga reversa entre os nós 2 e 1. Esta corrente reversa faz com que o ganho de tensão seja efetivamente menor que ΔV calculado anteriormente. Assim, é possível notar que o ganho máximo entra os nós 1 e 3 é determinado pela tensão de limiar de MS2 (5). [7] [8] [9]

$$\text{Max}(G_{V_2} + G_{V_3}) = \text{Max}(V_3 - V_1) = V_{tn}(V_1). \quad (6)$$

4.3.3 Charge Pump CTS Dinâmico

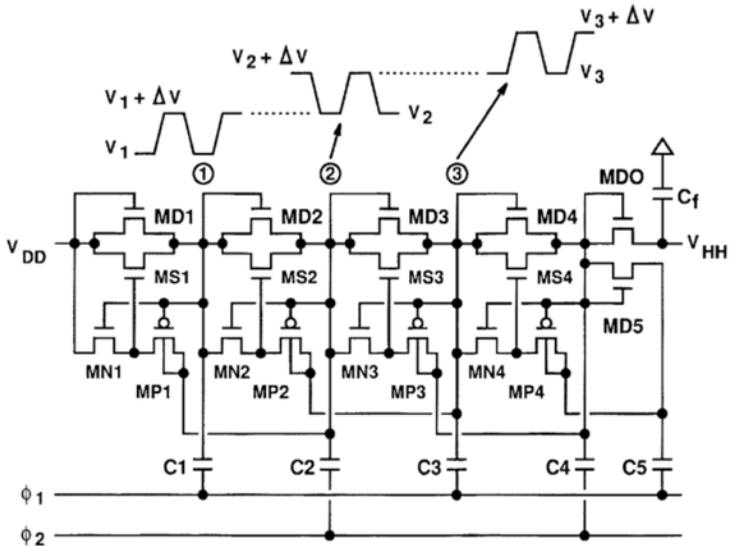


Figura 11: Charge Pump CTS Dinâmico [7]

Eliminando o efeito de carga reversa citado no modelo de charge pump CTS estático, uma melhor eficiência de elevação de tensão pode ser obtida. Na figura 11 é possível ver um exemplo de um circuito charge pump CTS Dinâmico. Adicionando transistores NMOS e PMOS ligados como um inversor, o transistor que realiza o chaveamento pode ser desligado e ligado facilmente, eliminando grande parte do efeito constatado anteriormente. O valor para o de ganho de tensão ideal em um único estágio é ainda igual a ΔV .

Quando ϕ_1 está em 0V e ϕ_2 em $V\phi$, situação em que a corrente inversa surgia anteriormente, a tensão no nó 1 é V_1 enquanto no nó 2 e 3 é $2\Delta V$ acima, então MN2 é ligado e MS2 é desligado completamente. [7] [8] [9]

4.3.3 Charge Pump CTS Dinâmico Otimizado

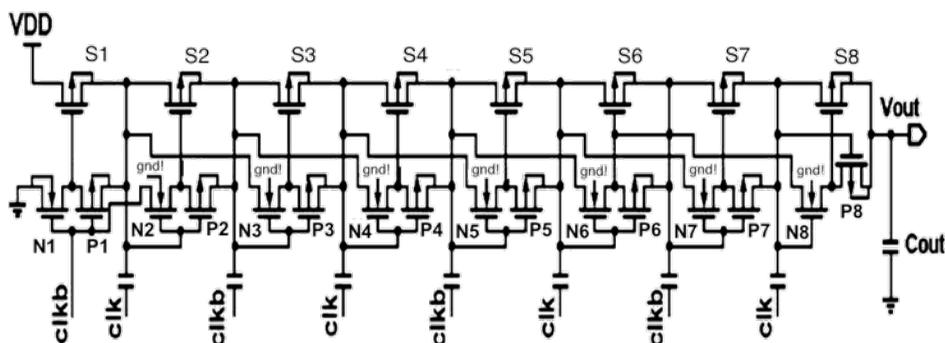


Figura 12: Charge Pump Otimizado

O circuito charge pump implementado neste trabalho corresponde ao mostrado na figura 12. Este circuito consiste em um charge pump CTS dinâmico com 7 estágios. Os sinais de clock conectados nos capacitores deste circuito foram gerados pelo gerador de clock sem sobreposição analisado anteriormente.

O circuito apresenta ganho de tensão ideal igual a ΔV em cada estágio. Neste circuito os transistores utilizados como chave são PMOS e o controle estático (diodos) foram removidos. Esse circuito foi

escolhido pois empiricamente apresentou melhor eficiência e ganho de tensão mais próximo do ideal em comparação aos outros circuitos charge pump testados. O número de estágios foi definido visando a tensão final desejada de 5V. Devido a limitação da tecnologia utilizada, os substratos dos transistores NMOS foram conectados ao terra ao invés de se conectarem ao source do transistor NMOS. [8] [9]

Os capacitores utilizados em cada estágio apresentam um valor de 500fF. A capacitância parasita é da ordem de 50fF. Aplicando na equação 4, é possível calcular o ΔV ideal que apresenta um valor de 0.982V. Io foi medido utilizando um capacitor de 16pF como carga e apresentou um valor médio de 5nA

5 LAYOUTS

Os layouts dos blocos básicos desse trabalho mostrados nas figuras 13 e 14 foram desenvolvidos de maneira modular, facilitando o escalonamento do circuito final.

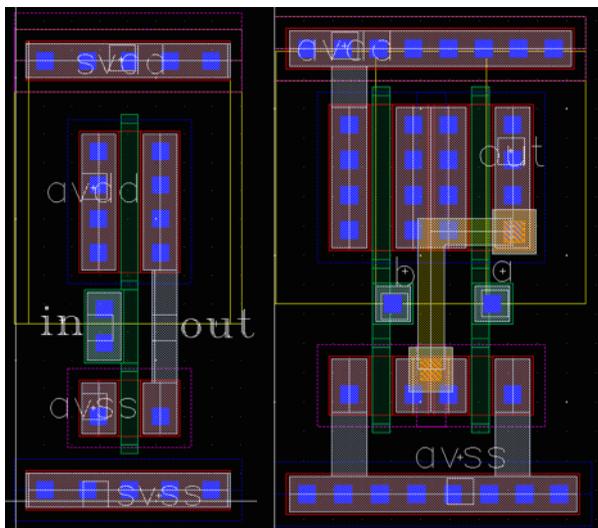


Figura 13: Layouts Inversor e NOR

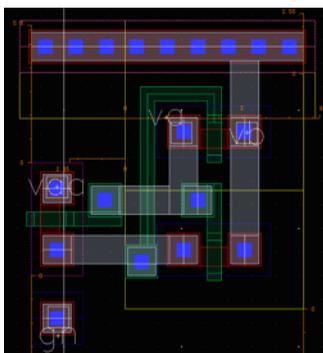


Figura 14: Layout de cada estágio do Charge Pump

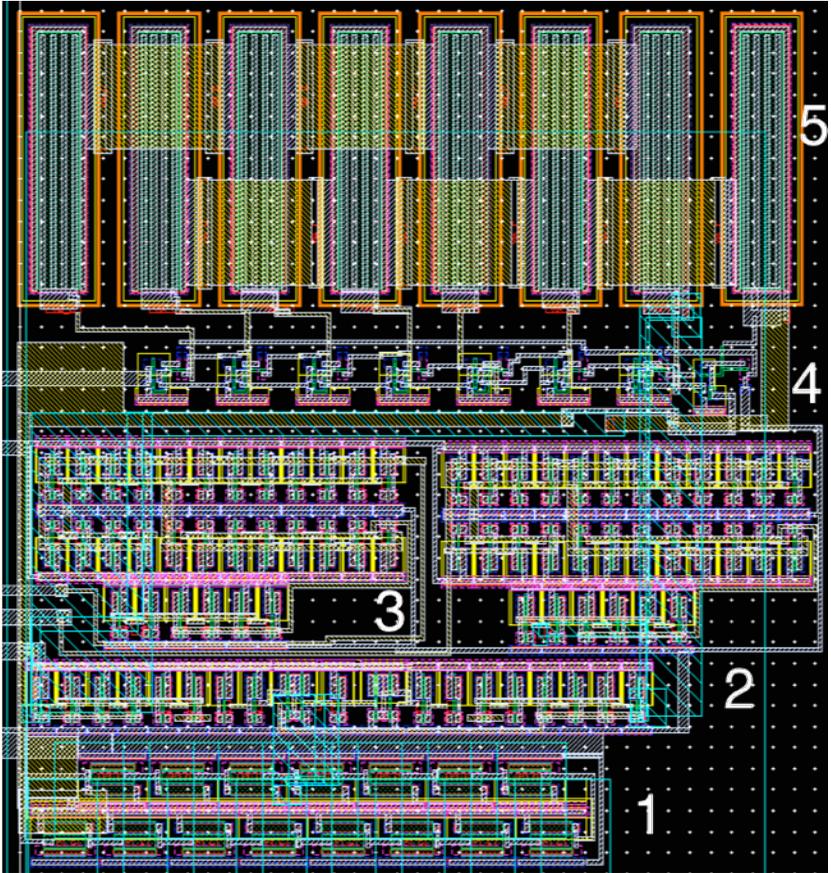


Figura 15: Layout Final

Na figura 15 é possível ver o layout completo deste trabalho, sendo a horizontal 1 o oscilador em anel, a horizontal 2 o gerador de clock sem sobreposição, a horizontal 3 os buffers de medição externa, a horizontal 4 o circuito charge pump e a horizontal 5 os capacitores das fases. O circuito final tem $195\mu\text{m} \times 205\mu\text{m}$.

6 RESULTADOS

Utilizando como carga um capacitor de 16pF (valor igual a capacitância de uma ponteira de osciloscópio), foi obtido uma tensão de saída de 5,25V, que pode ser observada na figura 16. A corrente total consumida pelo circuito é de 355,6nA.

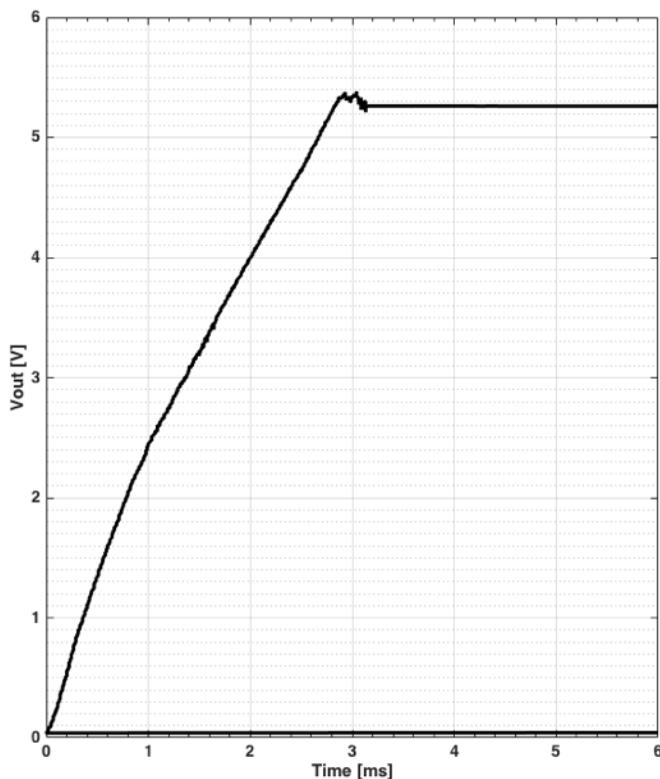


Figura 16: Tensão de Saída Final

Variando a tensão de alimentação do oscilador em anel utilizado foram geradas as figuras 17, 18 e 19, que correspondem respectivamente a tensões de alimentação de 0,8V; 1,2V e 1,6V. Além da variação da tensão de saída, é possível observar o impacto na variação da frequência de oscilação, neste caso alterando a frequência em uma ordem de 1000 vezes, como é possível observar na figura 20.

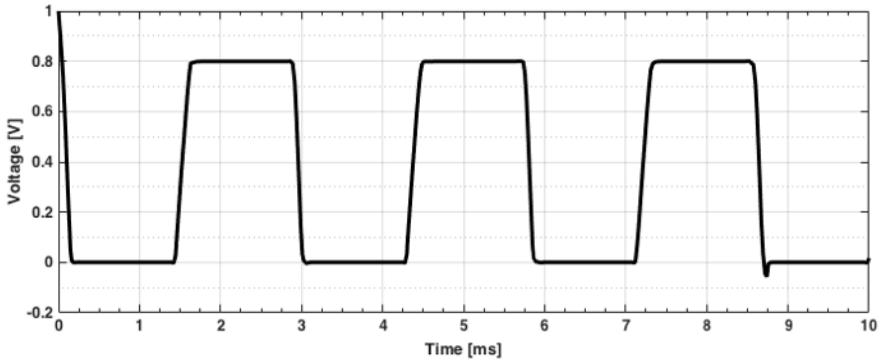


Figura 17: Oscilador em Anel 0,8V

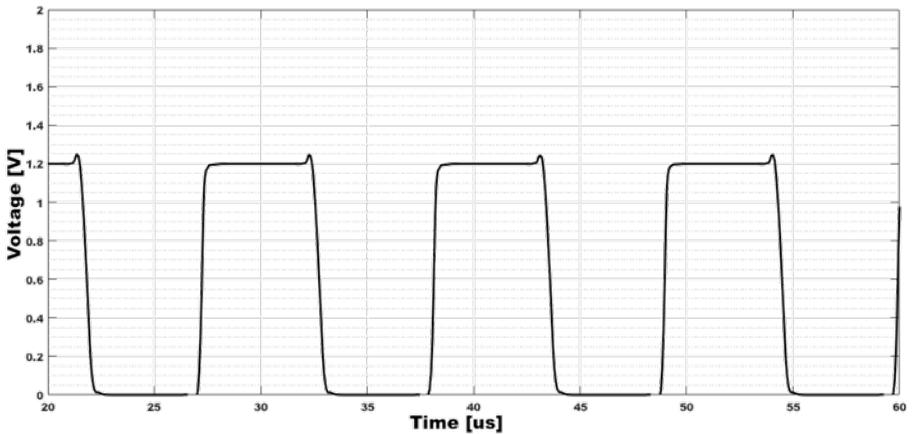


Figura 18: Oscilador em Anel 1,2V

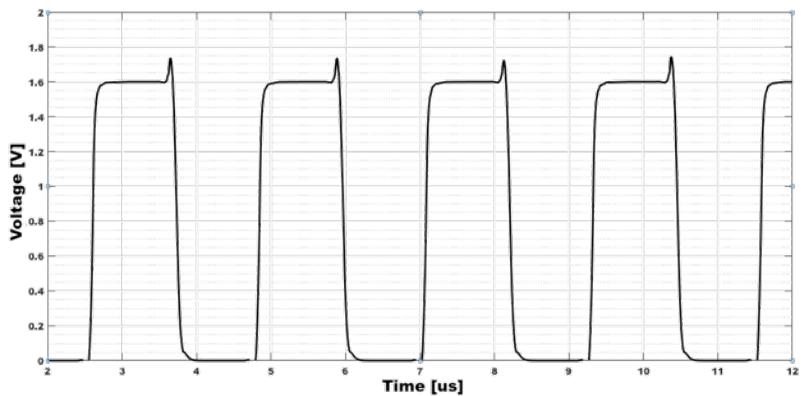


Figura 19: Oscilador em Anel 1,6V

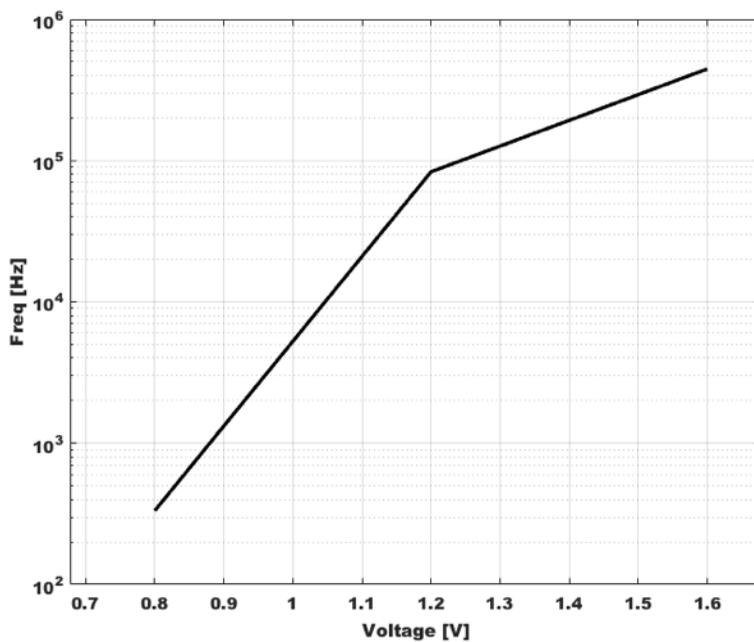


Figura 20: Variação Frequência de Oscilação

Na Figura 21 é possível constatar a não sobreposição das fases geradas no circuito da Figura 6.

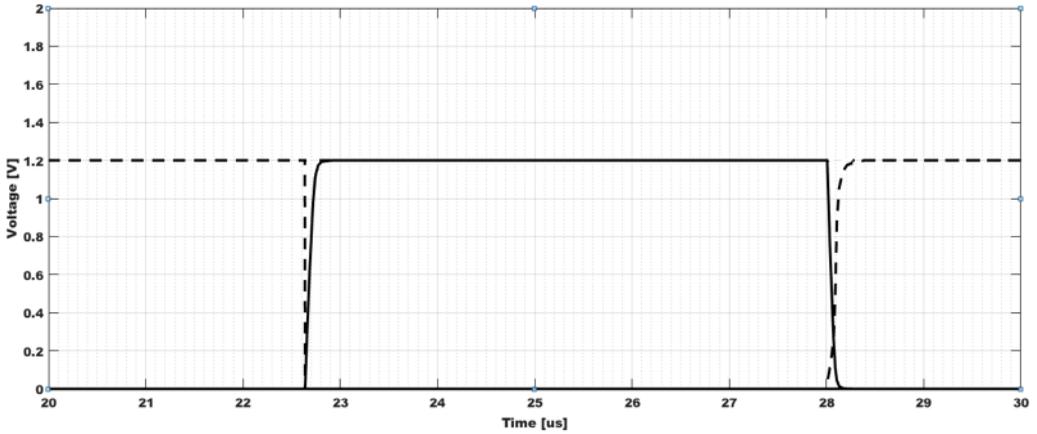


Figura 21: Fases sem Sobreposição

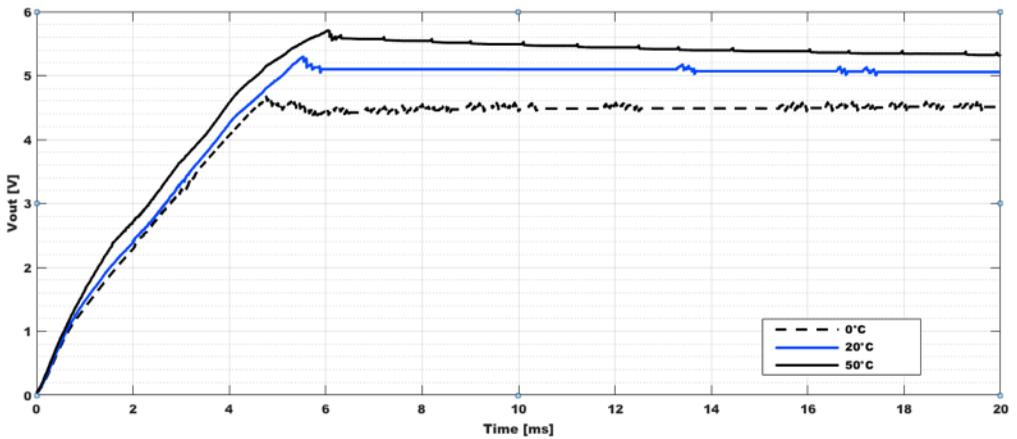


Figura 22: Variação da Temperatura

Variando a temperatura foi possível gerar o resultado em tensão mostrado na Figura 22. As curvas mostradas são resultado em ordem crescente da variação para 0, 20 e 50 graus Celsius, sendo a curva inferior 0 graus.

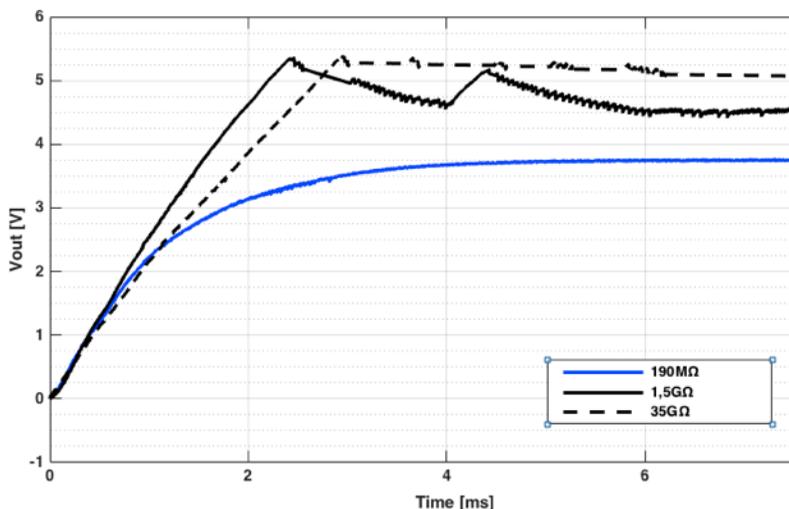


Figura 23: Variação da Carga

Adicionando uma carga resistiva no lugar da capacitância de 16pF, é possível constatar que o circuito não consegue fornecer grandes quantias de corrente. Na Figura 23 são mostradas em ordem decrescente as curvas para cargas resistivas com valores iguais a 35GΩ; 1,5GΩ e 190MΩ sendo 35GΩ a curva superior.

Cada estágio do Charge Pump apresenta idealmente segundo (4) um valor de 0,982V, o valor real medido de ganho em cada estágio foi 0,74V. Essa diferença acontece devido a perdas, sendo a principal devido a corrente reversa, que já é minimizada nessa topologia.

7 CONCLUSÃO

Os resultados apresentados nesse trabalho atendem o objetivo inicial proposto, pois a intenção é utilizar posteriormente a tensão final gerada no charge pump para a polarização de MOSFETs, ou seja, cargas basicamente capacitivas, e para cargas capacitivas o circuito funcionou bem.

Um próximo passo possível para este trabalho é caracterizar os fotodiodos integrados, avaliando sua resposta em tensão e corrente para uma luminosidade de lâmpadas comerciais utilizadas em ambientes fechados. Com estes dados será possível dimensionar melhor o número de estágios a serem utilizados no charge pump a ser implementado e também futuramente integrar este trabalho e fotodiodos em um único chip que, pensando na aplicação no circuito dosímetro posterior, minimizaria o bloqueio de radiação ocasionado pelos cabos no momento da radiação.

8 REFERÊNCIAS

- [1] CILINGIROGLU, Uğur; TAR, Bora; ÖZMEN, Çağatay. **“On-Chip Photovoltaic Energy Conversion in Bulk-CMOS for Indoor Applications”**, IEEE Regular Papers, vol. 61, n. 8, Agosto 2014
- [2] CHEREM SCHNEIDER, Márcio; GALUP-MONTORO, Carlos, **“CMOS Analog Design Using All-Region MOSFET Modeling”**, 1st edition, Cambridge University Press, 2010, ISBN 978- 0521110365.
- [3] CARDOSO, Adilson Jair, Tese de Doutorado **“Modelagem e Projeto de Conversores AC/DC de Ultrabaixa Tensão de Operação”**, Universidade Federal de Santa Catarina, 2012.
- [4] FERREIRA, João Canas, professor, **“Circuitos CMOS: Um resumo”** Faculdade de Engenharia da Universidade de Porto, Junho 2004. Acessado em Nov/2016, <<http://paginas.fe.up.pt/~jcf/ensino/disciplinas/mieec/pcvlsi/2007-08a/sumario.pdf>>
- [5] BRITO, Miguel C., SILVA José A. **“Energia fotovoltaica: conversão de energia solar em electricidade”** Faculdade de Ciências da Universidade de Lisboa. Acesso em Nov. 2016 <<http://solar.fc.ul.pt/i1.pdf>>
- [6] RIBEIRO, Jefferson Cardoso, Trabalho de Conclusão de Curso **“Circuito de Leitura de um Dosímetro de Radiação Ionizante”**, Universidade Federal de Santa Catarina, 2015
- [7] WU, Jieh-Tsorng, Member, IEEE; CHAG Kuen-Long , **“MOS Charge Pumps for Low-Voltage Operation”**, IEEE Journal of Solid-State Circuits, Vol. 33, n. 4, Abril 1998
- [8] SINHA, Sunny, **“CMOS startup charge pump with body bias and backward control using 45 nm technology”**, International Journal of Advanced Research Trends in Engineering and Technology, vol. 2, march 2015

[9] KUMAR, B. Praveen; G. RAJARAJESHWARI; INFANCIA, J. Anu, **“Design and Analysis of Low Power Charge Pump Circuit For Phase-Locked Loop”**, ECE, SNS College of Technology, Coimbatore, (India), International Journal of Advanced Technology in Engineering and Science, Vol. 03, Special Issue No. 01, March 2015

[10] BREMNER, S., **“Photovoltaic Modules, Solar Electric Systems”**, University of Delaware ELEG620, 2009. Disponível em: <http://www.solar.udel.edu/ELEG620/13_PV_modules.pdf> . Acesso em Nov. 2016

[11] UNIVERSIDADE FEDERAL DE SANTA CATARINA. Biblioteca Universitaria. **Trabalho acadêmico**: guia fácil para diagramação: formato A5. Florianópolis, 2009. Disponível em: <<http://www.bu.ufsc.br/design/GuiaRapido2012.pdf>>. Acesso em: Nov. 2016