

Lucas Goulart De Carli

**MODELAGEM E PROJETO DE RETIFICADORES DE
MÚLTIPLOS ESTÁGIOS PARA ULTRABAIXA TENSÃO DE
OPERAÇÃO**

Monografia apresentada como requisito para obtenção do grau de Engenheiro Eletricista, submetida ao departamento de Engenharia Elétrica, pertencente ao Centro Tecnológico da Universidade Federal de Santa Catarina.
Orientador: Prof. Dr. Márcio Cherem Schneider

Florianópolis
2013

Lucas Goulart De Carli

**MODELAGEM E PROJETO DE RETIFICADORES DE
MÚLTIPLOS ESTÁGIOS PARA ULTRABAIXA TENSÃO**

Esta monografia foi julgada no contexto da disciplina **EEL 7890 – Projeto Final** e aprovada na sua forma final pelo **Curso de Engenharia Elétrica**.

Florianópolis, 07 de fevereiro de 2013.

Prof. Renato Lucas Pacheco, Dr.
Coordenador do Curso

Banca Examinadora:

Prof. Márcio Cherem Schneider, Dr.
Orientador

Prof. Carlos Galup Montoro, Ph.D.
Participante da banca examinadora

Prof. Adilson Jair Cardoso, Dr.
Participante da banca examinadora

Paulo Augusto Dal Fabbro, Dr.
Participante da banca examinadora

DEDICATÓRIA

Dedico esta monografia a minha família pelo
apoio incondicional demonstrado

Aos amigos pelo convívio em momentos
difíceis e divertidos

Aos professores por nortear meu caminho

A todos que não desistem de seus ideais, seguindo
sempre em frente em meio às diversidades

AGRADECIMENTOS

Agradeço primeiramente ao professor Márcio Cherem Schneider por toda orientação e extraordinária dedicação para realização desta monografia. Foram muitos debates teóricos que contribuíram não só para a conclusão desta monografia, mas também para minha formação acadêmica e pessoal. Além disso, agradeço por todas as atividades realizadas fora do ambiente acadêmico, na qual me senti adotado como um filho, obtendo assim grande carinho por sua pessoa.

Agradeço ao Adilson Cardoso pela amizade e convívio ao longo de quase dois anos de trabalho em conjunto. Esta monografia é fruto de seu doutorado, e, portanto, não existiria sem o mesmo.

Gostaria também de agradecer aos professores Carlos Galup Montoro e Fernando Rangel de Souza pelas aulas que serviram de base para o desenvolvimento deste trabalho e também ao Paulo Augusto Dal Fabbro por aceitar participar da banca de defesa.

Agradeço a todos os amigos e colegas de laboratório por todo suporte e ajuda fornecidos para minhas tantas dúvidas. Entretanto, agradeço especialmente ao André da Silva Orlandi por seu grande apoio no início de minhas atividades, ao Paulo Marcio Moreira e Silva pela essencial ajuda nas medidas do circuito integrado fabricado, ao Henrique Hayasaka por todo auxílio computacional, ao Marcio Bender Machado pela disponibilidade e bom humor sempre presentes e à secretária Nazide Martins pela dedicação nos serviços prestados ao laboratório.

Finalmente, agradeço ao CNPQ pela bolsa de iniciação científica e ao programa MOSIS pela fabricação gratuita do circuito integrado.

RESUMO

Esta monografia apresenta o projeto, simulação e resultados experimentais de um conversor AC / DC integrado. O conversor é composto de múltiplos estágios de circuitos rectificadores, cada um deles constituído por um capacitor e um diodo (ou transistor ligado como diodo). A fim de melhorar a eficiência da conversão AC / DC incluímos uma rede de adaptação de impedâncias antes do conversor AC / DC. Um modelo analítico do conversor foi derivado para ambos os casos de com e sem rede de adaptação de impedância. Com base no modelo desenvolvido, foi utilizado um conjunto de gráficos para obter os parâmetros de projeto, ou seja, a corrente de saturação dos diodos, o número de estágios e a rede de casamento de impedâncias. O circuito foi integrado através de MOSIS em tecnologia CMOS 130nm da IBM (8RF-MS). As especificações nominais do conversor, tensão CC de 1 V e potência de saída de 1 μ W, foram experimentalmente satisfeitas para uma potência disponível de cerca de 10 μ W (-20 dBm) de um sinal de RF a 900 MHz.

Palavras-chave: conversor AC/DC, retificador, baixa tensão, *energy harvesting*.

ABSTRACT

This monograph presents the design, simulation, and experimental results of an integrated AC/DC converter. The converter is composed of multiple stages of rectifier circuits, each one consisting of a capacitor and a diode (or transistor connected as diode). In order to improve the efficiency of the AC/DC conversion we have included an impedance matching network before the AC/DC converter. An analytical model of the converter has been derived for both cases of with and without the impedance matching network. Based on the analytical model developed, we employed a set of graphs to obtain the design parameters, namely, the diode saturation current, the number of stages, and the impedance matching network. The circuit was integrated through MOSIS in a 130nm CMOS technology from IBM (8RF-DM). The nominal specifications of the converter, a DC voltage of 1 V and an output power of 1 μ W, were experimentally met for an available power of about 10 μ W (-20 dBm) of an RF signal at 900 MHz.

Keywords: *AC/DC converter, rectifier, low voltage, energy harvesting*

LISTA DE FIGURAS

Figura 1 – Etiqueta/tag RFID.....	28
Figura 2 – Conversor AC/DC.....	28
Figura 3 - Circuito dobrador de tensão alimentando uma carga representada pela fonte de corrente I_L	29
Figura 4 - Circuito retificador de tensão alimentando um circuito de consumo de corrente igual a I_L	31
Figura 5 - Curva I-V do diodo <i>Shockley</i> para $I_S = 800$ nA e $n\phi_t = 36$ mV.....	33
Figura 6 – Dobrador com a capacitância parasita do diodo representada.	34
Figura 7 - Gráfico da corrente e tensão de entrada i_{IN} e v_{IN} versus tempo em regime permanente para o dobrador com $I_S = 1$ μ A, $V_A = 100$ mV, $n\phi_t = 36$ mV, $\alpha_p = 1$, $I_L = 1$ μ A, $f = 25$ kHz e $C_{AC} = 40$ nF.	36
Figura 8 - Espectro em frequência da corrente i_{IN} normalizada pela fundamental.....	37
Figura 9 - Retificador meia onda.....	39
Figura 10 - Retificador onda completa.....	40
Figura 11 - Modelando a antena.....	42
Figura 12 - O conversor AC/DC sem adaptação.	44
Figura 13 – Circuito equivalente do conversor AC/DC sem adaptação.....	45
Figura 14 - Curva de nível de I_S/I_L versus N para diferentes P_{AV} , sendo $V_L = 1$ V, $I_L = 1$ μ A, $R_{ant} = 50$ Ω , $n\phi_t = 36$ mV e $\alpha_p = 1$. Os termos entre parênteses representam a eficiência do conversor (P_L/P_{AV}) percentual.	47
Figura 15 - Curva 3D mostrando a região ao redor do ponto de mínima P_{AV} em função de N e I_S/I_L para $V_L = 1$ V, $I_L = 1$ μ A, $n\phi_t = 36$ mV, $\alpha_p = 1$ e $R_{ant} = 50$ Ω	50
Figura 16 - Gráfico de I_S/I_L versus k_C para a condição de P_{AV} mínima do conversor sem adaptação.....	53
Figura 17 - Gráfico de $V_A \alpha_p / n\phi_t$ versus k_C para a condição de P_{AV} mínima do conversor sem adaptação.....	54
Figura 18 – Gráfico de R_{in}/R_{ant} versus k_C para a condição de P_{AV} mínima do conversor sem adaptação.....	55
Figura 19 - Gráfico de P_{AVmin}/P_L versus k_C para a condição de P_{AV} mínima do conversor sem adaptação.....	56
Figura 20 - Adaptação de impedância através de um transformador. ...	61
Figura 21 - Rede de adaptação de impedância.	63
Figura 22 - Modelando a rede de adaptação L	65

Figura 23 - Representação do conversor AC/DC com adaptação.	67
Figura 24 - Curva $I_S \times N$ para diferentes P_{AV} , sendo $V_L = 1 \text{ V}$, $I_L = 1 \mu\text{A}$, $R_{ant} = 50 \Omega$, $n\phi_t = 36 \text{ mV}$, $\alpha_p = 1$ e $Q_{ind} = 8$. Os termos entre parênteses representam a eficiência do conversor (P_L/P_{AV}) percentual.	69
Figura 25 - Gráfico de I_S/I_L versus k_{CA} para a condição de P_{AV} mínima do conversor com adaptação.	73
Figura 26 - Gráfico de $X/(Q_{ind}R_{ant})$ versus k_{CA} para a condição de P_{AV} mínima do conversor com adaptação.	74
Figura 27 - Gráfico de P_{AV}/P_L versus k_{CA} para a condição de P_{AV} mínima do conversor com adaptação.	75
Figura 28 - Gráfico de $V_A\alpha_p/n\phi_t$ versus k_{CA} para a condição de P_{AV} mínima do conversor com adaptação.	76
Figura 29 - Gráfico de Q_{ref}/Q_{ind} versus k_{CA} para a condição de P_{AV} mínima do conversor com adaptação.	77
Figura 30 – Diagrama de blocos para o conversor integrado. Não foi projetado o limitador integrado.	86
Figura 31 - Fator de qualidade de alguns indutores <i>inds</i> na tecnologia <i>IBM130nm</i> CM8RF. [5].....	88
Figura 32 - Transistor NMOS como diodo.	89
Figura 33 - Curva DC do transistor <i>zero-vt</i> para $W = 4,8 \mu\text{m}$ e do diodo <i>Shockley</i> para $I_S = 780 \text{ nA}$ e $n\phi_t = 36 \text{ mV}$	90
Figura 34 – Esquemático do dobrador integrado.	91
Figura 35 - Leiaute do dobrador integrado. Os capacitores de acoplamento possuem valor de 1 pF e os transistores <i>zero-vt</i> possuem $W=4,8\mu\text{m}$ e $L=500 \text{ nm}$	92
Figura 36 - Esquemático do retificador integrado. O número de estágios (N) é igual a 24.....	94
Figura 37 - Leiaute do retificador integrado.	95
Figura 38 – Leiaute do conversor AC/DC com adaptação.....	97
Figura 39 – Estação micromanipuladora.....	99
Figura 40 - Ponteiras da estação micromanipuladora no conversor não encapsulado. As 3 ponteiras na parte inferior da figura são as ponteiras coplanares, que neste projeto injetam o sinal RF no conversor. A ponteira superior é a responsável por medir a saída DC.	100
Figura 41 - Multímetro <i>HP34401A</i> medindo a tensão sobre o resistor de $1\text{M}\Omega$	101
Figura 42 – Aparato de medição do conversor AC/DC integrado.	102
Figura 43 - Medição do parâmetro S_{11} do conversor para $P_{AV}=-19,8 \text{ dBm}$	103
Figura 44 – Esquemático da medição da tensão de saída VL pela frequência com o conversor alimentando um resistor de $1\text{M}\Omega$	104

Figura 45 - Medição da tensão de saída V_L pela frequência com o conversor alimentando um resistor de $1M\Omega$	105
Figura 46 – Esquemático da medida de P_{AV} versus I_L para a condição $V_L=1\text{ V}$	105
Figura 47 – Gráfico do conversor medido e simulado de P_{AV} versus I_L para $V_L=1\text{ V}$	106
Figura 48 - Curvas DC do diodo <i>Shockley</i> ($n\phi_t = 36\text{ mV}$ e $I_S = 780\text{ nA}$) e dos transistores <i>zero-vt</i> ligados como diodo simulado e medido.....	108

LISTA DE TABELAS

Tabela 1 – Parâmetros do conversor com adaptação integrado.....	85
Tabela 2 – Comparação entre conversores AC/DC.....	109

LISTA DE ABREVIATURAS E SIGLAS

AC – Corrente alternada

CMOS – Metal-óxido semicondutor complementar

DC – Corrente contínua

NMOS – Transistor MOS de canal N

MOS –Metal-óxido semicondutor

PCE – *Power conversion efficiency* – Eficiência de conversão de potência.

RF – Radiofrequência

RFID – Dispositivo de identificação por radiofrequência

SMD – Tecnologia de montagem em superfície

Tag – No contexto do trabalho significa dispositivo de identificação por radiofrequência – RFID

LISTA DE SÍMBOLOS

- α_P – efeito do divisor capacitivo de tensão devido à capacitância parasita C_P
- C_{AC} – Capacitância do capacitor de acoplamento [F]
- C_{COMP} – Capacitância de compensação para a rede de adaptação [F]
- C_R – Capacitância necessária para a rede de adaptação [F]
- C_{RET} – Capacitância parasita do retificador [F]
- C_P – Capacitância parasita paralela ao diodo [F]
- f – Frequência do sinal de radiofrequência [Hz]
- i_D – Corrente instantânea sobre o diodo [A]
- I_L – Corrente média na carga [A]
- I_S – Corrente de saturação do diodo [A]
- k_C – Constante do conversor sem adaptação
- k_{CA} – Constante do conversor com adaptação
- L – Comprimento do canal [m]
- L_R – Indutância da rede de adaptação [H]
- N – Número de diodos (estágios) do retificador de tensão
- n – Fator de idealidade
- P_{AV} – Potência disponível na antena [W]
- P_L – Potência média na carga [W]
- P_{loss} – Perda no retificador [W]
- P_{in} – Potência de entrada do retificador [W]
- Q_{ind} – Fator de qualidade do indutor
- Q_{ret} – Fator de qualidade do retificador
- R_{in} – Resistência de entrada do retificador [Ω]
- R_{ant} – Resistência da antena [Ω]
- R_S – Resistência série do indutor da rede de adaptação [Ω]
- θ_t – Tensão térmica [V]
- v_{AP} – Amplitude da tensão V_A normalizada
- v_{ANTP} – Amplitude da tensão V_{ANT} normalizada
- v_{ANT} – Tensão instantânea da antena [V]
- v_D – Tensão instantânea no diodo [V]
- v_{IN} – Tensão instantânea na entrada do retificador [V]
- V_A – Amplitude da tensão v_{IN} [V]
- V_{ANT} – Amplitude da tensão v_{ANT} [V]
- $V_{Dm\acute{a}x}$ – Tensão máxima sobre o diodo [V]
- $V_{Dm\acute{i}n}$ – Tensão mínima sobre o diodo [V]
- V_L – Valor DC da tensão de saída do conversor AC/DC [V]
- X_{LR} – Reatância do indutor da rede de adaptação [Ω]

X_{CR} – Reatância da capacitância necessária a rede de adaptação [Ω]

X – Aproximação para a reatância da capacitância necessária e indutância da rede de adaptação [Ω]

SUMÁRIO

SUMÁRIO	23
1 INTRODUÇÃO	27
1.1 ESTRUTURA DO TRABALHO	27
1.2 PROPOSTA DO PROJETO DO CONVERSOR AC/DC	27
1.3 OBJETIVO	28
2 CONVERSOR AC/DC SEM ADAPTAÇÃO	29
2.1 O CIRCUITO RETIFICADOR DE TENSÃO	29
2.1.1 O dobrador de tensão	29
2.1.1.1 Funcionamento do dobrador	29
2.1.2 O circuito retificador de tensão	31
2.1.3 O diodo <i>Shockley</i>	33
2.1.4 Tensão DC de saída (V_L)	34
2.1.5 <i>Ripple</i>	35
2.1.6 Resistência de entrada	35
2.1.7 Topologias de meia onda e onda completa	39
2.2 O CONVERSOR SEM ADAPTAÇÃO PARA POTÊNCIA DISPONÍVEL MÍNIMA	42
2.2.1 Modelando a antena	42
2.2.2 O conversor sem adaptação	43
2.2.3 Modelagem para a potência disponível mínima	49
2.2.4 Projeto do conversor para a potência disponível mínima	57
2.2.4.1 Condições para o modelo ser válido	58
2.2.4.2 Exemplo de projeto	58
3 CONVERSOR AC/DC COM ADAPTAÇÃO	61
3.1 ADAPTAÇÃO DE IMPEDÂNCIA	61
3.1.1 Conceito	61
3.1.2 Rede de adaptação passiva	62
3.1.3 Rede L	63
3.1.4 Modelando a Rede L	64
3.2 O CONVERSOR COM ADAPTAÇÃO PARA POTÊNCIA DISPONÍVEL MÍNIMA	66
3.2.1 O conversor com adaptação	66
3.2.2 Modelando para a potência disponível mínima	70

3.2.3 Projeto do conversor com adaptação para a potência disponível mínima _____	78
3.2.3.1 Condições para o modelo ser válido _____	79
3.2.3.2 Exemplo de projeto _____	80
3.2.4 Diferenças do conversor com e sem adaptação _____	82
3.2.4.1 Potência disponível (P_{AV}) _____	82
3.2.4.2 Área de silício _____	82
3.2.4.3 Eficiência do conversor e do circuito retificador _____	83
3.2.4.4 Largura de banda _____	83
3.2.4.5 Capacitância de entrada do retificador _____	83
3.2.4.6 Influência de R_{ant} _____	83
4 O CONVERSOR COM ADAPTAÇÃO INTEGRADO _____	85
4.1 TECNOLOGIA IBM130NM _____	85
4.1.1 Metais _____	87
4.1.2 Transistores _____	87
4.1.3 Indutores _____	87
4.1.4 Capacitores _____	87
4.2 O TRANSISTOR COMO DIODO _____	88
4.3 LEIAUTE DO CONVERSOR INTEGRADO _____	91
4.3.1 O dobrador integrado _____	91
4.3.2 O retificador integrado _____	93
4.3.3 O conversor AC/DC integrado _____	96
4.4 RESULTADOS _____	98
4.4.1 Parâmetro S_{II} _____	103
4.4.2 Tensão de saída V_L pela frequência _____	104
4.4.3 Potência P_{AV} pela corrente I_L _____	105
4.4.4 Curva medida DC do transistor <i>zero-vt</i> ligado como diodo _____	107
4.4.5 Comparação entre conversores AC/DC _____	109
5 CONCLUSÃO _____	110
PUBLICAÇÕES _____	111
REFERÊNCIAS _____	113
APÊNDICE A – Programa para simulação numérica do conversor AC/DC sem adaptação _____	115
APÊNDICE B – Programa para curva 3D de P_{AV} _____	119

*APÊNDICE C – Programa para simulação numérica do
conversor AC/DC com adaptação _____ 121*

1 INTRODUÇÃO

1.1 ESTRUTURA DO TRABALHO

A introdução expõe uma breve descrição do trabalho realizado. O segundo capítulo discute o conversor AC/DC sem adaptação de impedância, seu conceito, como é constituído e modelado e, por fim, como projetá-lo conforme as especificações. Já o terceiro capítulo trata sobre o conversor AC/DC com adaptação de impedância seguindo os moldes do segundo capítulo. O quarto capítulo descreve o processo de integração do conversor com adaptação, mostrando também os resultados das simulações e medições realizadas. O quinto e último capítulo resume os principais resultados e expõe a conclusão final sobre o trabalho desenvolvido.

1.2 PROPOSTA DO PROJETO DO CONVERSOR AC/DC

Com o desenvolvimento da microeletrônica é possível hoje tratar sinais com potência cada vez menor, da ordem de microwatts ou centenas de nanowatts. A disponibilidade de circuitos adequados ao tratamento de sinais de baixa potência propiciou o surgimento de circuitos/sensores sem fio, ou seja, sistemas nos quais não há necessidade de cabos para transmissão de energia e informação.

A energia requerida para alimentar um circuito/sensor pode ser fornecida de duas maneiras; por baterias, que possuem desvantagens como ser poluentes, caras e possuem vida útil curta ou pode-se aproveitar a energia contida no meio no qual está inserido o circuito/sensor, sendo esta forma de aproveitamento chamada de *energy harvesting*. A energia a ser aproveitada pode ser solar, vibracional, térmica, ou no caso deste trabalho, uma fonte de radiofrequência, desde alguns kHz até GHz.

Um exemplo de aplicação que já utiliza as ideias propostas é a etiqueta/tag RFID (ver Figura 1). Esta é composta por antenas e circuitos integrados e trata-se basicamente de um método de identificação automático através de sinais de rádio. Tais dispositivos podem ser utilizados em diversas áreas: controle, segurança, medicina, identificação, entre outras.

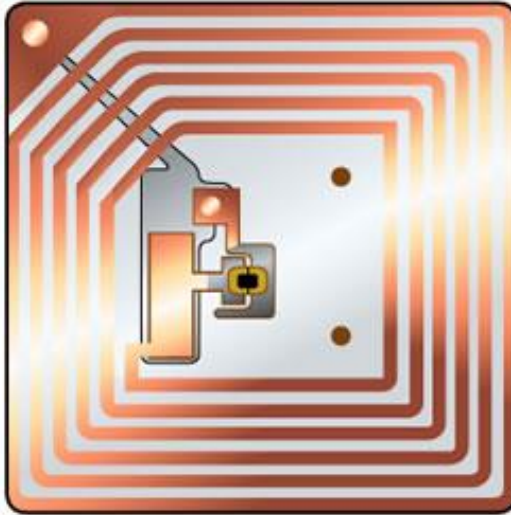


Figura 1 – Etiqueta/tag RFID.

1.3 OBJETIVO

O objetivo deste trabalho é projetar um circuito integrado capaz de retirar energia de uma fonte de radiofrequência próxima através de uma antena e utilizá-la para alimentar um circuito/sensor (ver Figura 2). O circuito integrado a ser projetado é essencialmente um conversor AC/DC para baixas tensões, ou seja, através de uma entrada senoidal de determinada frequência (900 MHz) com amplitude da ordem de dezenas de milivolts, para uma impedância de saída da antena de 50Ω , pretende-se obter uma tensão DC de saída próxima a 1 V para alimentar uma carga de $1 \mu\text{W}$.

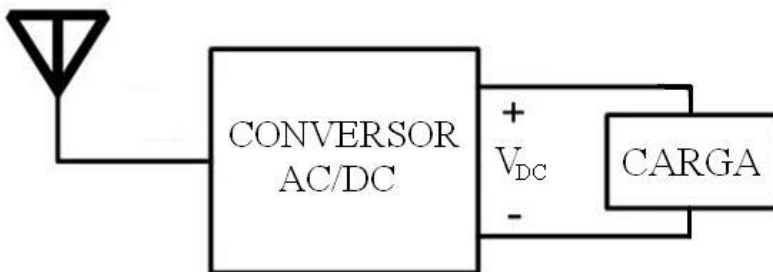


Figura 2 – Conversor AC/DC.

2 CONVERSOR AC/DC SEM ADAPTAÇÃO

Neste capítulo será apresentado o conversor AC/DC sem adaptação de impedância, seu conceito, como é constituído e modelado, e, por fim, como projetá-lo conforme os parâmetros de entrada necessários à aplicação.

2.1 O CIRCUITO RETIFICADOR DE TENSÃO

2.1.1 O dobrador de tensão

Para transformar o sinal sinusoidal de tensão obtido através da antena em uma tensão DC para a carga (V_L) é necessário um circuito retificador. Um circuito simples que efetua a conversão AC/DC é o dobrador de tensão, lembrando que com o mesmo só é possível obter na saída até o dobro da amplitude do sinal de tensão sinusoidal de entrada, quando a queda de tensão nos diodos for desprezível. O circuito dobrador de tensão, formado por 2 diodos e 2 capacitores, é mostrado na Figura 3. Tais capacitores serão denominados capacitores de acoplamento.

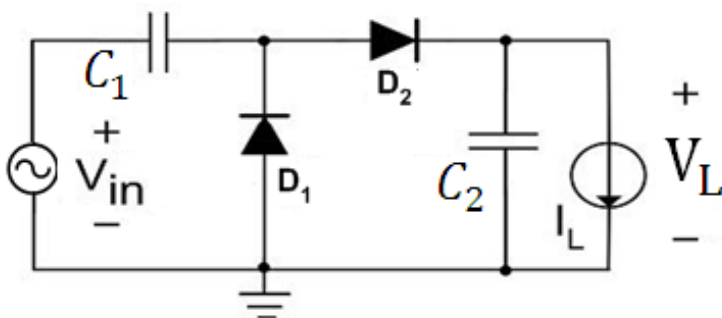


Figura 3 - Circuito dobrador de tensão alimentando uma carga representada pela fonte de corrente I_L .

2.1.1.1 Funcionamento do dobrador

Para facilitar a compreensão do funcionamento do dobrador será considerado inicialmente que:

- a) A tensão AC na entrada do dobrador (v_{IN}) é uma onda quadrada alternada e simétrica.

- b) Os diodos são ideais; logo, a queda de tensão na polarização direta é zero e não há corrente reversa.
- c) Os capacitores de acoplamento são suficientemente grandes para que o *ripple* possa ser desprezado.

No ciclo negativo de v_{IN} o diodo D_1 é polarizado diretamente e o diodo D_2 é reversamente polarizado, então o capacitor C_1 acumula cargas aumentando assim a tensão sobre C_1 até a amplitude de v_{IN} . No ciclo positivo de v_{IN} o diodo D_1 está reversamente polarizado enquanto o diodo D_2 é polarizado diretamente; então o capacitor C_2 acumula cargas provenientes de C_1 aumentando a tensão sobre C_2 até duas vezes a amplitude de v_{IN} , lembrando que a tensão sobre C_2 é a soma da tensão v_{IN} e a tensão sobre C_1 . Logo, a tensão na carga (fonte de corrente I_L) é igual a duas vezes a amplitude de v_{IN} e contínua, visto que os capacitores de acoplamento são grandes.

A descrição idealizada acima tem fins didáticos e não pode ser utilizada para modelagem dos dispositivos que operam em baixa tensão, que é o caso deste projeto, visto que a queda de tensão nos diodos não pode ser considerada zero para polarização direta e que a corrente reversa não é igual a zero. Para este projeto iremos considerar que:

- a) A curva corrente versus tensão do diodo é exponencial (Modelo de *Shockley*).
- b) A tensão AC na entrada do dobrador (v_{IN}) é uma onda sinusoidal.

Devido à não idealidade do diodo e devido ao fato de a forma de onda ser sinusoidal em nossa aplicação, os capacitores de acoplamento terão que ser maiores do que no caso idealizado anterior para manter o mesmo nível de ondulação. Além disso, a tensão sobre os capacitores de acoplamento será reduzida, o que implicará em uma redução na tensão de saída. No entanto, é importante observar que a tensão do capacitor C_1 continuará a ser metade do valor da tensão do capacitor C_2 [1].

2.1.2 O circuito retificador de tensão

Para obter tensão DC na saída V_L maior que o dobro da amplitude da tensão sinusoidal aplicada à entrada pode-se associar vários dobradores conforme a Figura 4. Este circuito é chamado de multiplicador de tensão; entretanto, o mesmo será referido apenas como retificador de tensão. Para a análise a seguir assume-se que o circuito está em regime permanente.

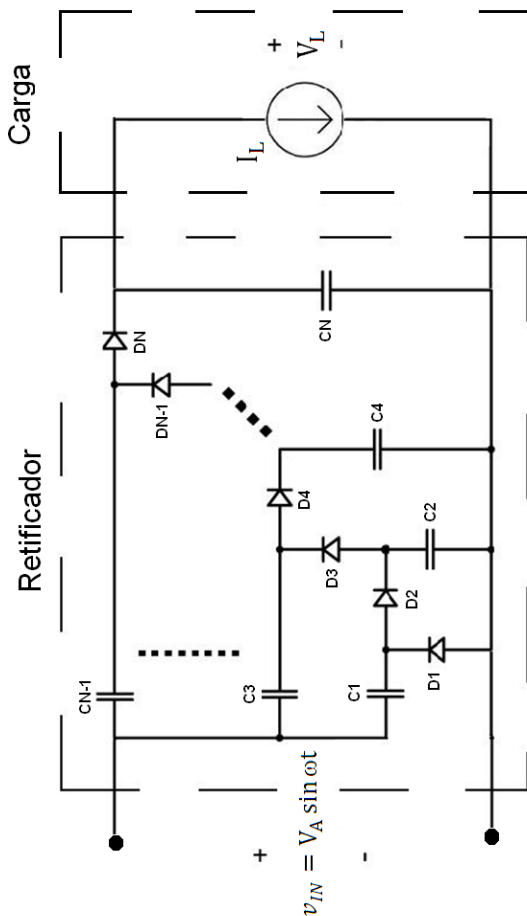


Figura 4 - Circuito retificador de tensão alimentando um circuito de consumo de corrente igual a I_L .

Conforme apresentado em [1] a tensão V_L na carga é proporcional ao número estágios (N), onde cada estágio é composto por um diodo e um capacitor de acoplamento (C_{AC}). A corrente DC consumida pela carga é denominada I_L . O produto da corrente I_L pela tensão V_L é a potência da carga (P_L).

$$P_L = V_L I_L \quad (2.1)$$

A tensão sinusoidal (v_{IN}) aplicada à entrada no retificador é representada por

$$v_{IN} = V_A \sin \omega t \quad (2.2)$$

A tensão DC sobre os capacitores de acoplamento varia conforme a posição do estágio. Para o último estágio a tensão do capacitor de acoplamento será a própria tensão V_L . Como a corrente média do diodo de cada estágio do retificador é a mesma que a da carga, tendo em vista que a corrente média em um capacitor é zero em regime permanente, pode-se provar que a tensão DC dos capacitores de acoplamento, designada por $V_{C,i}$ é dada por

$$V_{C,i} = V_L \frac{i}{N} \quad (2.3)$$

onde i representa o i -ésimo estágio. Supondo que a ondulação de tensão é desprezível nos capacitores de acoplamento, a tensão instantânea nos diodos é igual a:

$$v_{Di} = V_A \sin(\omega t - i\pi) - \frac{V_L}{N} \quad (2.4)$$

A partir da equação acima pode-se deduzir as tensões máxima e mínima às quais os diodos estão submetidos:

$$V_{Dmáx} = V_A - \frac{V_L}{N} \quad V_{Dmín} = -\left(V_A + \frac{V_L}{N}\right) \quad (2.5) \text{ e } (2.6)$$

2.1.3 O diodo *Shockley*

Para modelagem do diodo é utilizada a equação do diodo *Shockley* [2], dada por:

$$i_D = I_S \left(e^{\frac{v_D}{n\phi_t}} - 1 \right) \quad (2.7)$$

Os termos i_D e v_D representam a tensão e a corrente instantânea sobre o diodo. O parâmetro I_S é a corrente de saturação do diodo. É importante observar que I_S é proporcional à área do diodo. O parâmetro ϕ_t é a tensão térmica e seu valor é de 25,8 mV para a temperatura ambiente. O parâmetro n é o fator de idealidade e seu valor varia entre 1 e 2. A Figura 5 mostra a curva corrente versus tensão do diodo *Shockley* para $n\phi_t = 36$ mV e $I_S = 800$ nA.

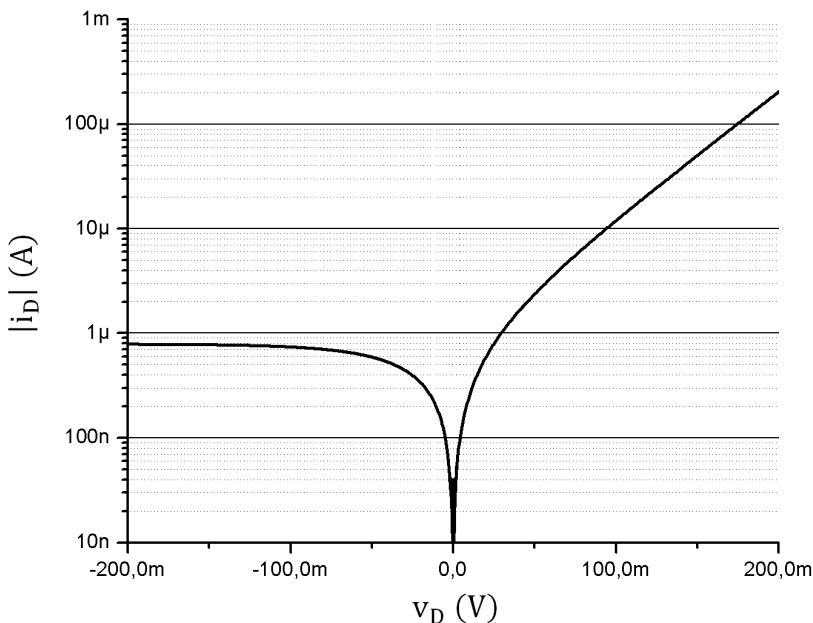


Figura 5 - Curva I-V do diodo *Shockley* para $I_S = 800$ nA e $n\phi_t = 36$ mV.

2.1.4 Tensão DC de saída (V_L)

Para a modelagem do retificador é necessário determinar a tensão V_L em função da amplitude da tensão de entrada V_A , do número de estágios N e dos parâmetros I_S e $n\phi_t$ do diodo *Shockley*. Transcrevemos abaixo o resultado apresentado em [1], obtido a partir do princípio de conservação de carga (valor da corrente média nos diodos é igual à corrente média na carga I_L) e ondulação desprezível:

$$\frac{V_L}{Nn\phi_t} = \ln \left[\frac{I_0(\alpha_p V_A / n\phi_t)}{1 + \frac{I_L}{I_S}} \right] \quad (2.8)$$

A função I_0 é a função de Bessel modificada de ordem zero, descrita como:

$$I_0(z) = \frac{1}{2\pi} \int_{-\pi}^{\pi} e^{z \cos \theta} d\theta \quad (2.9)$$

O termo α_p , cujo valor é dado pela equação (2.10), é referente ao efeito do divisor capacitivo de tensão devido à capacitância parasita (C_p) do diodo de cada estágio, devido à própria natureza capacitiva do diodo. O valor máximo de α_p é igual à unidade e sua redução implica numa redução da tensão V_L . Ver Figura 6.

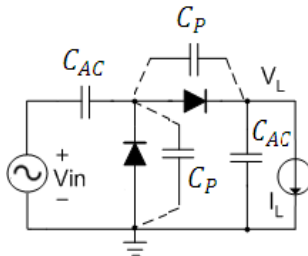


Figura 6 – Dobrador com a capacitância parasita do diodo representada.

$$\alpha_p = \frac{C_{AC}}{C_{AC} + C_p} \quad (2.10)$$

O termo C_{AC} é a capacitância de acoplamento anteriormente definida ($C_{AC} = C_1 = C_2 = \dots = C_N$).

Analisando a equação (2.8) nota-se que, para tensão V_A fixa, a tensão V_L é proporcional ao número de estágios N , que o aumento da corrente I_L tende a reduzir a tensão V_L , assim como o aumento de I_S tende a aumentar a tensão V_L . Observa-se ainda que o aumento da amplitude V_A colabora para o aumento da tensão V_L . O aumento de $n\phi_t$ reduz a tensão V_L ($= NV_{C,1}$), pois a queda de tensão no diodo é proporcional a $n\phi_t$.

Especificando os parâmetros V_L , I_L , $n\phi_t$ e V_A percebe-se que pode existir de nenhuma a infinitas soluções relacionando N e I_S . Então, em vista disso, existe liberdade para o projeto do retificador. O ponto entre nenhuma e infinitas soluções, ou seja, o ponto constituído de apenas uma solução é onde ocorre a máxima eficiência de conversão de potência (PCE), conforme [1]. A condição para máxima PCE, conforme [1], é descrita pela seguinte equação:

$$N = \frac{I_S}{I_L} \frac{V_L}{n\phi_t} \quad (2.11)$$

Através dessa equação observa-se que na condição de máxima PCE o número de estágios N é proporcional à corrente de saturação I_S .

2.1.5 Ripple

Para que a ondulação de tensão na carga permaneça dentro de limite ΔV pré-fixado, o valor aproximado do capacitor C_{AC} para uma dada frequência f , corrente I_L , corrente de saturação I_S é dado [1] por

$$C_{AC} = \frac{I_L + I_S}{2f\Delta V} \quad (2.12)$$

Então, a partir da equação (2.12) pode-se notar que uma das vantagens de se trabalhar em alta frequência é a diminuição do capacitor C_{AC} .

2.1.6 Resistência de entrada

Para a modelagem do conversor AC/DC é necessário conhecer a relação entre a corrente e a tensão de entrada do retificador para quando esse for associado à saída de outros circuitos, como por exemplo, uma antena puramente resistiva ou uma rede de adaptação.

Analisando no simulador *ADS 2009*, o dobrador de tensão com $I_S = 1 \mu\text{A}$, $n\phi_t = 36 \text{ mV}$, submetido a uma tensão senoidal de amplitude $V_A = 100 \text{ mV}$, tendo como carga uma fonte de corrente de $1 \mu\text{A}$ ($I_L = 1 \mu\text{A}$) e sendo os capacitores de acoplamento suficientemente grandes para ondulação desprezível, obteve-se em regime permanente a corrente e a tensão de entrada do retificador (i_{IN} e v_{IN}) pelo tempo conforme pode ser visto na Figura 7.

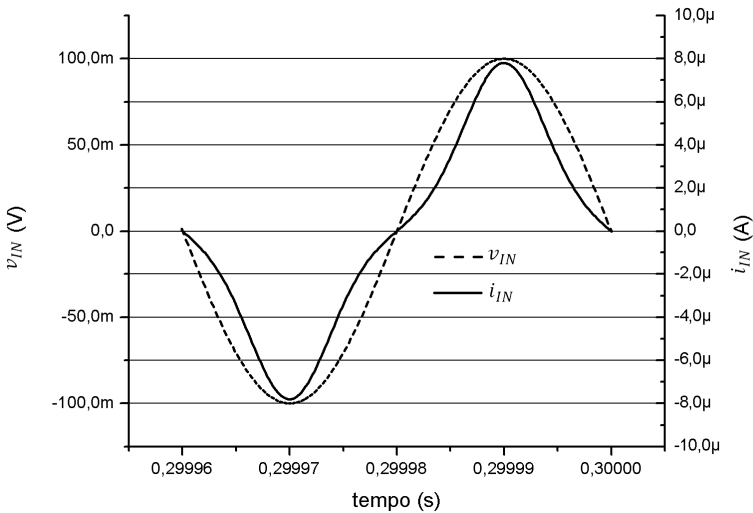


Figura 7 - Gráfico da corrente e tensão de entrada i_{IN} e v_{IN} versus tempo em regime permanente para o dobrador com $I_S = 1 \mu\text{A}$, $V_A = 100 \text{ mV}$, $n\phi_t = 36 \text{ mV}$, $\alpha_p = 1$, $I_L = 1 \mu\text{A}$, $f = 25 \text{ kHz}$ e $C_{AC} = 40 \text{ nF}$.

A tensão V_L obtida para o dobrador foi 51 mV ; então, a carga consome 51 nW .

Analisando o gráfico da Figura 7 nota-se que a forma da corrente de entrada é a de uma senóide deformada, sendo essa deformação causada pela natureza exponencial do diodo. Observa-se que a componente fundamental da corrente está em fase com a tensão. A representação da corrente por série de *Fourier* é dada pelo espectro de amplitude mostrado na Figura 8.

A partir do espectro nota-se que não existem harmônicas pares, devido à corrente ter simetria de meia onda, que só ocorre quando o número de estágios for par. A harmônica fundamental da corrente i_{IN} é

preponderante em relação às outras harmônicas, podendo então i_{IN} ser aproximada por uma senóide na frequência fundamental. Este resultado, referente ao dobrador, pode ser generalizado para a topologia de retificador utilizada neste trabalho (meia onda).

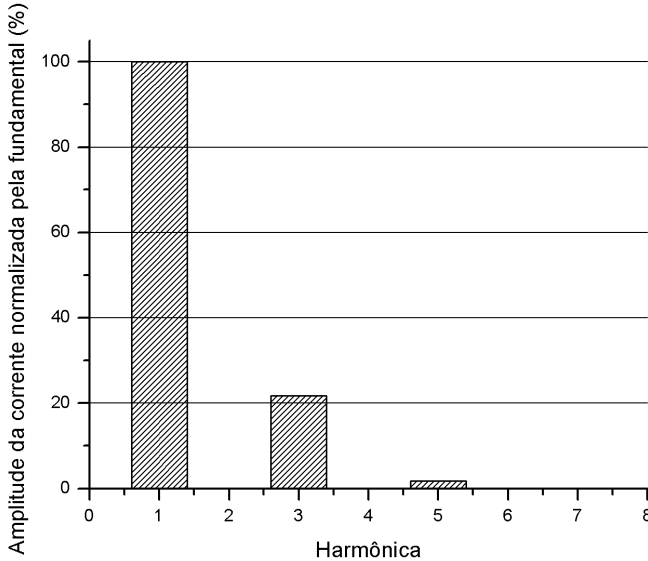


Figura 8 - Espectro em frequência da corrente i_{IN} normalizada pela fundamental.

A potência de entrada do retificador (P_{in}) é o produto dos valores eficazes da tensão e corrente de entrada e do fator de potência. Através do espectro de amplitude o valor eficaz da corrente i_{IN} é a dado por:

$$i_{EF} = \sqrt{i_1^2 + i_3^2 + i_5^2} \quad (2.13)$$

As variáveis i_1 , i_2 e i_3 são os valores eficazes.

$$i_{EF} = \sqrt{i_1^2 + \left(\frac{20}{100}i_3\right)^2 + \left(\frac{2}{100}i_5\right)^2} \quad (2.14)$$

$$i_{EF} = 1,02i_1 \cong i_1 \quad (2.15)$$

Logo, pode-se considerar a corrente i_{IN} como uma senóide quase perfeita, sendo o erro cerca de 2% para este caso. Conforme descrito em [3] pode-se calcular a resistência equivalente R_{in} da entrada do retificador que satisfaça a relação:

$$P_{in} = \frac{V_A^2}{2R_{in}} \quad (2.16)$$

A potência P_{in} será a soma da potência dissipada nos diodos (P_{loss}) e da potência da carga (P_L). Como mostrado em [1], P_{loss} é dada por:

$$P_{loss} = -V_L I_L + N(I_L + I_S) \alpha_P V_A \frac{I_1(\alpha_P V_A / n\phi_t)}{I_0(\alpha_P V_A / n\phi_t)} \quad (2.17)$$

A função I_1 é a função de Bessel modificada de primeira ordem, descrita através da equação:

$$I_1(z) = \frac{1}{2\pi} \int_{-\pi}^{\pi} e^{z \cos \theta} \cos \theta d\theta \quad (2.18)$$

Analisando a equação de P_{loss} e sabendo que o produto $V_L I_L$ é igual à potência P_L , obtém-se o valor de P_{in} :

$$P_{in} = N(I_L + I_S) \alpha_P V_A \frac{I_1(\alpha_P V_A / n\phi_t)}{I_0(\alpha_P V_A / n\phi_t)} \quad (2.19)$$

Utilizando as equações (2.16) e (2.19) obtém-se o valor de R_{in} :

$$R_{in} = \frac{V_A^2}{2P_{in}} = \frac{V_A}{2\alpha_P N(I_L + I_S)} \frac{I_0(\alpha_P V_A / n\phi_t)}{I_1(\alpha_P V_A / n\phi_t)} \quad (2.20)$$

Estudando a equação (2.20) nota-se que a resistência R_{in} é inversamente proporcional ao número de estágios e aproximadamente proporcional à amplitude V_A para $\alpha_P V_A \gg n\phi_t$, visto que a razão das funções de Bessel I_1/I_0 é próxima à unidade quando $\alpha_P V_A \gg n\phi_t$. Observa-se ainda que o aumento de I_S tende a diminuir a resistência R_{in} .

2.1.7 Topologias de meia onda e onda completa

O circuito retificador de tensão estudado pode ser configurado através de duas topologias/estruturas que apresentam comportamento semelhante: a de meia onda (*half-wave*) e a de onda completa (*full-wave*). A topologia vista até o momento foi a de meia onda, sendo sua estrutura mostrada para N estágios, em conjunto com a da onda completa, nas Figura 9 e Figura 10.

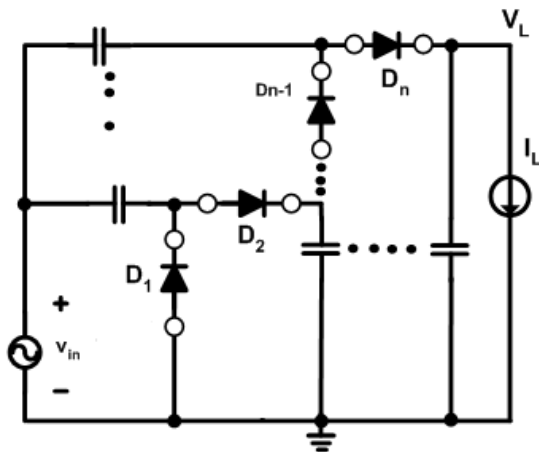


Figura 9 - Retificador meia onda.

A estrutura de onda completa de N estágios pode ser vista como duas estruturas de meia onda em paralelo com $N/2$ estágios cada, tal que uma estrutura de meia onda terá tensão de saída positiva ($+V_L/2$) e outra negativa ($-V_L/2$). Assumindo que todos os diodos são iguais, a resistência equivalente vista pela fonte será o paralelo da resistência de entrada R_{in} de cada retificador meia onda. Como estes possuem $N/2$ estágios cada e notando que estão submetidos à mesma tensão v_{in} , pode-se concluir pela equação (2.20) que a resistência equivalente vista para as duas topologias serão iguais.

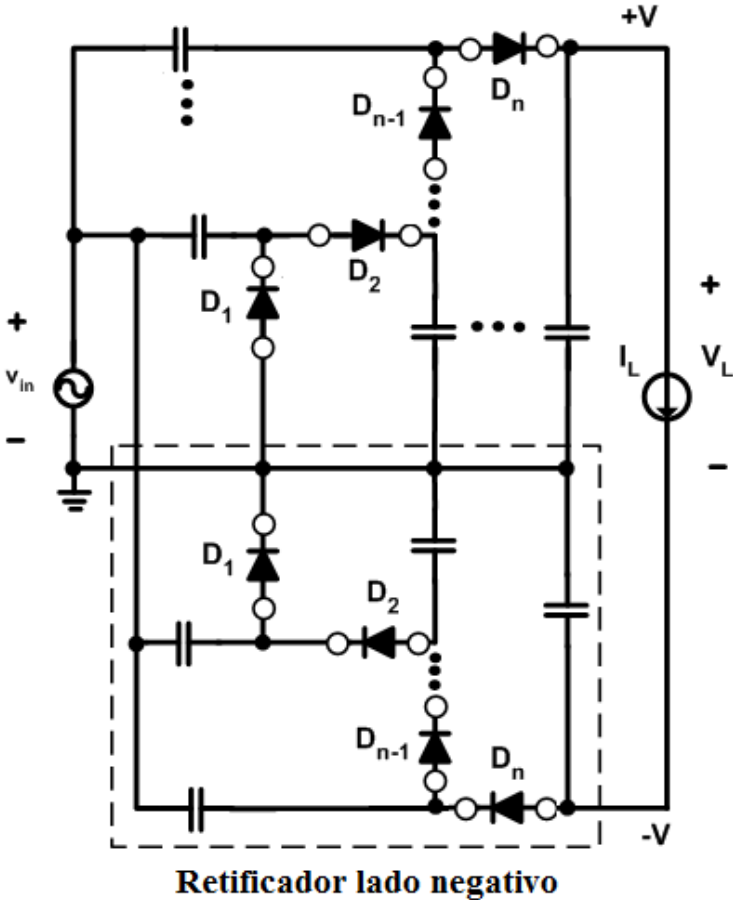


Figura 10 - Retificador onda completa.

Outro ponto a ser discutido é referente à tensão de saída. No retificador de onda completa a saída dos dois retificadores de meia onda que o constituem será $V_L/2$. Os capacitores de acoplamento com tensão $V_L/2$ possuem polaridades opostas em relação ao referencial da antena; então, com a estrutura onda completa é possível obter tensões simétricas. A tensão de saída do retificador de onda completa será a diferença das tensões de saída de cada retificador de meia onda, ou seja, será igual à V_L , podendo-se obter as tensões de saída $+V_L$, $-V_L$ e $\pm V_L/2$ quando a carga não estiver conectada ao referencial da antena.

As tensões sobre os capacitores de acoplamento nas duas estruturas seguem padrões diferentes. Como a estrutura de onda completa é composta de duas estruturas meia onda com $N/2$ estágios, a tensão máxima sobre o último capacitor será $V_L/2$, ou seja, metade da tensão da estrutura meia onda. A divisão de tensão da saída entre dois capacitores é uma vantagem da estrutura de onda completa, visto que caso seja necessária ter uma tensão mais alta no capacitor que a máxima permitida pela tecnologia do circuito integrado, pode-se dividi-la em dois para cada capacitor.

Outro detalhe importante relacionado à tensão nos capacitores de acoplamento é a energia total armazenada nos mesmos para as duas estruturas. Como a estrutura onda completa alcança menores valores de tensão sobre os capacitores, a energia total armazenada será menor que a da estrutura meia onda. Sabendo que a energia de cada capacitor é dada por

$$E_{cap} = \frac{1}{2} CV^2 \quad (2.21)$$

e que as tensões nos capacitores da estrutura meia onda são dadas pela equação (2.3), pode-se chegar na equação (2.22) que relaciona a energia armazenada total do meia onda (E_H) pela do onda completa (E_F).

$$\frac{E_H}{E_F} = \frac{\sum_{N_i=1}^N C_{AC} \left(\frac{N_i}{N} V_L\right)^2}{2 \sum_{N_i=1}^{N/2} C_{AC} \left(\frac{N_i}{N} V_L\right)^2} = \frac{\sum_{N_i=1}^N N_i^2}{2 \sum_{N_i=1}^{N/2} N_i^2} = \frac{4N + 2}{N + 2} \quad (2.22)$$

Para um alto número de estágios a relação E_H/E_F é aproximadamente quatro. Assumindo que o tempo de regime transitório seja proporcional à energia total armazenada, o tempo da estrutura onda completa seria quase quatro vezes menor que o da meia onda. É claro que tal suposição não é válida quando for adicionado na estrutura um capacitor de saída de alto valor, sendo tal capacitor com o objetivo de estabilizar a tensão, mesmo para quando não existir potência incidente na antena. Entretanto, o tempo de regime transitório da estrutura de onda completa será sempre menor que o da de meia onda para um mesmo número de estágios.

Caso os diodos não sejam iguais pode existir diferença na tensão de saída para as duas estruturas para uma mesma tensão v_{in} . Conforme será visto em 4.2, os diodos serão implementados por

transistores, e devido ao efeito de corpo, relacionado com a diferença de tensão do *bulk* e os outros terminais, a característica I-V do transistor ligado como diodo irá variar em função da sua posição na estrutura.

2.2 O CONVERSOR SEM ADAPTAÇÃO PARA POTÊNCIA DISPONÍVEL MÍNIMA

2.2.1 Modelando a antena

O sinal de tensão a alimentar o conversor AC/DC será obtido da antena receptora. Para o projeto do conversor será assumido que a antena tem impedância de saída puramente resistiva (R_{ant}) na frequência f de interesse. Então, pode-se modelar a antena como uma fonte de tensão senoidal (v_{ANT}) em série com uma resistência R_{ant} conforme pode ser visto na Figura 11. A amplitude da tensão v_{ANT} é definida como V_{ANT} .

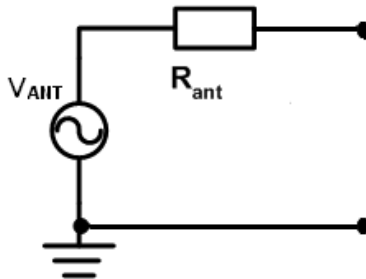


Figura 11 - Modelando a antena.

A máxima potência que se pode obter da antena é chamada de potência disponível (P_{AV}) e ocorre quando o circuito conectado à antena possui impedância igual a R_{ant} ; logo, a potência P_{AV} pode ser escrita em função da resistência R_{ant} e da amplitude V_{ANT} :

$$P_{AV} = \frac{V_{ANT}^2}{8R_{ant}} \quad (2.23)$$

É interessante notar que para uma potência P_{AV} fixa, a amplitude V_{ANT} é proporcional à raiz quadrada de R_{ant} , logo quanto maior R_{ant} , maior a amplitude da tensão da antena. Como a tensão V_A na entrada do conversor é, em primeira ordem, proporcional a V_{ANT} e como o conversor é mais eficiente para valores maiores de V_A , a sensibilidade

do conversor, *i.e.* a capacidade de operar com menor P_{AV} , aumenta para maiores valores de R_{ant} . Os problemas e limitações do aumento de R_{ant} serão abordados no tópico 3.2.4.6.

Segundo [4], o sinal RF irradiado pela antena emissora no espaço decai com o quadrado da distância. Em altas frequências o comprimento de onda decresce, propiciando assim a redução no tamanho da antena receptora, e, por conseguinte, a miniaturização do *tag*.

Embora seja assumido que o conversor é alimentado pela antena receptora, essa última pode ser substituída por outra fonte de energia como, por exemplo, um *clock* com certa impedância de saída resistiva.

2.2.2 O conversor sem adaptação

O conversor AC/DC sem adaptação é constituído da antena receptora, do circuito retificador e do limitador de tensão na saída. Para a modelagem do conversor é necessário apenas o modelo da antena e do retificador, visto que a influência do limitador de tensão será somente devido ao consumo de corrente DC na saída; logo, pode-se contabilizar a mesma como parte da corrente I_L (ver Figura 12).

O foco deste trabalho é a otimização do circuito retificador de forma a ser capaz de operar a partir de uma potência RF disponível que seja a menor possível. Equivalentemente, o projeto é otimizado para aumento da distância ao transmissor (leitor) para uma dada potência irradiada.

O circuito equivalente do conversor sem adaptação pode ser visto na Figura 13. A entrada do retificador é representada pela resistência R_{in} em paralelo com a capacitância de entrada do retificador (C_{RET}).

Para o caso usual em que $C_{AC} \gg C_p$, C_{RET} é dado por aproximadamente $N C_p$. Por sua vez a fonte controlada (V_O) e a resistência de saída (R_O) podem ser deduzidas a partir da equação (2.8) e são dadas por:

$$V_O = Nn\phi_t \ln[I_0(\alpha_p V_A/n\phi_t)] \quad (2.24)$$

$$R_O = \frac{V_O - V_L}{I_L} = \frac{Nn\phi_t}{I_S} \frac{\ln\left[1 + \frac{I_L}{I_S}\right]}{\frac{I_L}{I_S}} \quad (2.25)$$

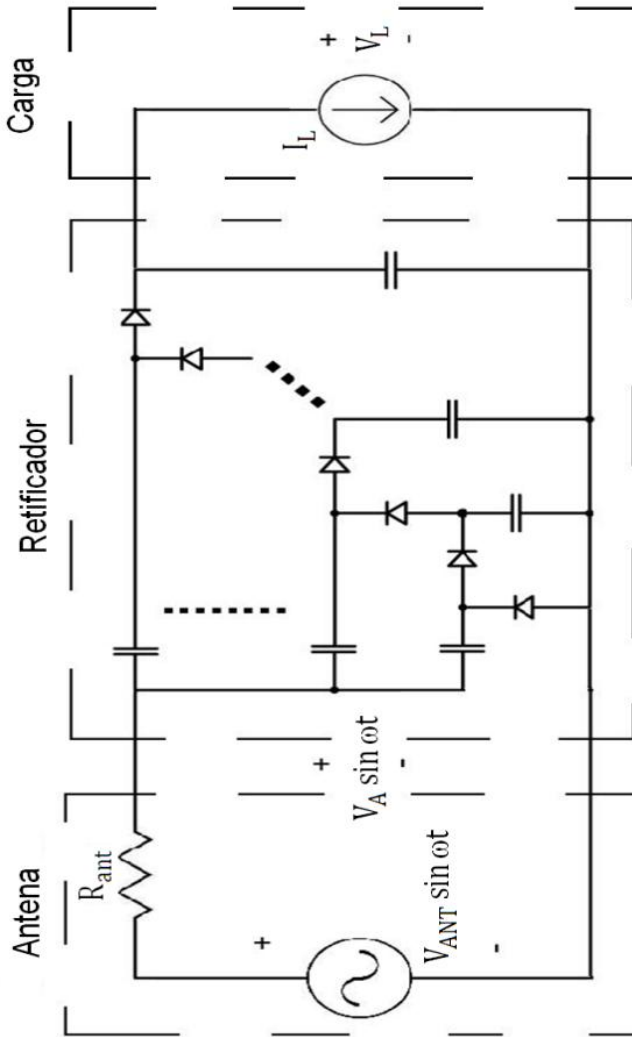


Figura 12 - O conversor AC/DC sem adaptação.

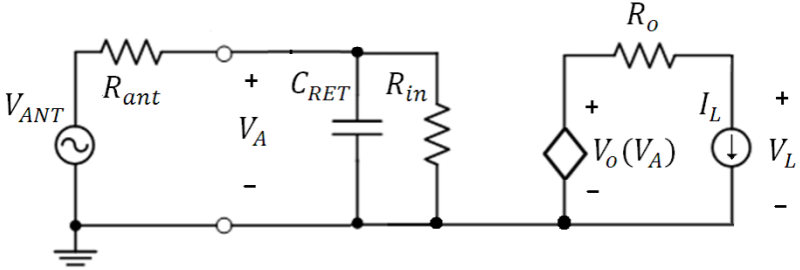


Figura 13 – Circuito equivalente do conversor AC/DC sem adaptação.

O objetivo é modelar o conversor para a P_{AV} mínima através dos parâmetros de entrada, que são a tensão V_L , a corrente I_L , a resistência R_{ant} e os termos $n\phi_t$ (obter através do diodo da tecnologia usada para a integração) e α_P , e então saber os valores de N , I_S e da própria P_{AV} mínima. Para isso é necessário as equações (2.8) e (2.20) que modelam o retificador, sendo essas repetidas abaixo, e a equação (2.28) que relaciona o sinal da antena ao da entrada do retificador.

$$\frac{V_L}{Nn\phi_t} = \ln \left[\frac{I_0(v_{AP})}{1 + \frac{I_L}{I_S}} \right] \quad (2.26)$$

$$R_{in} = \frac{V_A}{2\alpha_P N (I_L + I_S)} \frac{I_0(v_{AP})}{I_1(v_{AP})} \quad (2.27)$$

$$V_A = V_{ANT} \frac{R_{in}}{R_{in} + R_{ant}} = 2\sqrt{2R_{ant}P_{AV}} \frac{R_{in}}{R_{in} + R_{ant}} \quad (2.28)$$

As variáveis normalizadas v_{AP} e v_{ANTP} são definidas como:

$$v_{AP} = \frac{V_A}{n\phi_t} \alpha_P \quad v_{ANTP} = \frac{V_{ANT}}{n\phi_t} \alpha_P \quad (2.29) \text{ e } (2.30)$$

A partir das equações (2.26) a (2.30) é possível deduzir a equação:

$$R_{ant} V_L I_L \left(\frac{\alpha_P}{n\phi_t} \right)^2 = \frac{v_{ANTP} - v_{AP}}{2 \left(1 + \frac{I_S}{I_L} \right)} \frac{I_0(v_{AP})}{I_1(v_{AP})} \ln \left[\frac{I_0(v_{AP})}{1 + \frac{I_L}{I_S}} \right] \quad (2.31)$$

A constante do conversor (k_C) é definida como:

$$k_C = R_{ant} V_L I_L \left(\frac{\alpha_P}{n\phi_t} \right)^2 = R_{ant} P_L \left(\frac{\alpha_P}{n\phi_t} \right)^2 \quad (2.32)$$

A solução da equação (2.31) requer que a potência P_{AV} seja maior ou igual a P_{AV} mínima, o que é equivalente a dizer que V_{ANT} precisa ser maior ou igual a V_{ANT} mínima. Para uma determinada P_{AV} , tal equação permite relacionar a constante do conversor k_C a todas as variáveis normalizadas: I_S/I_L ; $V_A/n\phi_v/\alpha_P$; e $V_{ANT}/n\phi_v/\alpha_P$. Esse é um importante resultado porque todas as variações nos parâmetros de entrada (R_{ant} , V_L , I_L , $n\phi_t$ e α_P) que deem o mesmo valor de k_C terão as mesmas variáveis normalizadas. Em outras palavras, os cinco parâmetros de entrada são transformados em apenas uma variável do sistema, a constante k_C , e cada valor de k_C terá associado determinados valores das variáveis normalizadas.

Assumindo que a P_{AV} seja maior que a P_{AV} mínima, é possível, com auxílio de um software matemático resolver o sistema de equações não-lineares, obter a curva I_S versus N para uma determinada constante k_C definida pelos parâmetros de entrada. Para este trabalho utilizou-se o *MATLAB* para desenvolver o programa numérico (Apêndice A). A Figura 14 mostra as curvas de nível para vários valores de P_{AV} dadas em dBm e com a corrente de saturação I_S , normalizada pela corrente I_L , versus o número de estágios N .

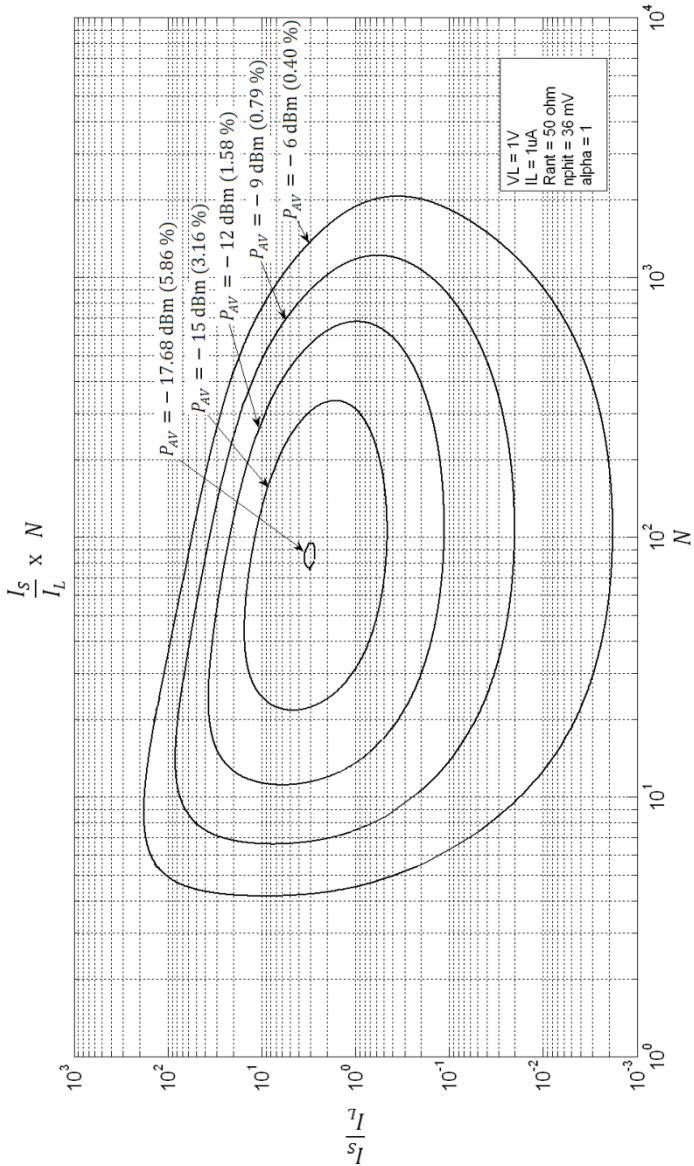


Figura 14 - Curva de nível de I_S/I_L versus N para diferentes P_{AV} , sendo $V_L = 1 \text{ V}$, $I_L = 1 \mu\text{A}$, $R_{ant} = 50 \Omega$, $n\phi_t = 36 \text{ mV}$ e $\alpha_p = 1$. Os termos entre parênteses representam a eficiência do conversor (P_L/P_{AV}) percentual.

As curvas obtidas são fechadas e representam todas as combinações de valores de I_S e N que satisfazem os parâmetros de entrada. A região interessante das curvas é a que possui menores valores de I_S e N , visto que a área em silício do conversor integrado é aproximadamente proporcional a I_S e N .

Para entender o motivo de as curvas serem fechadas iremos analisar como a tensão V_L varia com N e I_S para o caso de P_{AV} constante, com todos os parâmetros R_{ant} , $n\phi_t$, α_P e I_L (fonte de corrente como carga) fixos, com os valores mostrados na

Figura 14. A análise será iniciada em cima da curva de nível $P_{AV} = -15,0$ dBm, que satisfaz a condição $V_L = 1V$. Fixando N igual a 100, observamos que há dois valores sobre a curva que satisfazem as especificações, com I_S/I_L igual a 0,48 e 12, aproximadamente. Com o aumento do valor de I_S a partir de 0,48, R_{in} tende a diminuir, conforme (2.20), o que faz a tensão sobre o retificador diminuir devido ao divisor resistivo formado com R_{ant} . Entretanto, ao invés da tensão V_L cair, num primeiro momento V_L irá aumentar devido à menor queda de tensão no diodo, que sobrecompensa a redução na tensão de entrada V_A do retificador. Continuando o aumento em I_S , a tensão V_L irá aumentar até um valor máximo. Aumentos subsequentes de I_S irão provocar redução na tensão de entrada V_A que será dominante sobre o efeito de redução da queda de tensão nos diodos, fará V_L diminuir até chegar ao outro ponto da curva no qual V_L é igual a 1 V. Raciocínio análogo pode ser aplicado à fixação de N e variação de I_S .

Diminuindo a potência P_{AV} , as curvas de I_S versus N da

Figura 14 tendem a fechar-se cada vez mais, diminuindo o espaço de projeto. Caso continuemos a diminuir a potência P_{AV} , ocorrerá uma situação em que as curvas serão reduzidas a um ponto, associado à potência mínima necessária para permitir o funcionamento do retificador de acordo com as especificações. O próximo tópico aborda melhor este tema.

Para comprovação do modelo proposto, foram simulados no ADS 2009 vários
ADS 2009 vários pontos das curvas da

Figura 14. Para o capacitor C_{AC} utilizamos um valor suficientemente grande para ripple reduzido, o diodo seguia perfeitamente o modelo de *Shockley* e a carga era a fonte de corrente ideal I_L . Os resultados da tensão V_L do modelo analítico e do simulado apresentaram erro máximo de 2% para todos os pontos. Tal diferença deve-se à aproximação da corrente de entrada do retificador i_{IN} por uma senóide perfeita, cujo erro era, coincidentemente, também de 2%, conforme visto no tópico 2.1.6.

2.2.3 Modelagem para a potência disponível mínima

Como dito anteriormente, a potência P_{AV} em que a curva I_S versus N torna-se um ponto é a potência P_{AV} mínima. Então, nesse caso a potência incidente na antena receptora será a menor possível e, conseqüentemente, a distância à antena emissora será a máxima permitida para uma potência de emissão constante. A Figura 15 mostra um gráfico em 3D da potência P_{AV} em função das variáveis N e I_S/I_L para determinados parâmetros de entrada. O programa que gerou a curva 3D encontra-se no apêndice B

Pelo gráfico 3D observa-se que existe um ponto para o qual a potência P_{AV} é mínima, embora a vizinhança ao redor desse ponto não apresente uma diferença significativa no valor de P_{AV} . Essa característica mostra que o conversor é bastante robusto a variações dos parâmetros I_S , N e $n\phi_t$.

Conforme explicado no tópico anterior, para uma determinada constante k_C do conversor e potência P_{AV} , os valores das variáveis normalizadas I_S/I_L , $V_A/n\phi_t/\alpha_P$, e $V_{ANT}/n\phi_t/\alpha_P$ se mantêm. Conclui-se, então, que para cada constante k_C existirá um valor da potência P_{AV} mínima relacionado, visto que as outras variáveis estão normalizadas. Este é um resultado fundamental que permite a universalização da metodologia de projeto aqui desenvolvida, quaisquer que sejam as especificações do projeto e os componentes empregados¹. Também é coerente afirmar que o circuito retificador estará na condição de PCE máxima quando o conversor estiver operando com a potência P_{AV} mínima. Tal resultado faz sentido, pois para uma potência P_L fixada na saída, a potência na entrada do retificador P_{in} será mínima quando o mesmo estiver na condição de PCE máxima, colaborando assim para operação na condição de potência P_{AV} mínima.

¹ Cabe observar que, embora tenhamos utilizado o modelo de Shockley para o diodo, é possível alterar o presente desenvolvimento utilizando outros tipos de diodo. Também cabe ressaltar que muitos diodos podem ser aproximadamente representados pela equação de Shockley, embora não operem exatamente em regime exponencial.

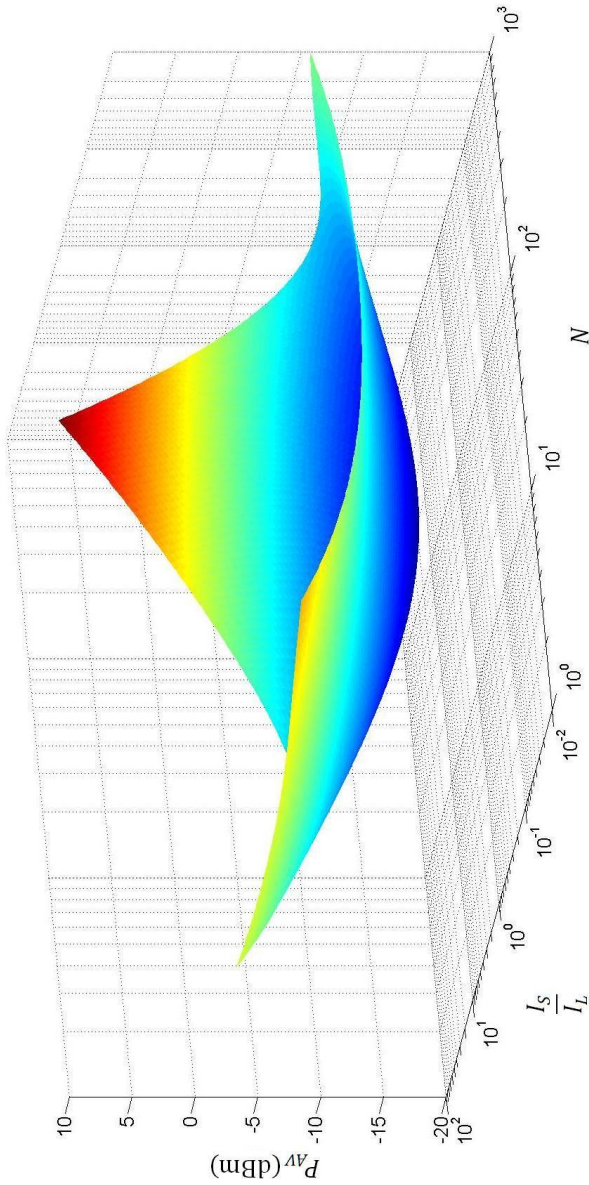


Figura 15 - Curva 3D mostrando a região ao redor do ponto de mínima P_{AV} em função de N e I_S/I_L para $V_L = 1$ V, $I_L = 1$ μ A, $n\phi_t = 36$ mV, $\alpha_p = 1$ e $R_{ant} = 50$ Ω .

Na busca por um resultado analítico para a P_{AV} mínima são necessárias algumas deduções. Com o auxílio das equações da tensão de saída V_L (2.8) e da condição de PCE máxima (2.11) deduz-se a equação:

$$I_0(v_{AP}) = \left(1 + \frac{I_L}{I_S}\right) e^{\frac{I_L}{I_S}} \quad (2.33)$$

Utilizando a equação acima se pode encontrar dI_S/dV_A em função de v_{AP} e I_S :

$$\frac{dI_S}{dv_{AP}} = -I_L \frac{(1 + I_S/I_L)(I_S/I_L)^2}{1 + 2 I_S/I_L} \frac{I_1(v_{AP})}{I_0(v_{AP})} \quad (2.34)$$

No ponto da potência P_{AV} mínima a derivada da tensão V_{ANT} em relação a v_{AP} será igual a zero, já que se trata de um mínimo local. Então, isolando v_{ANTP} na expressão (2.31), derivando em relação a v_{AP} e igualando a zero, obtém-se uma equação relacionando as variáveis v_{AP} , I_S e dI_S/dv_{AP} para a condição de P_{AV} mínima. Utilizando essa última equação em conjunto com as (2.33) e (2.34) pode-se obter:

$$2 \frac{I_S}{I_L} (1 + I_S/I_L) \left[\frac{1}{k_C} = (1 + I_S/I_L) \left(\frac{I_1(v_{AP})}{I_0(v_{AP})} \right)^2 + \frac{1}{v_{AP}} \frac{I_1(v_{AP})}{I_0(v_{AP})} - 1 \right] \quad (2.35)$$

As equações (2.33) e (2.35) formam a função do conversor sem adaptação para a condição de P_{AV} mínima. Como não é possível isolar I_S/I_L ou v_{AP} nas duas equações da função, é necessário o uso de um programa numérico para plotar a corrente de saturação normalizada I_S/I_L pela constante do conversor k_C . As Figura 16 e Figura 17 mostram respectivamente I_S/I_L e $\alpha_P V_A / n \phi_t (= v_{AP})$ versus k_C .

Analisando o gráfico da Figura 17 observa-se que quanto maior a constante k_C maior a amplitude da tensão normalizada $\alpha_P V_A / n\phi_t$. Como k_C é proporcional à potência P_L , é natural que $\alpha_P V_A / n\phi_t$ aumente para poder atender tal carga. A constante k_C também é proporcional a R_{ant} e, conforme visto anteriormente, uma antena receptora com alta resistência de saída tende a gerar tensão mais alta nos terminais do retificador. Outro fato interessante é a tendência da corrente normalizada I_S / I_L diminuir com o aumento da constante k_C .

Através da eq. (2.20) pode-se normalizar a resistência R_{in} pela resistência R_{ant} e obter a eq. (2.36), podendo-se assim criar um gráfico de R_{in}/R_{ant} versus k_C (ver Figura 18).

$$\frac{R_{in}}{R_{ant}} = \frac{I_L / I_S}{2k_C(1 + I_S / I_L)} v_{AP} \frac{I_0(v_{AP})}{I_1(v_{AP})} \quad (2.36)$$

Com o auxílio das equações (2.28) e (2.36) pode-se normalizar a amplitude da tensão da antena por $n\phi_t / \alpha_P$ obtendo-se assim:

$$\frac{V_{ANT}}{n\phi_t} \alpha_P = v_{ANTP} = v_{AP} \left[1 + \frac{R_{ant}}{R_{in}} \right] \quad (2.37)$$

A Figura 19 mostra a P_{AV} mínima (P_{AVmin}) normalizada pela potência da carga P_L .

A função do conversor sem adaptação para a condição de potência P_{AV} mínima permite relacionar através da constante do conversor k_C todas as variáveis normalizadas: $V_A / n\phi_t / \alpha_P$; I_S / I_L ; $V_{ANT} / n\phi_t / \alpha_P$; R_{in} / R_{ant} e P_{AV} / P_L . Esse é um importante resultado porque só precisamos calcular os valores das variáveis normalizadas para diferentes valores de k_C e tabelá-los. Devido a isso, toda não-linearidade do retificador se resume a esses gráficos/tabelas e pode-se projetar o conversor para a condição de P_{AV} mínima através apenas da obtenção de k_C , sendo os valores das variáveis V_A , I_S , P_{AV} e R_{in} obtidos facilmente através da multiplicação do valor obtido no gráfico pela normalização correspondente. Logo, o valor de N é obtido através da equação (2.11).

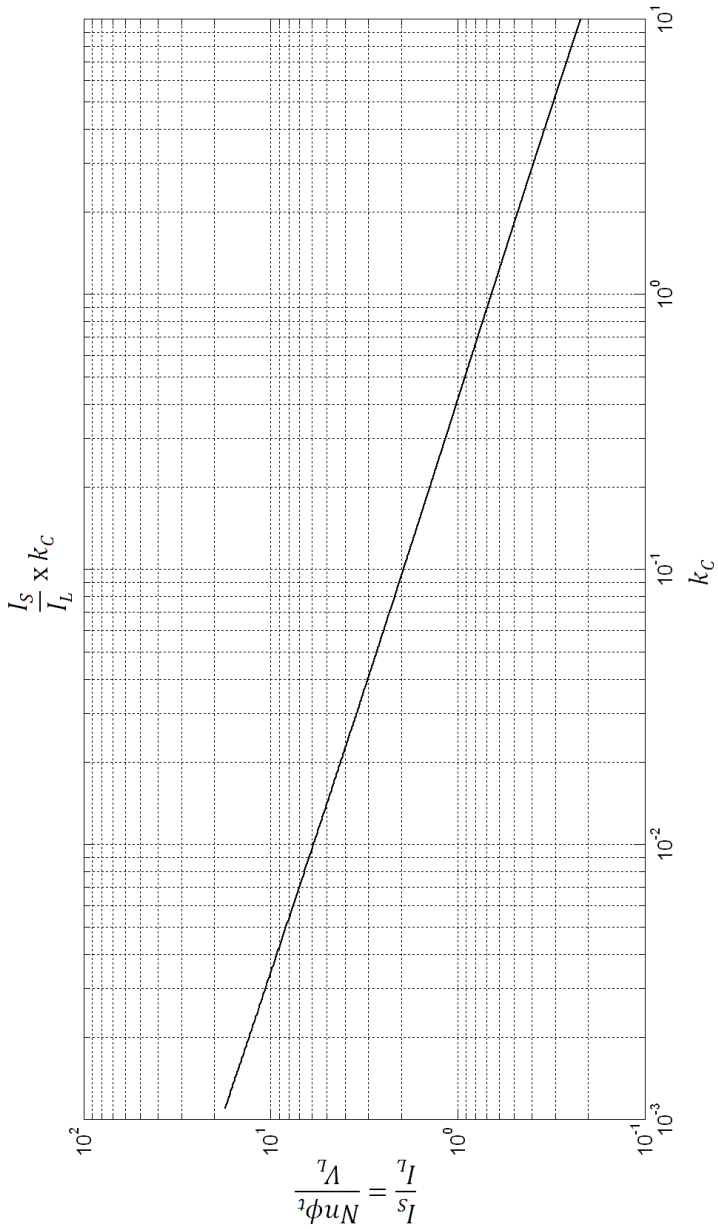


Figura 16 - Gráfico de I_S/I_L versus k_C para a condição de P_{AV} mínima do conversor sem adaptação.

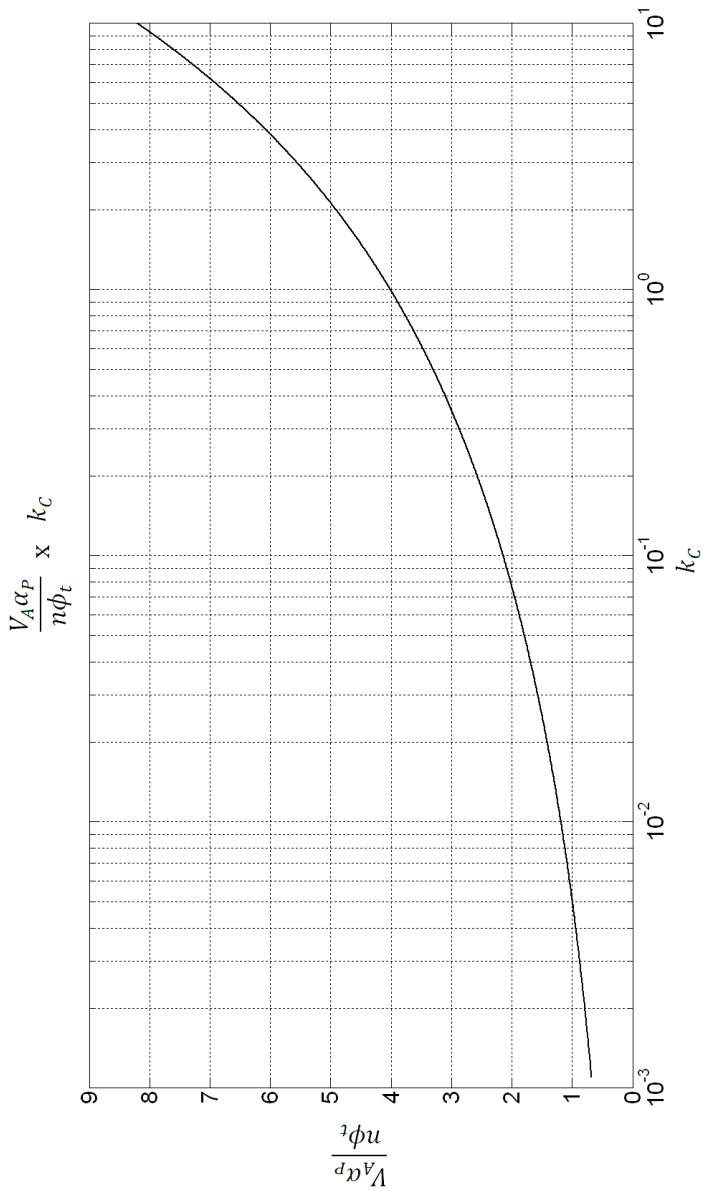


Figura 17 - Gráfico de $V_A \alpha_P / n \phi_t$ versus k_C para a condição de P_{AV} mínima do conversor sem adaptação.

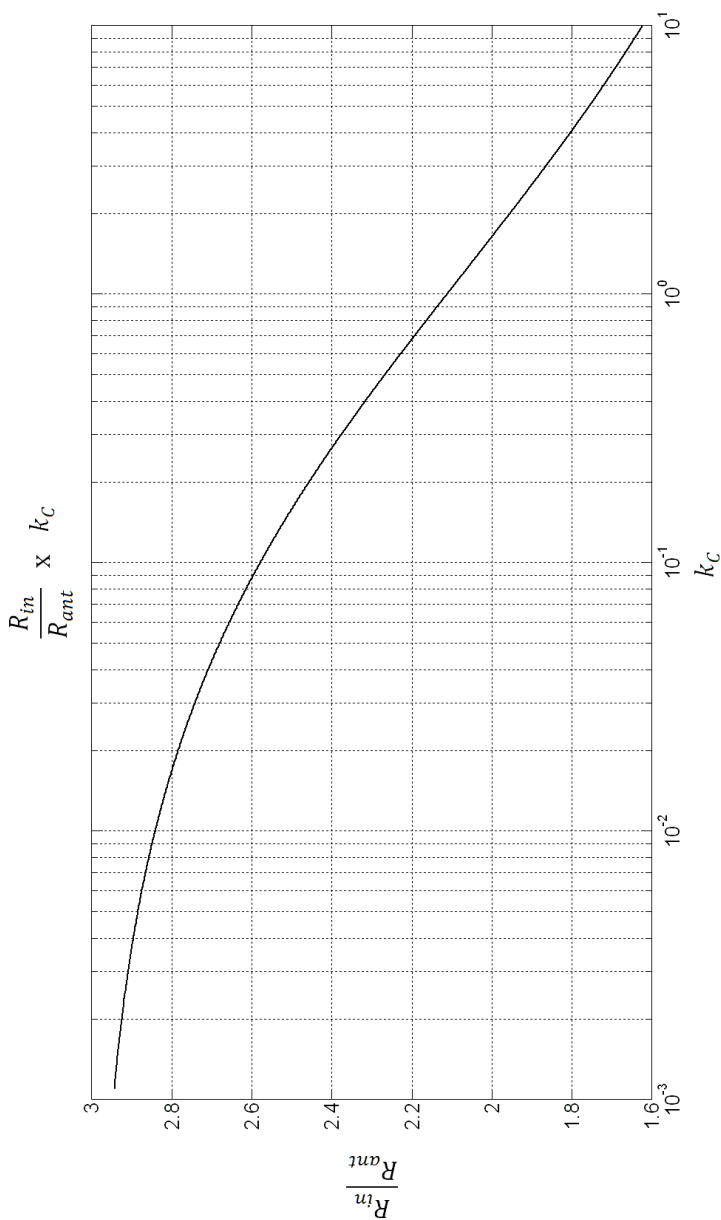


Figura 18 – Gráfico de R_{in}/R_{ant} versus k_c para a condição de P_{AV} mínima do conversor sem adaptação.

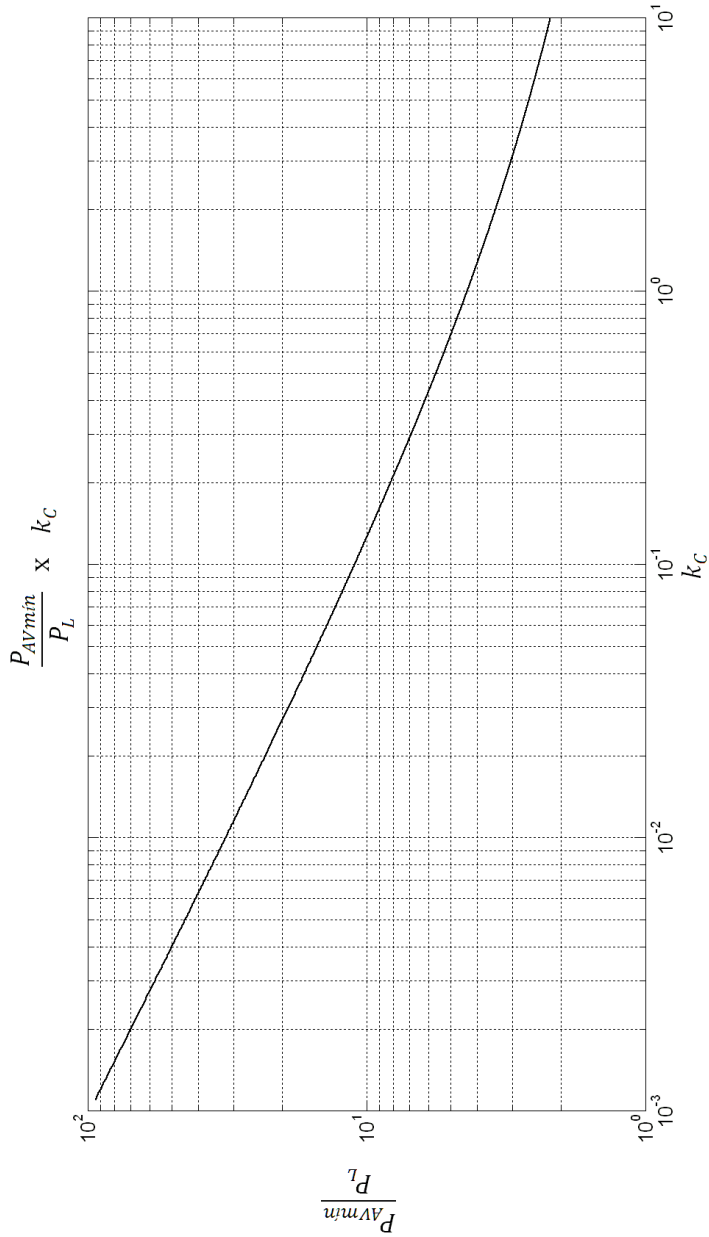


Figura 19 - Gráfico de P_{AVmin}/P_L versus k_C para a condição de P_{AV} mínima do conversor sem adaptação.

2.2.4 Projeto do conversor para a potência disponível mínima

1. Calcular a constante do conversor k_C através dos parâmetros de entrada (R_{ant} , α_P , $n\phi_t$, V_L e I_L) e da equação (2.32), repetida abaixo. Caso haja o limitador de tensão deve-se considerar na corrente I_L a corrente do limitador para a tensão V_L .

$$k_C = R_{ant} V_L I_L \left(\frac{\alpha_P}{n\phi_t} \right)^2 = R_{ant} P_L \left(\frac{\alpha_P}{n\phi_t} \right)^2 \quad (2.38)$$

2. Através do valor obtido para k_C obter as variáveis normalizadas: I_S/I_L ; $V_A/n\phi_t/\alpha_P$; R_{in}/R_{ant} e P_{AVmin}/P_L a partir dos gráficos nas figuras Figura 16 a Figura 19. Observar que, para uma dada potência requerida na carga, o valor mínimo requerido P_{AVmin} depende exclusivamente de k_C .
3. Multiplicar as variáveis normalizadas pelos parâmetros de normalização a fim de obter: I_S ; V_A ; R_{in} e P_{AVmin} .
4. Obter N através da equação (2.11), repetida abaixo:

$$N = \frac{I_S}{I_L} \frac{V_L}{n\phi_t} \quad (2.39)$$

5. Se desejado, calcular a amplitude V_{ANT} através da equação (2.23) repetida abaixo:

$$V_{ANT} = \sqrt{8R_{ant}P_{AV}} \quad (2.40)$$

6. Se desejado, calcular a tensão instantânea máxima e mínima sobre o diodo através das equações (2.5) e (2.6) repetidas a seguir:

$$V_{Dmáx} = V_A - \frac{V_L}{N} \quad V_{Dmín} = - \left(V_A + \frac{V_L}{N} \right) \quad (2.41) \text{ e } (2.42)$$

Caso os valores dos parâmetros de entrada (especificações) não sejam adequados aos valores obtidos por meio do projeto pode-se fazer novamente o projeto com novos valores dos parâmetros de entrada, tendo-se assim um processo iterativo até que os valores converjam. Para α_P podemos adotar um valor inicial de 0,99.

Da mesma forma, podemos verificar quais os requisitos do sistema, isto é, o valor de k_C para o qual é atendido o requisito de uma certa relação P_{AVmin}/P_L .

2.2.4.1 Condições para o modelo ser válido

- O diodo segue aproximadamente o modelo de *Shockley* para tensões entre V_{Dmin} e V_{Dmax} .
- A reatância da capacitância parasita do retificador vista pela antena receptora deve ser muito maior que R_{in} .
- A fonte de sinal deve ser puramente resistiva.
- O capacitor de acoplamento C_{AC} deve ser maior ou igual aos valores calculados pelo critério de máximo *ripple* e do divisor capacitivo, sendo esses valores dados pelas equações (2.10) e (2.12), respectivamente, e repetidas abaixo:

$$C_{AC} = \frac{I_L + I_S}{2f\Delta V} \quad C_{AC} = \frac{\alpha_P C_P}{1 - \alpha_P} \quad (2.43) \text{ e } (2.44)$$

2.2.4.2 Exemplo de projeto

Para os parâmetros de entrada:

- $R_{ant} = 50 \Omega$
- $V_L = 1 \text{ V}$
- $I_L = 1 \mu\text{A}$ (logo $P_L = 1 \mu\text{W}$)
- $n\phi_t = 36 \text{ mV}$ (determinado pelo diodo da tecnologia utilizada)
- $\alpha_P = 0,99$
- $f = 900 \text{ MHz}$

A constante k_C é dada por:

$$k_C = R_{ant} V_L I_L \left(\frac{\alpha_P}{n\phi_t} \right)^2 = 0,0378$$

Pelos gráficos da função do conversor sem adaptação para P_{AV} mínima:

- $I_S/I_L = 3,1$ → $I_S = 3,1 \mu\text{A}$
- $V_A/n\phi_t/\alpha_P = 1,65$ → $V_A = 59,5 \text{ mV}$
- $R_{in}/R_{ant} = 2,70$ → $R_{in} = 135 \Omega$
- $P_{AV\text{mín}}/P_L = 17,2$ → $P_{AV\text{mín}} = 17,2 \mu\text{W} = -17,6 \text{ dBm}$

O número de estágios é:

$$N = \frac{I_S}{I_L} \frac{V_L}{n\phi_t} = 86,1 \cong 86$$

Se desejado, pode-se calcular:

$$V_{ANT} = \sqrt{8R_{ant}P_{AV}} = 82,9 \text{ mV}$$

$$V_{D\text{máx}} = V_A - \frac{V_L}{N} = 48,3 \text{ mV}$$

$$V_{D\text{mín}} = - \left(V_A + \frac{V_L}{N} \right) = -95 \text{ mV}$$

Para o resultado ser válido o diodo deve ter característica aproximada da do diodo *Shockley* entre as tensões -95 mV e 48,3 mV.

Para a frequência de 900 MHz, com *ripple* de 1 mV, assumindo capacitância parasita do diodo C_P igual a 15 fF e α_P sendo 0,99, o valor mínimo do capacitor de acoplamento deve ser o máximo dos seguintes valores:

$$C_{AC} = \frac{I_L + I_S}{2f\Delta V} = 2,28 \text{ pF}$$

$$C_{AC} = \frac{\alpha_P C_P}{1 - \alpha_P} = 99C_P = 1.5 \text{ pF}$$

Logo C_{AC} , precisa ser maior ou igual a 2,28 pF.

Supondo que a capacitância do retificador vista pela antena seja N vezes C_P , o módulo da reatância seria igual a 123 k Ω , sendo esse valor muito maior que R_{in} , cujo valor é de 135 Ω , assim validando o modelo.

3 CONVERSOR AC/DC COM ADAPTAÇÃO

Neste capítulo será apresentado o conversor AC/DC com adaptação de impedância, seu conceito, como é constituído e modelado e, por fim, como projetá-lo conforme os parâmetros de entrada escolhidos.

3.1 ADAPTAÇÃO DE IMPEDÂNCIA

3.1.1 Conceito

Para aperfeiçoar o conversor AC/DC em busca da potência P_{AV} mínima pode-se utilizar o conceito de adaptação/casamento de impedância. Tal conceito visa casar a impedância da carga vista pela fonte com sua respectiva impedância de saída, de modo a transferir a maior potência possível para a carga. Para o conversor, a carga seria o circuito retificador e a antena receptora seria a fonte. Neste trabalho supomos que a impedância da antena é puramente resistiva. A maneira mais conhecida de adaptação de impedância consiste em utilizar um transformador ideal, conforme pode ser visto na Figura 20.

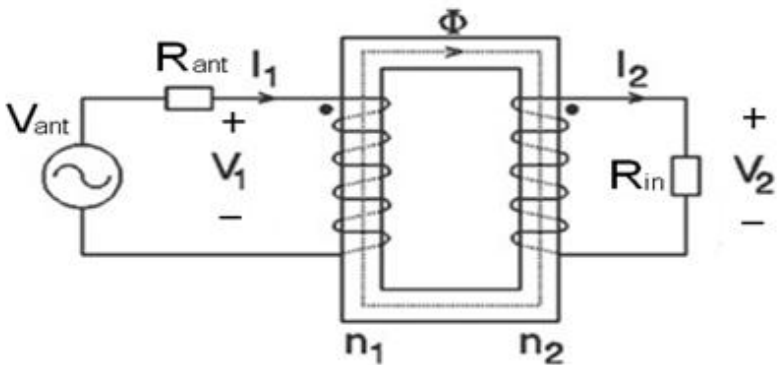


Figura 20 - Adaptação de impedância através de um transformador.

Através do ajuste das espiras dos enrolamentos pode-se obter o casamento entre duas impedâncias reais, resultando assim na máxima transferência de potência.

3.1.2 Rede de adaptação passiva

Como o projeto trata-se de um conversor AC/DC integrado, a adaptação de impedância com uso de transformador é mais complicada. Uma alternativa é o uso de redes de adaptação passivas implementadas com indutores e capacitores. Ao contrário do transformador ideal que casa as impedâncias puramente resistivas independentemente da frequência, as redes com o uso de componentes reativos adaptam em torno de uma frequência, denominada de frequência de ressonância (ω_0). Além disso, as redes têm definidas as frequências de corte, que são as frequências cuja potência na carga é a metade da máxima. O intervalo entre as duas frequências de corte é chamado de banda de passagem. Num circuito RLC, a relação entre a frequência de ressonância e a banda de passagem é dada pelo fator de qualidade (Q) (ver equação (3.1)). Então, o circuito será mais seletivo conforme o aumento de Q [5].

$$Q = \frac{\omega_0}{\Delta\omega} \quad (3.1)$$

O fator de qualidade também pode ser escrito como a razão entre a energia armazenada e dissipada. Para o circuito RL série o fator de qualidade é a razão entre a reatância e a resistência na frequência ω_0 [5]. Já para o circuito RL paralelo, o fator de qualidade é a razão entre a resistência e a reatância na frequência ω_0 . Um indutor integrado de 38 nH da tecnologia *IBM130nm* possui fator de qualidade de aproximadamente 11 na frequência de 900 MHz, o que é equivalente a dizer que sua reatância é 11 vezes maior que sua resistência para o modelo reatância e resistência em série.

Outro ponto a ser observado é a relação entre as correntes e tensões nos componentes reativos e o fator de qualidade. No circuito RLC série o módulo da tensão nos componentes reativos é Q vezes maior que o módulo da tensão sobre o resistor, enquanto que no circuito RLC paralelo o módulo da corrente nos componentes reativos é Q vezes maior que o módulo da corrente sobre o resistor. Então, conclui-se que as tensões e correntes nos componentes reativos, em redes de adaptação sintonizáveis, tendem a aumentar com o aumento do Q . Este aspecto é explorado no conversor com adaptação de impedância para elevar a tensão V_A na entrada do retificador, possibilitando operação mais eficiente.

3.1.3 Rede L

Existem diversas redes de adaptação passivas [5] que diferem na disposição e número de elementos reativos. A rede escolhida foi a rede L , constituída de um elemento reativo em série e outro de natureza reativa oposta em paralelo com a carga. Tem-se livre escolha para optar qual elemento será indutivo ou capacitivo; então, podemos escolher os elementos conforme os componentes parasitas presentes no circuito de entrada e/ou de saída da rede de adaptação. Para o conversor, a rede de adaptação irá casar a antena receptora com o circuito retificador; como a antena é puramente resistiva em nosso caso não há parasitas reativas. No entanto, para o circuito retificador haverá capacitâncias parasitas que podem ser importantes para a determinação da rede de adaptação. A rede L de compensação para o retificador é mostrada na Figura 21.

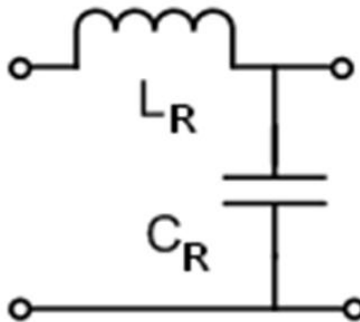


Figura 21 - Rede de adaptação de impedância.

A rede de adaptação L com a capacitância paralela (C_R) pode aproveitar a capacitância parasita (C_{RET}) do retificador para a adaptação. Para o projeto desenvolvido neste trabalho, a capacitância parasita do retificador é menor que a capacitância necessária para adaptação (ou seja, a C_R). Caso fosse maior, seria preciso colocar um indutor em paralelo com o retificador para cancelar o efeito da capacitância adicional, o que poderia piorar o rendimento do conversor por causa do baixo fator de qualidade dos indutores integrados. Com a capacitância parasita do retificador C_{RET} sendo menor que a necessária é possível colocar capacitores em paralelo para compensação C_{COMP} , lembrando que o fator de qualidade dos capacitores integrados é alto, aproximadamente 120 para a tecnologia $IBM130nm$.

Caso a antena não seja totalmente resistiva, mas tivesse também uma reatância indutiva fazendo parte da impedância de saída, poder-se-ia absorver tal indutância através da rede de maneira análoga à capacitância parasita do retificador.

3.1.4 Modelando a Rede L

Para a modelagem da rede de adaptação foi considerado o modelo série onde o fator de qualidade do indutor (Q_{ind}) é mostrado pela equação (3.2). Quanto menor o fator de qualidade do indutor, maior o resistor R_S e maiores as perdas na rede de adaptação.

$$Q_{ind} = \frac{X_{LR}}{R_S} \quad (3.2)$$

O fator de qualidade do retificador (Q_{ret}) é mostrado na equação (3.3) e corresponde ao modelo paralelo. X_{LR} e X_{CR} são as reatâncias de L_R e C_R , respectivamente.

$$Q_{ret} = \frac{R_{in}}{X_{CR}} \quad (3.3)$$

A adaptação foi desenvolvida analiticamente para a condição de impedância da rede vista pela antena (Z_{EQ}) igual a R_{ant} , de modo a aproveitar toda a P_{AV} (ver Figura 22). Em outras palavras, a parte real de Z_{EQ} foi igualada a R_{ant} e a parte imaginária a zero. Então, obteve-se as equações de (3.4) a (3.7) em função dos fatores de qualidade do indutor e do retificador.

$$R_{in} = \frac{Q_{ind}(Q_{ret}^2 + 1)}{Q_{ret} + Q_{ind}} R_{ant} \quad (3.4)$$

$$V_A = \frac{Q_{ind} \sqrt{Q_{ret}^2 + 1} V_{ANT}}{Q_{ret} + Q_{ind}} \frac{1}{2} \quad (3.5)$$

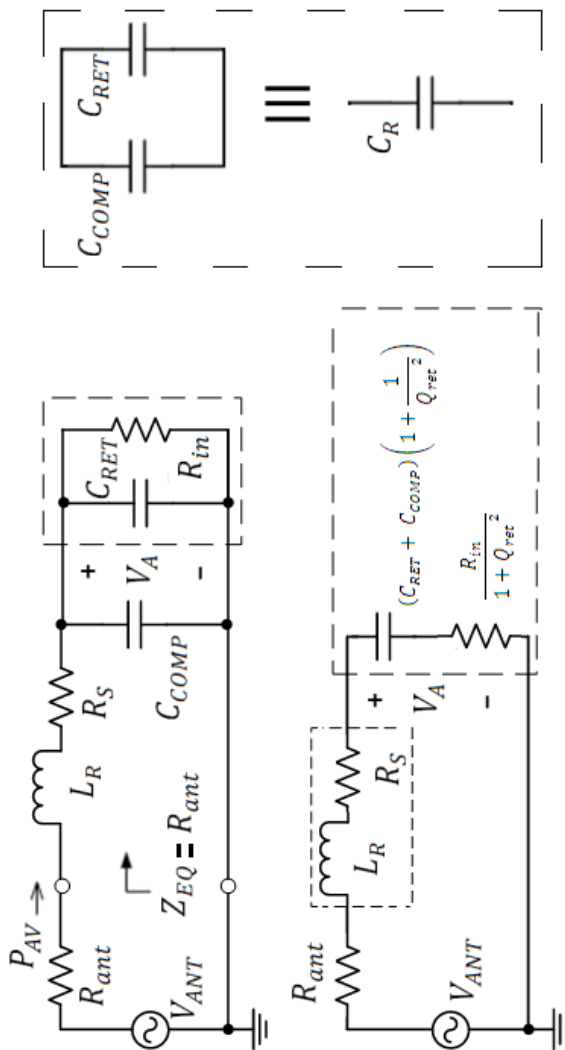


Figura 22 - Modelando a rede de adaptação L.

$$X_{LR} = \frac{Q_{ret}Q_{ind}}{Q_{ret} + Q_{ind}}R_{ant} \quad (3.6)$$

$$X_{CR} = \frac{Q_{ret}^2 + 1}{Q_{ret}^2}X_{LR} \quad (3.7)$$

A Figura 22 também mostra o circuito série equivalente do retificador, que permite uma visualização clara da ressonância presente na adaptação de impedância, que acontece entre a capacitância $C_R(1+1/Q_{ret}^2)$ e a indutância L_R .

Usando as equações (2.16), (2.23), (3.4) e (3.5) e isolando P_{IN} obtém-se a equação (3.8), que relaciona a potência P_{IN} com a P_{AV} através dos fatores de qualidade Q_{ind} e Q_{ret} . Quanto maior o Q_{ind} , maior será P_{in} , ou seja, menos potência será perdida na rede de adaptação, ou equivalentemente, no indutor, conforme relação abaixo:

$$P_{in} = P_{AV} \frac{Q_{ind}}{Q_{ind} + Q_{ret}} \quad (3.8)$$

3.2 O CONVERSOR COM ADAPTAÇÃO PARA POTÊNCIA DISPONÍVEL MÍNIMA

3.2.1 O conversor com adaptação

O conversor AC/DC com adaptação é constituído da antena receptora, da rede de adaptação, do circuito retificador e do limitador de tensão na saída (ver Figura 23).

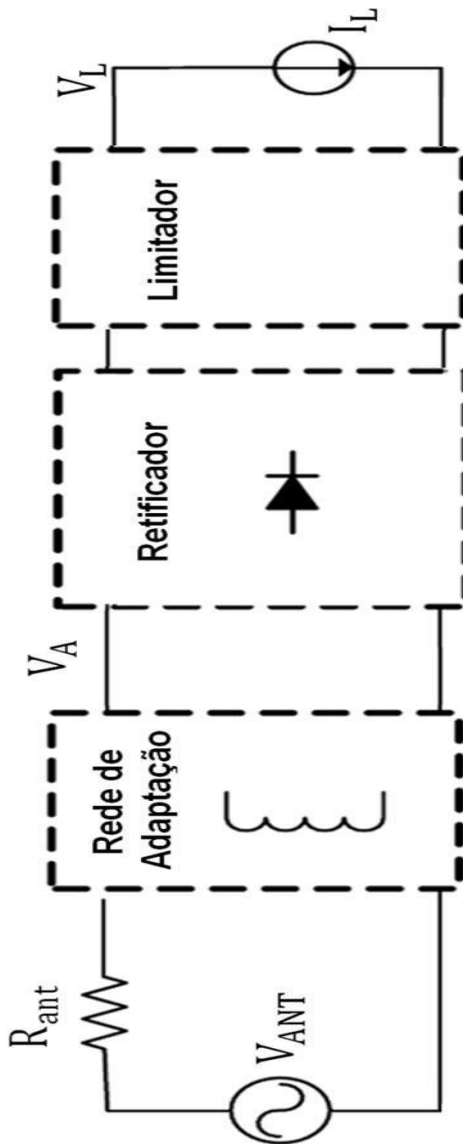


Figura 23 - Representação do conversor AC/DC com adaptação.

O processo para achar as curvas I_S versus N é análogo ao do conversor sem adaptação; a única diferença encontra-se na substituição da equação (2.28) pelas equações (3.4) e (3.5), sendo essas 3 equações responsáveis por relacionar a antena receptora com o circuito retificador para o caso sem e com adaptação, respectivamente. As equações que modelam o conversor com adaptação estão repetidas abaixo.

$$\frac{V_L}{Nn\phi_t} = \ln \left[\frac{I_0(v_{AP})}{1 + \frac{I_L}{I_S}} \right] \quad (3.9)$$

$$R_{in} = \frac{V_A}{2\alpha_P N(I_L + I_S)} \frac{I_0(v_{AP})}{I_1(v_{AP})} \quad (3.10)$$

$$R_{in} = \frac{Q_{ind}(Q_{ret}^2 + 1)}{Q_{ret} + Q_{ind}} R_{ant} \quad (3.11)$$

$$V_A = \frac{Q_{ind} \sqrt{Q_{ret}^2 + 1} V_{ANT}}{Q_{ret} + Q_{ind}} \frac{1}{2} = \frac{Q_{ind} \sqrt{Q_{ret}^2 + 1}}{Q_{ret} + Q_{ind}} \sqrt{2R_{ant} P_{AV}} \quad (3.12)$$

De maneira análoga à da seção 2.2.2, assumindo que a potência P_{AV} seja maior que a P_{AV} mínima é possível, com auxílio de um software matemático, obter a curva I_S versus N para determinadas constantes k_C e Q_{ind} definidas pelos parâmetros de entrada. Para este trabalho utilizamos o MATLAB para desenvolvimento do programa numérico, incluído no apêndice B. A Figura 24 mostra as curvas de nível para várias P_{AV} em termos da corrente de saturação I_S e do número de estágios N .

Além da curva de I_S x N o programa também traça as seguintes variáveis em função de N : amplitude da tensão V_A na entrada do retificador, resistência de entrada R_{in} , fator de qualidade do retificador Q_{ret} , indutor da rede L_R , resistência do indutor da rede R_S e capacitância necessária para a rede C_R . Vale ressaltar que a capacitância C_R é a soma da capacitância parasita do retificador C_{RET} mais a capacitância de compensação C_{COMP} .

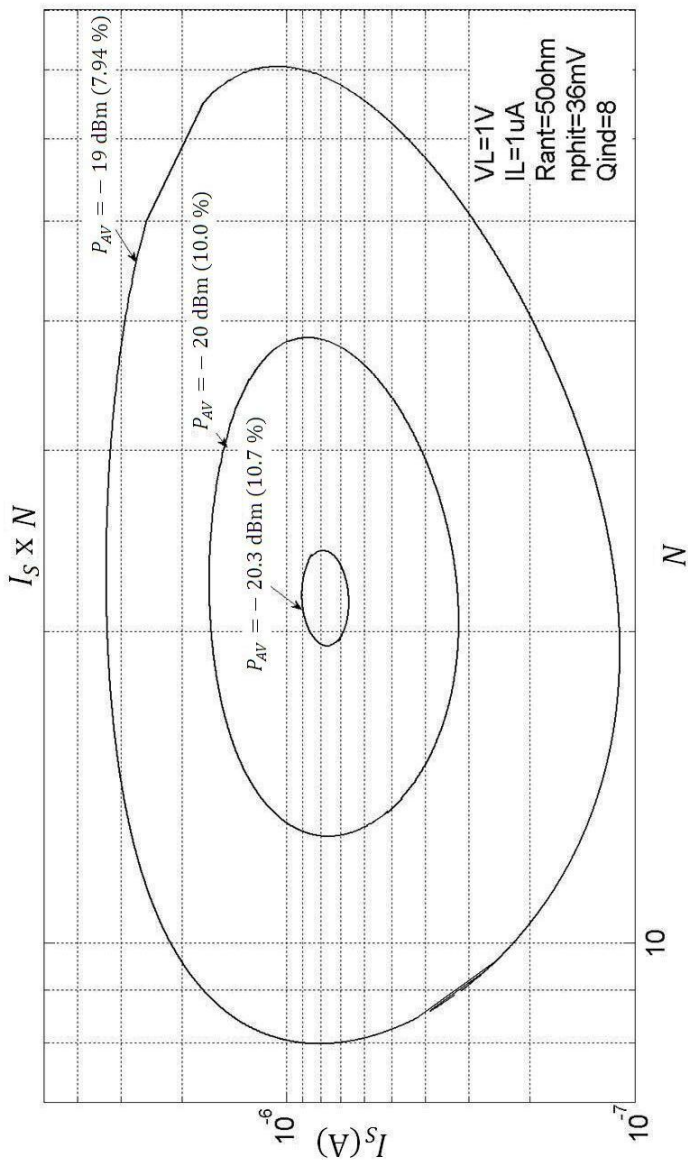


Figura 24 - Curva $I_S \times N$ para diferentes P_{AV} , sendo $V_L = 1 \text{ V}$, $I_L = 1 \mu\text{A}$, $R_{ant} = 50 \Omega$, $n\phi_t = 36 \text{ mV}$, $\alpha_p = 1$ e $Q_{ind} = 8$. Os termos entre parênteses representam a eficiência do conversor (P_L/P_{AV}) percentual.

3.2.2 Modelando para a potência disponível mínima

A análise aqui é similar ao caso sem adaptação, sendo a diferença a inclusão do fator de qualidade do indutor Q_{ind} como mais um parâmetro de entrada. Ao invés de a potência P_{AV} mínima ser função apenas da constante do conversor k_C , a mesma será também função do Q_{ind} .

Para obter um resultado analítico é necessário ter uma expressão envolvendo V_{ANT} , V_A , R_{in} e R_{ant} para substituir a equação (2.28) do caso sem adaptação. Através das equações (3.4) e (3.5), e considerando que $Q_{RET}^2 \gg 1$ para aproximação obtém-se:

$$V_{ANT} = \frac{V_A}{Q_{ind}} \left(1 + \sqrt{1 + 4Q_{ind}^2 \frac{R_{ant}}{R_{in}}} \right) \quad (3.13)$$

Considerando R_{in} como função de v_{AP} , derivando a equação (3.13) em relação a v_{AP} , fazendo $\frac{dV_{ANTP}}{dv_{AP}} = 0$ (condição para P_{AV} mínima) e isolando R_{ant} para a única solução fisicamente possível, visto que as outras pertenciam ao campo dos números complexos, obtém-se:

$$R_{ant} = \frac{v_{AP} R_{in}^2 \frac{dR_{in}}{dv_{AP}} - R_{in}^3}{\left(v_{AP} Q_{ind} \frac{dR_{in}}{dv_{AP}} \right)^2 - 4v_{AP} Q_{ind}^2 R_{in} \frac{dR_{in}}{dv_{AP}} + (2Q_{ind} R_{in})^2} \quad (3.14)$$

A condição de P_{AV} mínima do conversor com adaptação seguirá a condição de PCE máxima conforme explicado para o caso sem adaptação. Logo, R_{in} pode ser descrito com auxílio das equações (2.27) e (2.33) como:

$$R_{in} = \frac{R_{ant}}{k_C} \frac{I_L/I_S}{2(1 + I_S/I_L)} v_{AP} \frac{I_0(v_{AP})}{I_1(v_{AP})} \quad (3.15)$$

Derivando R_{in} em relação a v_{AP} :

$$\frac{dR_{in}}{dv_{AP}} = \frac{R_{ant}}{k_C} \frac{I_L/I_S}{2(1 + I_S/I_L)} \left[v_{AP}(1 + I_S/I_L) + 2 \frac{I_0(v_{AP})}{I_1(v_{AP})} - v_{AP} \left(\frac{I_0(v_{AP})}{I_1(v_{AP})} \right)^2 \right] \quad (3.16)$$

Substituindo as equações (3.15) e (3.16) na eq. (3.14) obtém-se:

$$k_C Q_{ind}^2 = \frac{[v_{AP}(1 + x)I_1(v_{AP})^2 + I_0(v_{AP})I_1(v_{AP}) - v_{AP}I_0(v_{AP})^2]I_0(v_{AP})^i}{2x(1 + x)v_{AP}[(1 + x)I_1(v_{AP})^2 - I_0(v_{AP})^2]^2} \quad (3.17)$$

Onde $x = I_S/I_L$.

Define-se a constante do conversor com adaptação (k_{CA}) através dos parâmetros de entrada (R_{ant} , Q_{ind} , α_P , $n\phi_t$, V_L e I_L) como

$$k_{CA} = k_C Q_{ind}^2 = R_{ant} V_L I_L \left(\frac{\alpha_P Q_{ind}}{n\phi_t} \right)^2 = R_{ant} P_L \left(\frac{\alpha_P Q_{ind}}{n\phi_t} \right)^2 \quad (3.18)$$

Então, a eq. (3.17) pode ser rearranjada como:

$$\frac{1}{k_{CA}} = \frac{2(I_S/I_L)(1 + I_S/I_L) \left[(1 + I_S/I_L) \left(\frac{I_1(v_{AP})}{I_0(v_{AP})} \right)^2 - 1 \right]^2}{(1 + I_S/I_L) \left(\frac{I_1(v_{AP})}{I_0(v_{AP})} \right)^2 + \frac{1}{v_{AP}} \frac{I_1(v_{AP})}{I_0(v_{AP})} - 1} \quad (3.19)$$

A equação (3.19) em conjunto com a (2.33), repetida abaixo, formam a função do conversor com adaptação para a condição de P_{AV} mínima.

$$I_0(v_{AP}) = \left(1 + \frac{I_L}{I_S} \right) e^{\frac{I_L}{I_S}} \quad (3.20)$$

O método para o projeto é análogo ao do conversor sem adaptação, sendo que as diferenças estão na constante do conversor e nas normalizações.

A normalização de R_{in} é semelhante ao caso sem adaptação, visto que é relacionada à condição de PCE máxima:

$$\frac{R_{in}}{R_{ant}Q_{ind}^2} = \frac{1}{k_{CA}} \frac{I_L/I_S}{2(1 + I_S/I_L)} v_{AP} \frac{I_0(v_{AP})}{I_1(v_{AP})} \quad (3.21)$$

Através das equações (3.12) e (3.21) pode-se normalizar v_{ANTP} :

$$v_{ANTP}Q_{ind} = v_{AP} \left(1 + \sqrt{1 + 4Q_{ind}^2 \frac{R_{ant}}{R_{in}}} \right) \quad (3.22)$$

Utilizando a equação acima e a (2.23) pode-se normalizar P_{AV} :

$$\frac{P_{AV}}{P_L} = \frac{V_{ANT}^2}{8R_{ant}P_L} = \frac{(Q_{ind}v_{ANTP})^2}{8k_{CA}} \quad (3.23)$$

Através das equações (3.11), (3.22) e (3.23) pode-se normalizar

Q_{ret} :

$$\frac{Q_{ret}}{Q_{ind}} = \frac{1}{4} \left(\frac{v_{ANTP}Q_{ind}}{v_{AP}} \right)^2 \frac{R_{in}}{R_{ant}Q_{ind}^2} - 1 \quad (3.24)$$

Com o uso da equação (3.6) pode-se normalizar X_{LR} :

$$\frac{X_{LR}}{Q_{ind}R_{ant}} = \frac{Q_{ret}/Q_{ind}}{Q_{ret}/Q_{ind} + 1} \quad (3.25)$$

Utilizando a equação (3.7) verifica-se que X_{CR} é aproximadamente igual a X_{LR} quando $Q_{RET}^2 \gg 1$:

$$X_{CR} = \frac{Q_{ret}^2 + 1}{Q_{ret}^2} X_{LR} \cong X_{LR} = X \quad (3.26)$$

Onde X é a reatância do indutor.

As figuras de 25 a 28 apresentam os gráficos das variáveis normalizadas acima para a condição de P_{AV} mínima para o conversor com adaptação em função de k_{CA} , ou o que equivale a dizer, os gráficos da função do conversor com adaptação para P_{AV} mínima.

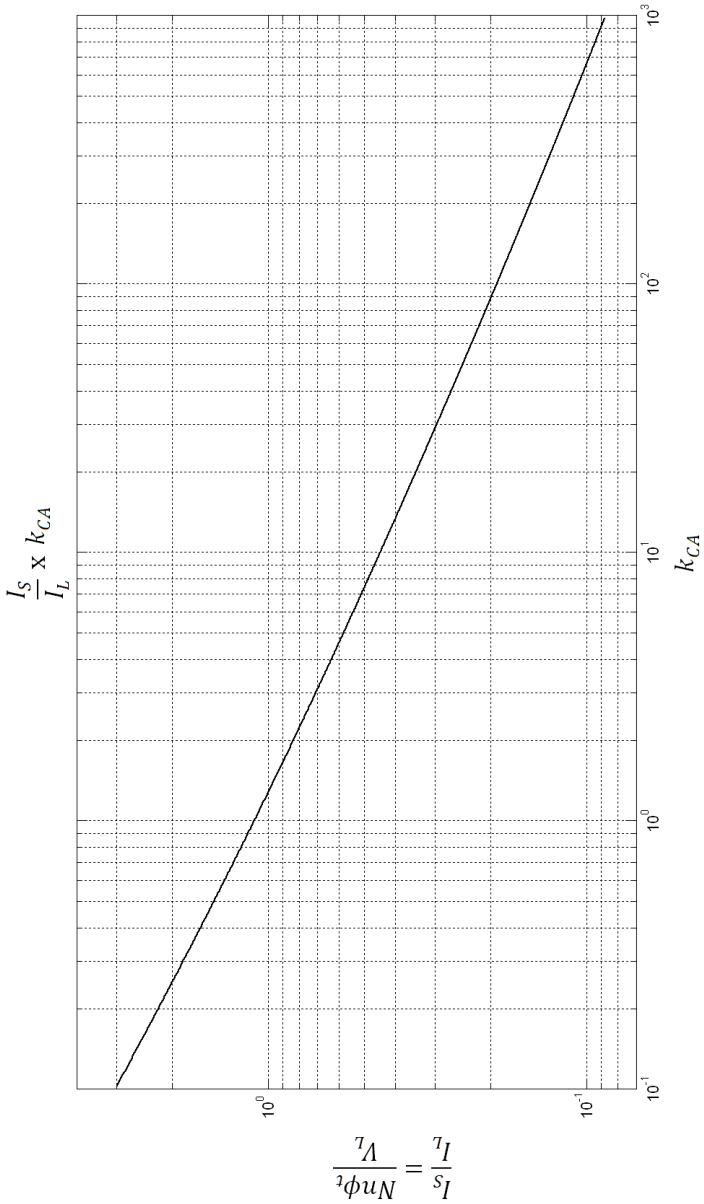


Figura 25 - Gráfico de I_S/I_L versus k_{CA} para a condição de P_{AV} mínima do conversor com adaptação.

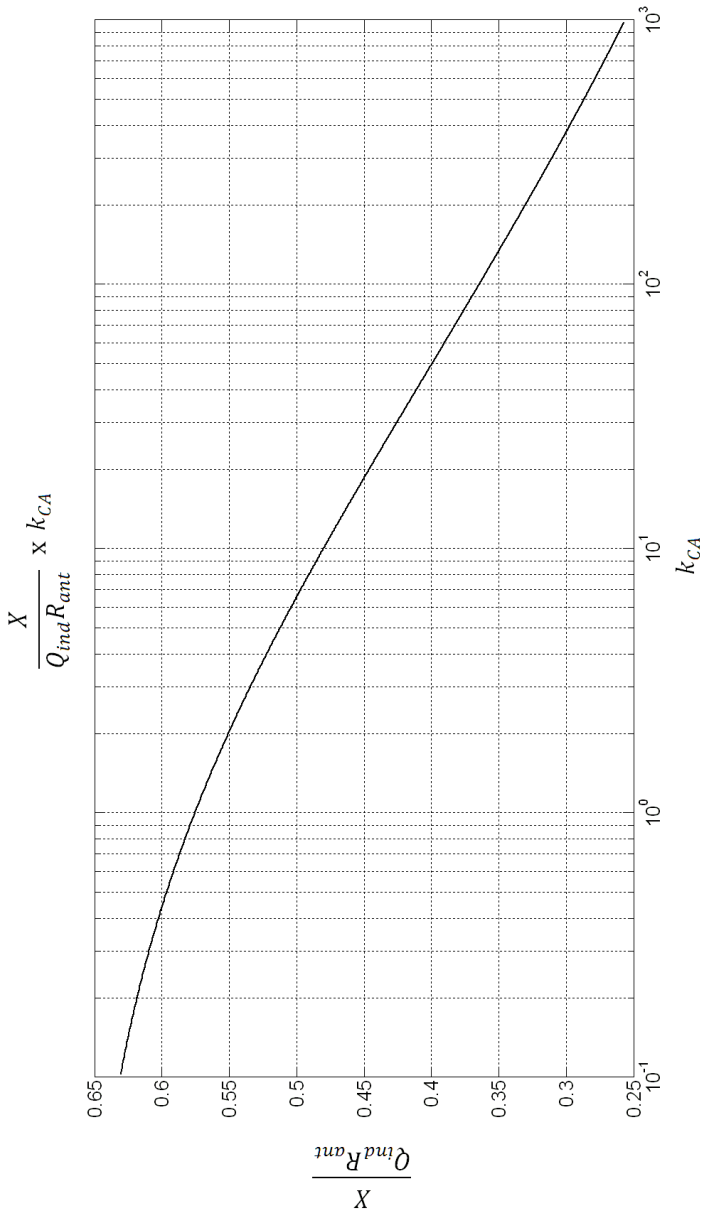


Figura 26 - Gráfico de $X/(Q_{ind} R_{ant})$ versus k_{CA} para a condição de P_{AV} mínima do conversor com adaptação.

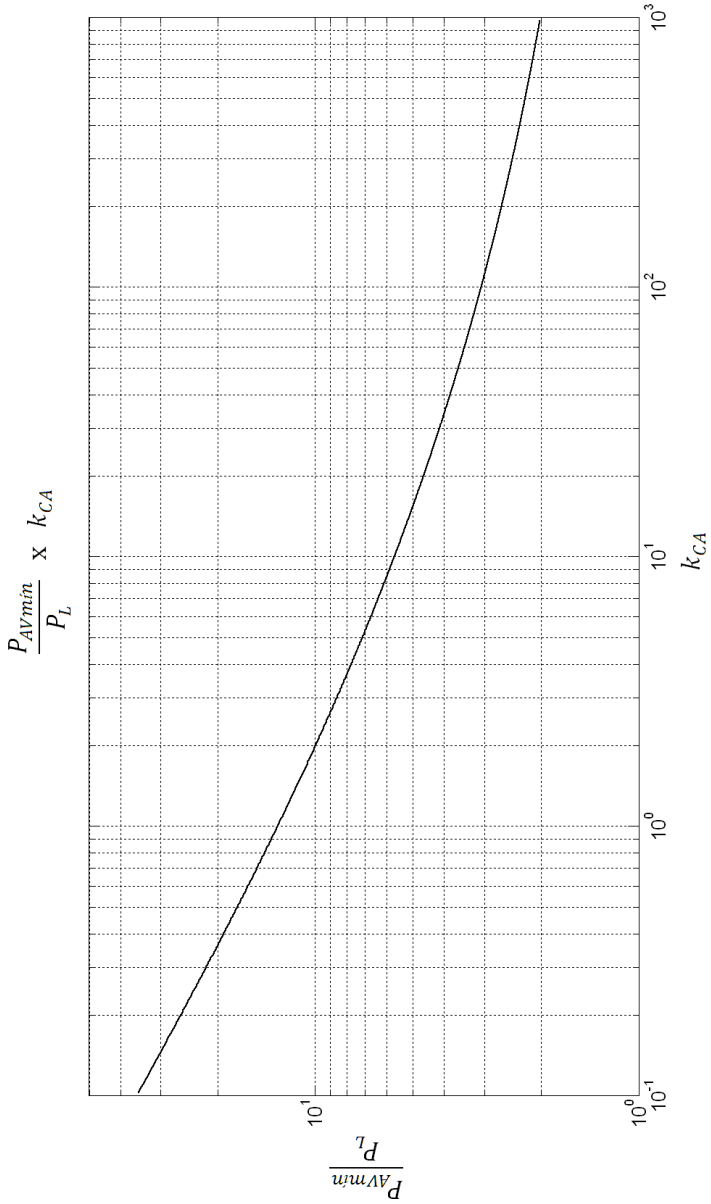


Figura 27 - Gráfico de P_{AV}/P_L versus k_{CA} para a condição de P_{AV} mínima do conversor com adaptação.

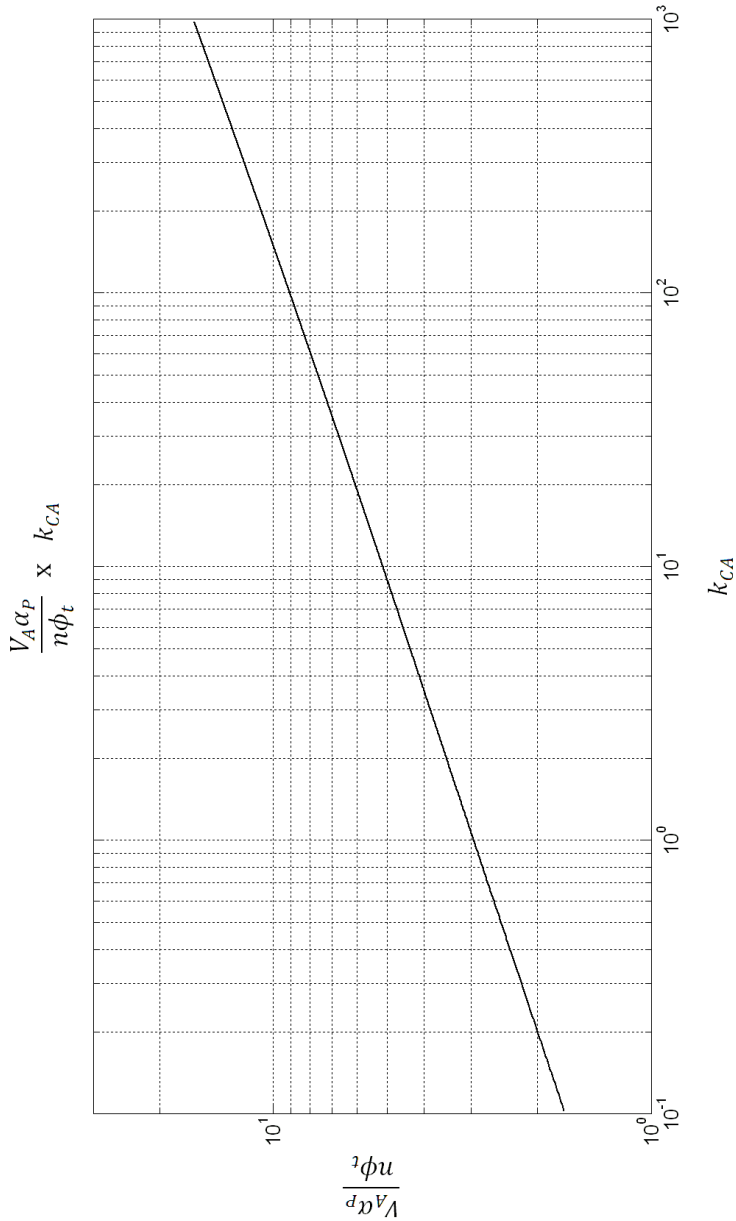


Figura 28 - Gráfico de $V_A \alpha_p / n \phi_t$ versus k_{CA} para a condição de P_{AV} mínima do conversor com adaptação.

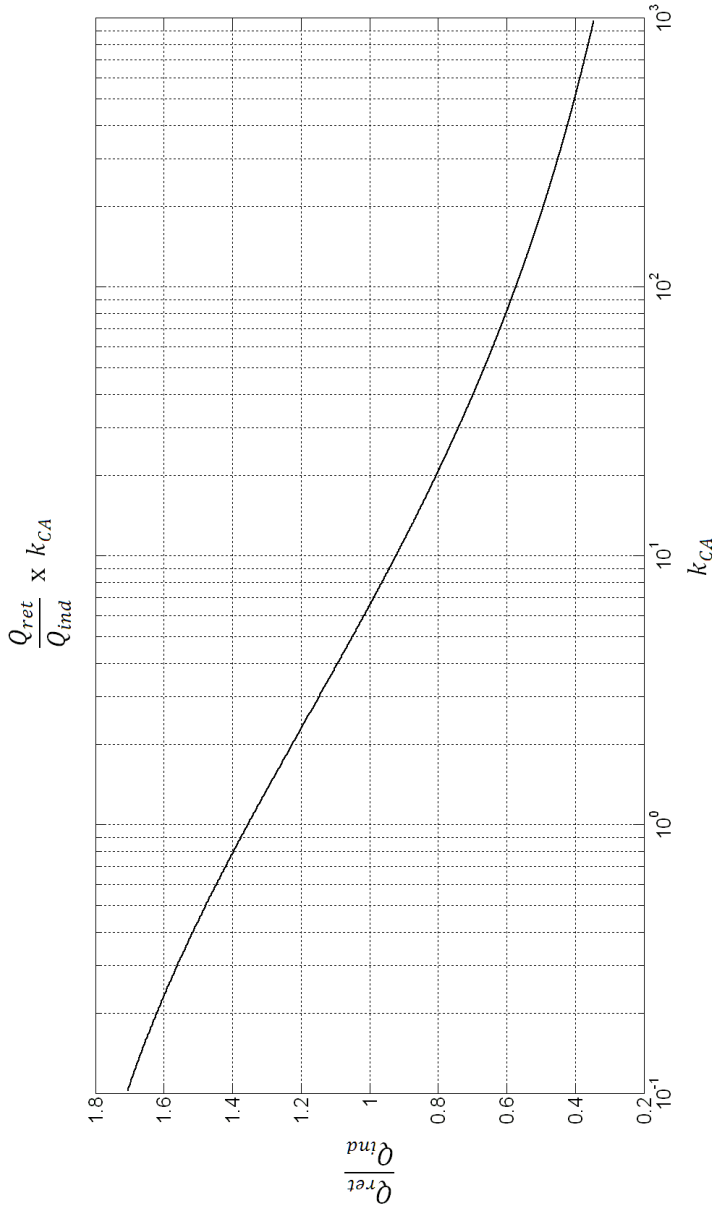


Figura 29 - Gráfico de Q_{ret}/Q_{ind} versus k_{CA} para a condição de P_{AV} mínima do conversor com adaptação.

3.2.3 Projeto do conversor com adaptação para a potência disponível mínima

1. Calcular a constante do conversor k_{CA} através dos parâmetros de entrada (R_{ant} , α_P , $n\phi_t$, V_L , I_L e Q_{ind}) e da equação (3.18), repetida abaixo. Caso haja o limitador de tensão deve-se considerar na corrente I_L a corrente do limitador para a tensão V_L .

$$k_{CA} = k_C Q_{ind}^2 = R_{ant} V_L I_L \left(\frac{\alpha_P Q_{ind}}{n\phi_t} \right)^2 = R_{ant} P_L \left(\frac{\alpha_P Q_{ind}}{n\phi_t} \right)^2 \quad (3.27)$$

2. Através do valor obtido para k_{CA} obter as variáveis normalizadas: I_S/I_L ; $X/(Q_{ind}R_{ant})$; P_{AVmin}/P_L ; $V_A/n\phi_t/\alpha_P$ e Q_{ret}/Q_{ind} a partir dos gráficos nas figuras 25 a 29. Observar que, para uma dada potência requerida na carga, o valor mínimo requerido P_{AVmin} depende exclusivamente de k_{CA} .
3. Multiplicar as variáveis normalizadas pela sua determinada normalização a fim de obter I_S , X , P_{AVmin} , V_A e Q_{ret} .
4. Obter N através da equação (2.11) repetida abaixo:

$$N = \frac{I_S}{I_L} \frac{V_L}{n\phi_t} \quad (3.28)$$

5. Obter L_R e C_R :

$$L_R = \frac{X}{2\pi f} \quad C_R = \frac{1}{2\pi f X} \quad (3.29) \text{ e } (3.30)$$

6. Se desejado, calcular R_{in} através da equação (3.3) repetida abaixo:

$$R_{in} = X Q_{ret} \quad (3.31)$$

7. Se desejado, calcular a amplitude V_{ANT} através da equação (2.23) repetida abaixo:

$$V_{ANT} = \sqrt{8R_{ant}P_{AV}} \quad (3.32)$$

8. Se desejado, calcular a tensão instantânea máxima e mínima sobre o diodo através das equações (2.5) e (2.6) repetidas abaixo:

$$V_{Dmáx} = V_A - \frac{V_L}{N} \quad V_{Dmín} = - \left(V_A + \frac{V_L}{N} \right) \quad (3.33) \text{ e } (3.34)$$

Caso os valores dos parâmetros de entrada (especificações) não sejam adequados aos valores obtidos por meio do projeto pode-se fazer novamente o projeto com novos valores dos parâmetros de entrada, tendo-se assim um processo iterativo até que os valores converjam. Para α_p podemos adotar um valor inicial de 0,99.

Da mesma forma, podemos verificar quais os requisitos do sistema, isto é, o valor de k_{CA} para o qual é atendido o requisito de uma certa relação P_{AVmin}/P_L .

3.2.3.1 Condições para o modelo ser válido

- O diodo segue aproximadamente o modelo de *Shockley* para tensões entre $V_{Dmín}$ e $V_{Dmáx}$.
- A condição $Q_{RET}^2 \gg 1$ deve ser satisfeita.
- A capacitância parasita do retificador C_{RET} deve ser menor ou igual ao valor de C_R . Caso isto não ocorra, pode-se usar um indutor em paralelo com a entrada do retificador. O valor do capacitor C_{COMP} é a diferença entre C_R e C_{RET} .

$$C_{COMP} = C_R - C_{RET} \quad (3.35)$$

- A antena receptora deve ser puramente resistiva.
- O capacitor de acoplamento C_{AC} deve ser maior ou igual aos valores calculados pelo critério de ripple e do divisor capacitivo, sendo estes valores dados pelas equações (2.10) e (2.12), respectivamente repetidas abaixo:

$$C_{AC} = \frac{I_L + I_S}{2f\Delta V} \quad C_{AC} = \frac{\alpha_P C_P}{1 - \alpha_P} \quad (3.36) \text{ e } (3.37)$$

3.2.3.2 Exemplo de projeto

Para os parâmetros de entrada:

- $R_{ant} = 50 \Omega$
- $V_L = 1 \text{ V}$
- $I_L = 1 \mu\text{A}$ (logo $P_L = 1 \mu\text{W}$)
- $n\phi_t = 36 \text{ mV}$ (determinado pelo diodo da tecnologia utilizada)
- $\alpha_P = 0,99$
- $Q_{ind} = 8$ (valor típico determinado pela tecnologia utilizada)
- $f = 900 \text{ MHz}$

Então, a constante k_{CA} é dada por:

$$k_{CA} = R_{ant} V_L I_L \left(\frac{\alpha_P Q_{ind}}{n\phi_t} \right)^2 = 2,42$$

Pelos gráficos da função do conversor com adaptação para P_{AV} mínima:

- $I_S/I_L = 0,78 \quad \rightarrow \quad I_S = 780 \text{ nA}$
- $X/(Q_{ind} * R_{ant}) = 0,54 \quad \rightarrow \quad X = 216 \Omega$
- $P_{AVmin}/P_L = 9,3 \quad \rightarrow \quad P_{AVmin} = 9,3 \mu\text{W} = -20,3 \text{ dBm}$
- $V_A/n\phi_t/\alpha_P = 3,7 \quad \rightarrow \quad V_A = 133 \text{ mV}$
- $Q_{ret}/Q_{ind} = 1,2 \quad \rightarrow \quad Q_{ret} = 9,6$

O valor do número de estágios é:

$$N = \frac{I_S}{I_L} \frac{V_L}{n\phi_t} = 21,67 \cong 22$$

Os valores de L_R e C_R :

$$L_R = \frac{X}{2\pi f} = 38,2 \text{ nH} \quad C_R = \frac{1}{2\pi f X} = 820 \text{ fF}$$

Se desejado, pode-se calcular:

$$R_{in} = X Q_{ret} = 2070 \Omega$$

$$V_{ANT} = \sqrt{8R_{ant}P_{AV}} = 61 \text{ mV}$$

$$V_{Dm\acute{a}x} = V_A - \frac{V_L}{N} = 88 \text{ mV}$$

$$V_{Dm\acute{i}n} = -\left(V_A + \frac{V_L}{N}\right) = -178 \text{ mV}$$

Para o resultado ser valido o diodo deve ter caracteristica aproximada da do diodo *Shockley* entre as tensoes -178mV e 88mV.

A condiao $Q_{ret}^2 \gg 1$ e satisfeita para este projeto, logo validando o modelo.

Para a frequencia de 900 MHz, com *ripple* de 1 mV, assumindo capacitancia parasita do diodo C_P igual a 15 fF e α_P sendo 0,99, o valor mınimo do capacitor de acoplamento deve ser o maximo dos seguintes valores:

$$C_{AC} = \frac{I_L + I_S}{2f\Delta V} = 990 \text{ fF} \quad C_{AC} = \frac{\alpha_P C_P}{1 - \alpha_P} = 99C_P = 480 \text{ fF}$$

Logo C_{AC} precisa ser maior ou igual a 990 fF.

Supondo que a capacitância parasita do retificador C_{RET} seja N vezes C_P , seu valor será 330 fF. Vale lembrar que na realidade esse valor será maior devido à capacitância parasita dos metais que formam as conexões elétricas no circuito integrado. Logo, para obter-se o valor necessário para a capacitância da rede C_R é necessário colocar um capacitor de compensação C_{COMP} de:

$$C_{COMP} = C_R - C_{RET} = 490 \text{ fF}$$

3.2.4 Diferenças do conversor com e sem adaptação

Os dois conversores, com e sem rede de adaptação, para os mesmos parâmetros de entrada, apresentam significativas diferenças em vários aspectos do projeto como: eficiência, área em silício, potência disponível, largura de banda e a capacitância de entrada do retificador.

3.2.4.1 Potência disponível (P_{AV})

Devido à rede de adaptação, o conversor com adaptação exige uma menor P_{AV} que o conversor sem adaptação. Para os projetos do tópico 2.2.4.1 e 3.2.3.1 as P_{AVmin} foram 9,3 μW e 17,2 μW para o conversor com e sem adaptação, respectivamente. Caso o fator de qualidade do indutor fosse maior a diferença entre as potências seria ainda mais evidente.

3.2.4.2 Área de silício

A área de silício é aproximadamente proporcional a N e I_S ; logo, o circuito retificador do conversor com adaptação possui menor área em silício devido a N e I_S serem menores. Tal fato deve-se à rede de adaptação, que amplifica a tensão dos terminais da antena receptora proporcionando um maior V_A . Devido a isso, o retificador não necessita de valores maiores de N e I_S como o caso do conversor sem adaptação.

Embora a área do retificador do conversor sem adaptação seja maior, a área total do conversor com adaptação pode ser maior devido ao indutor da rede de adaptação. O indutor pode ter área maior ou menor que o circuito retificador dependendo do projeto do conversor com adaptação.

3.2.4.3 Eficiência do conversor e do circuito retificador

A eficiência do circuito retificador P_L/P_{in} é maior para o conversor com adaptação.

3.2.4.4 Largura de banda

Quanto maiores os valores de Q_{ind} e Q_{ret} mais estreita será a largura de banda e menos robusto será o conversor à variação de parâmetros do processo de fabricação. O conversor sem adaptação não apresenta características sintonizáveis, então não existe sentido em falar de largura de banda.

3.2.4.5 Capacitância de entrada do retificador

Uma vantagem do conversor com adaptação é o natural aproveitamento da capacitância dos diodos para constituir parte da rede de adaptação. Caso a frequência de trabalho seja baixa, a indutância requerida para a adaptação será de valor elevado, praticamente impedindo o uso de rede de adaptação integrada.

3.2.4.6 Influência de R_{ant}

Para o projeto desenvolvido, supusemos que a resistência R_{ant} é igual a 50Ω . Entretanto, o aumento do valor de R_{ant} permite obter maiores tensões na entrada do retificador para uma mesma potência P_{AV} , como explicado anteriormente. Então, o aumento de V_A propicia melhor desempenho do conversor, tanto em termos de eficiência quanto em área do circuito retificador. Entretanto, o aumento de V_A , e a consequente redução de N e I_S colaboram para o aumento da resistência de entrada do retificador (R_{in}).

4 O CONVERSOR COM ADAPTAÇÃO INTEGRADO

Neste capítulo será apresentado o conversor AC/DC com adaptação integrado. Serão apresentados alguns detalhes da tecnologia de fabricação escolhida, o transistor ligado como diodo, além do leiaute do conversor. Finalmente, é apresentada a medição do conversor integrado fabricado, com várias comparações envolvendo os resultados obtidos por simulação.

O diagrama de blocos do conversor com adaptação integrado é mostrado na Figura 30. Não foi projetado o limitador de tensão.

As especificações de entrada do conversor com adaptação integrado são dados em 3.2.3.2. A tabela 1 apresenta as especificações de projeto e os parâmetros de saída.

Tabela 1 – Parâmetros do conversor com adaptação integrado.

Parâmetros de entrada								
R_{ant}	V_L	I_L	$n\phi_t$	α_P	Q_{ind}			
50 Ω	1 V	1 μ A	36 mV	0,99	8			
Parâmetros de saída								
I_S	N	L_R	C_R	C_{AC}	Transistor	W	L	P_{AVmin}
780 nA	24	38 nH	820 fF	1 pF	<i>zero-vt</i>	4,8 μ m	0,5 μ m	-20,3 dBm
Parâmetros intermediários								
V_A	$V_{Dmáx}$	$V_{Dmín}$	Q_{ret}	R_{in}	V_{ANT}	k_{CA}		
133 mV	88 mV	-178 mV	9,6	2070 Ω	61 mV	2,42		

4.1 TECNOLOGIA *IBM130NM*

A tecnologia de fabricação do circuito integrado é a *IBM130nm*. Além de ser apropriada para circuitos de radiofrequência, tal tecnologia possui dispositivos que viabilizam o projeto do conversor AC/DC através do modelo aqui apresentado. A escolha da tecnologia *IBM130nm* é adequada, visto que é uma das mais recentes, portanto possuindo menores dispositivos, e com valores de indutores adequada a nosso projeto, além do transistor *zero-vt*.

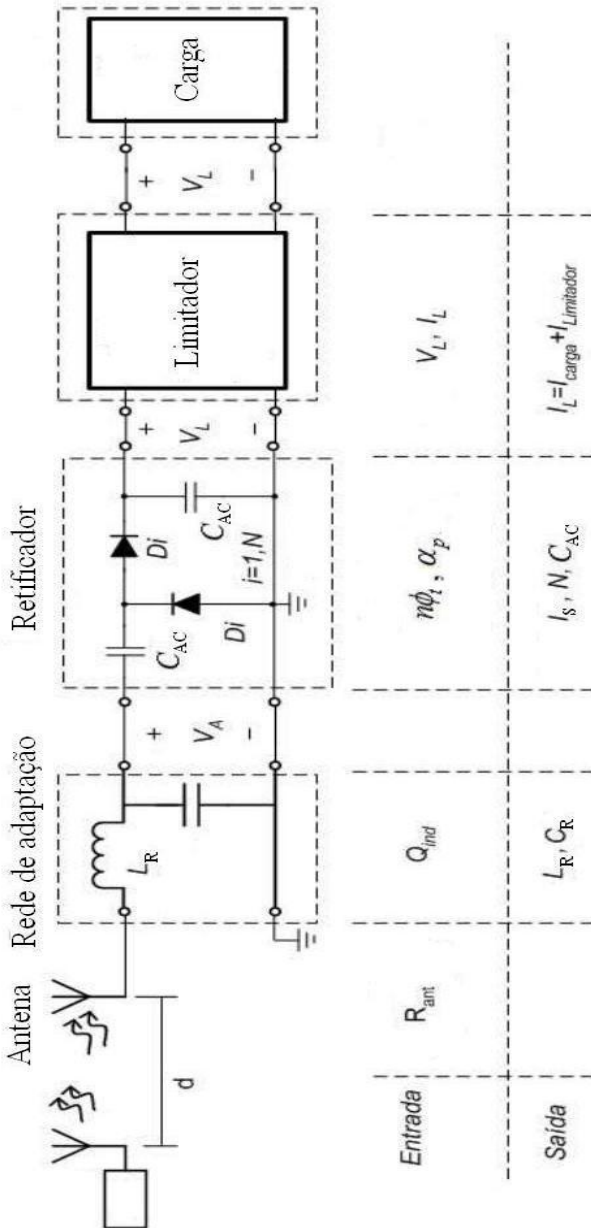


Figura 30 – Diagrama de blocos para o conversor integrado. Não foi projetado o limitador integrado.

4.1.1 Metais

A tecnologia apresenta metais (cobre, alumínio) com baixas resistividades e largura mínima reduzida, permitindo conexões que introduzem capacitâncias parasitárias de valor relativamente pequeno.

4.1.2 Transistores

Para o projeto do conversor, o diodo será substituído por um transistor ligado como diodo. A tecnologia da *IBM130nm* possui o transistor *zerovt*, que possui, para uma mesma relação de aspecto *W/L*, uma alta corrente em relação aos outros transistores disponíveis para operação em baixas tensões. Seu uso é de grande vantagem, pois reduz significativamente a área em silício, diminuindo assim a capacitância parasita. O transistor apresenta tensão de *threshold* (V_T) próxima de zero; portanto, o mesmo opera em inversão moderada, reduzindo a eficiência em comparação com diodos (de mesma área) que operam no regime exponencial.

4.1.3 Indutores

A tecnologia *IBM130nm* possui diversos indutores, entretanto o *inds* é o que possui melhor fator de qualidade. Isto se deve ao fato de indutor ser formado pelos últimos metais, que possuem menor resistividade, embora tenha a desvantagem de estar disponível apenas para um processo mais caro. Para a frequência de 900 MHz o fator de qualidade varia aproximadamente entre 7 a 13, conforme pode ser visto na Figura 31.

4.1.4 Capacitores

A tecnologia apresenta capacitores lineares com alto fator de qualidade, com valores superiores a 100. O capacitor *dualmim* é um deles, sendo constituído de três níveis de metais separados por material isolante tal que os metais da extremidade estão conectados, formando assim na realidade dois capacitores em paralelo. Devido a isto é possível obter uma alta densidade de capacitância em relação à área de silício.

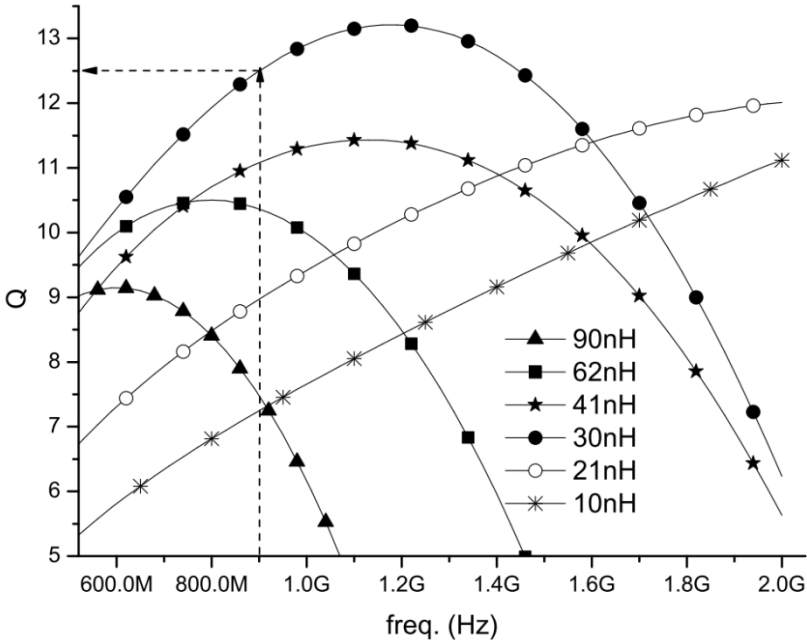


Figura 31 - Fator de qualidade de alguns indutores *inds* na tecnologia *IBM130nm CM8RF*. [5]

Além disso, a capacitância parasita em relação aos outros níveis de metais e substrato é relativamente baixa.

4.2 O TRANSISTOR COMO DIODO

Para o projeto do circuito integrado foi utilizada a topologia usual para a ligação do transistor como diodo. Essa consiste de ligar o *gate* do NMOS junto ao dreno, enquanto o *bulk* é conectado ao nó de potencial mais baixo do circuito, ou seja, a referência para o retificador meia onda ou a saída negativa do retificador onda completa. Assim, o anodo e o catodo do diodo são, respectivamente, os terminais do dreno e fonte do transistor NMOS, conforme pode ser visto na Figura 32.

Esta topologia apresenta um comportamento aproximado de um diodo na região de inversão fraca, obedecendo à equação de *Shockley* do diodo.

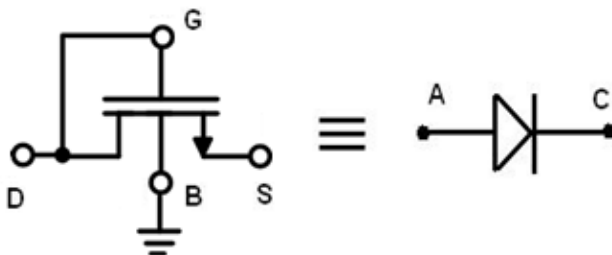


Figura 32 - Transistor NMOS como diodo.

O transistor escolhido na tecnologia *IBM130nm* foi o transistor *zero-vt*, que permite obter um alto valor para o parâmetro I_S da equação *Shockley* sem necessidade de uma grande área em silício. O parâmetro $n\phi_t$ para o transistor *zero-vt* ligado como diodo é de cerca de 36 mV para o valor escolhido de comprimento de canal L de 500 nm. Este comprimento de canal foi escolhido por ser próximo do valor mínimo (480 nm), visto que deste modo o V_T do transistor é levemente maior que o do de canal mínimo, colaborando para deslocar a operação do transistor em direção à região exponencial (inversão fraca).

A partir da curva simulada I-V do transistor *zero-vt* operando como diodo, ajustamos, através de processo iterativo, os valores de I_S e $n\phi_t$ que fornecem uma boa aproximação da característica do diodo *zero-vt*.

Para o projeto do conversor (tópico 3.2.3.2) os valores obtidos com W igual a $4,8 \mu\text{m}$ foram $I_S = 780 \text{ nA}$ e $n\phi_t = 36 \text{ mV}$. A Figura 33 mostra as curvas do diodo *Shockley* e do *zero-vt* plotadas em escala logarítmica.

Note que a curva DC do transistor apresenta uma maior corrente reversa que a do diodo *Shockley*, logo isso irá reduzir o desempenho do conversor, sendo necessária uma potência P_{AV} um pouco maior para satisfazer a potência entregue do conversor para a carga (P_L).

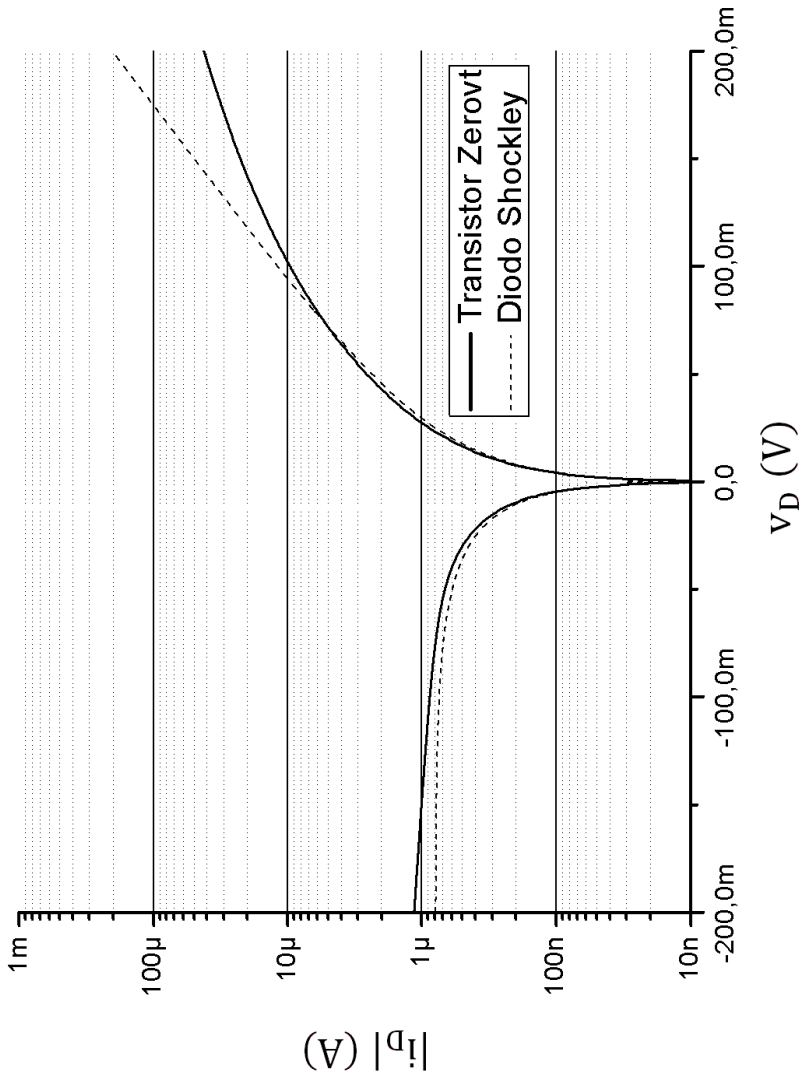


Figura 33 - Curva DC do transistor *zero-vt* para $W = 4,8 \mu\text{m}$ e do diodo *Shockley* para $I_S = 780 \text{ nA}$ e $n\phi_t = 36 \text{ mV}$.

4.3 LEIAUTE DO CONVERSOR INTEGRADO

O leiaute do conversor AC/DC é composto de duas partes basicamente: a da rede de adaptação e do circuito retificador. Não foi projetado o limitador. O circuito retificador foi construído pela associação de vários dobradores de tensão, tornando o projeto mais simples e com menos chance de erros.

4.3.1 O dobrador integrado

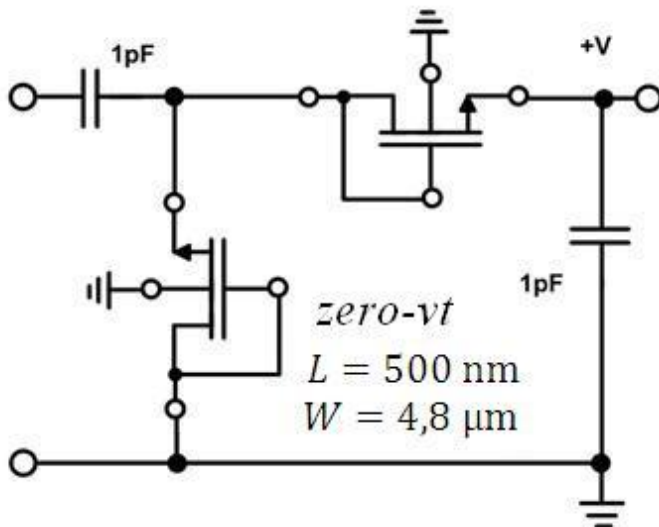


Figura 34 – Esquemático do dobrador integrado.

A Figura 34 representa o esquemático do dobrador. Os transistores utilizados foram o *zero-vt* com $W = 4,8\ \mu\text{m}$ e $L = 500\text{ nm}$. Os capacitores de acoplamento *dualmin* possuem o valor de 1 pF , levemente maiores que o mínimo estipulado para o projeto. O leiaute do dobrador pode ser visto na Figura 35. As elipses maiores mostram os capacitores de acoplamento enquanto que as menores os transistores *zero-vt*.

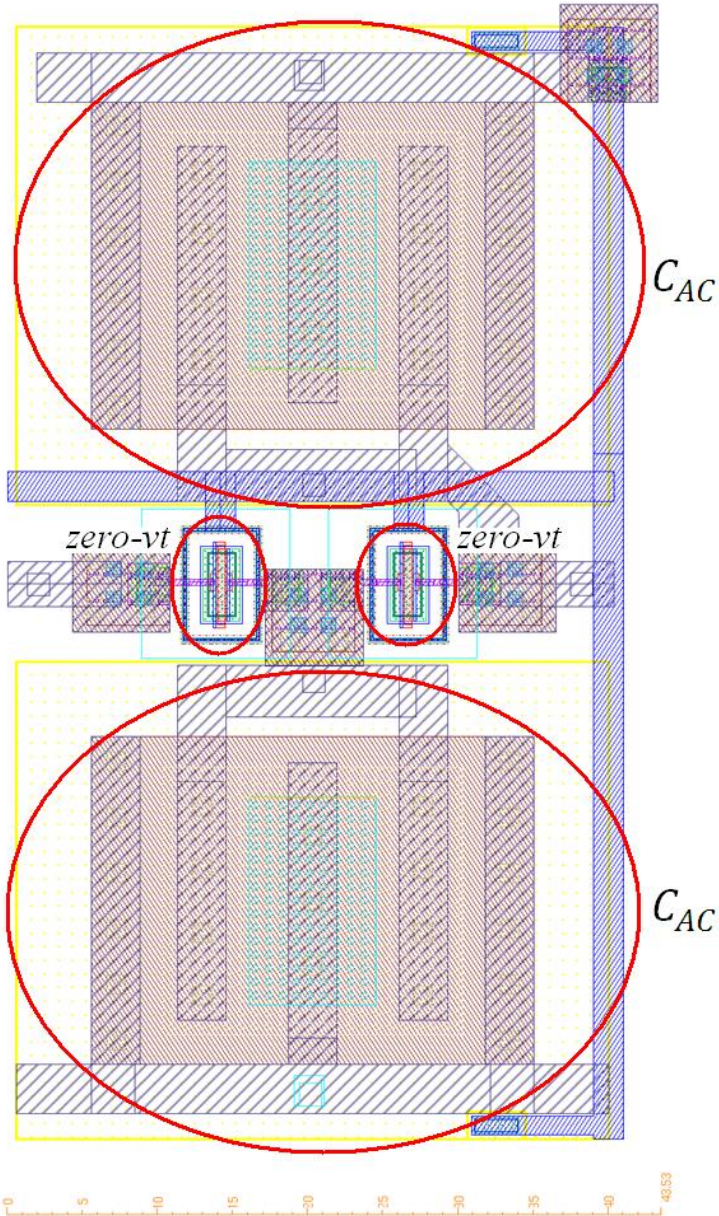


Figura 35 - Leiaute do dobrador integrado. Os capacitores de acoplamento possuem valor de 1 pF e os transistores *zero-vt* possuem $W=4,8\mu\text{m}$ e $L=500\text{ nm}$.

O leiaute do dobrador foi construído de modo a diminuir ao máximo a capacitância parasita dos nós que não possuem o capacitor de acoplamento conectado à referência, para assim diminuir o divisor capacitivo referente ao termo α_p . Para isso diminui-se na medida do possível o tamanho das trilhas dos metais mais baixos, como $M1$ e $M2$, que apresentam uma maior capacitância parasita por estarem mais próximos do substrato. As conexões mais longas foram feitas com os metais mais altos como MA e $E1$. Além disso, escolheu-se o lado do capacitor de acoplamento que possui a placa de metal mais afastada do substrato para ligar no nó comum a dois diodos de estágio.

Outro cuidado que se teve com o leiaute foi considerar as associações dos blocos dobradores entre si. A área do dobrador foi aproximadamente igual a $3200 \mu\text{m}^2$ ($40\mu\text{m} \times 80 \mu\text{m}$).

4.3.2 O retificador integrado

O esquemático do circuito retificador se encontra na Figura 36. Cada dois estágios do circuito retificador podem ser substituídos pelo circuito dobrador de tensão visto no tópico acima. Conforme o projeto feito em 3.2.3.2, o número de estágios do retificador é 22, mas como esse número daria uma estrutura não simétrica para o retificador escolheu-se o número de estágios igual a 24, lembrando conforme 2.2.3 que a região onde a P_{AV} é mínima não apresenta uma diferença significativa no valor da potência, logo sendo robusto a pequenas variações dos parâmetros I_S , N e $n\phi_t$. Poderíamos ter escolhido o valor de N igual a 20 e não 24, visto que estaria mais perto do valor obtido no projeto, que era 21,67. Entretanto, foi realizada uma simulação numérica no *MATLAB* em que se obteve uma menor P_{AV} com N igual a 24, embora a diferença de potência do P_{AV} do conversor com N igual a 20 e 24 tenha sido praticamente desprezível.

Então, o número de dobradores presentes na estrutura é 12 e o leiaute pode ser visto na

Figura 37. A região mostrada pela elipse refere-se ao dobrador. A área do retificador foi aproximadamente igual a $35000 \mu\text{m}^2$ ($250\mu\text{m} \times 140 \mu\text{m}$).

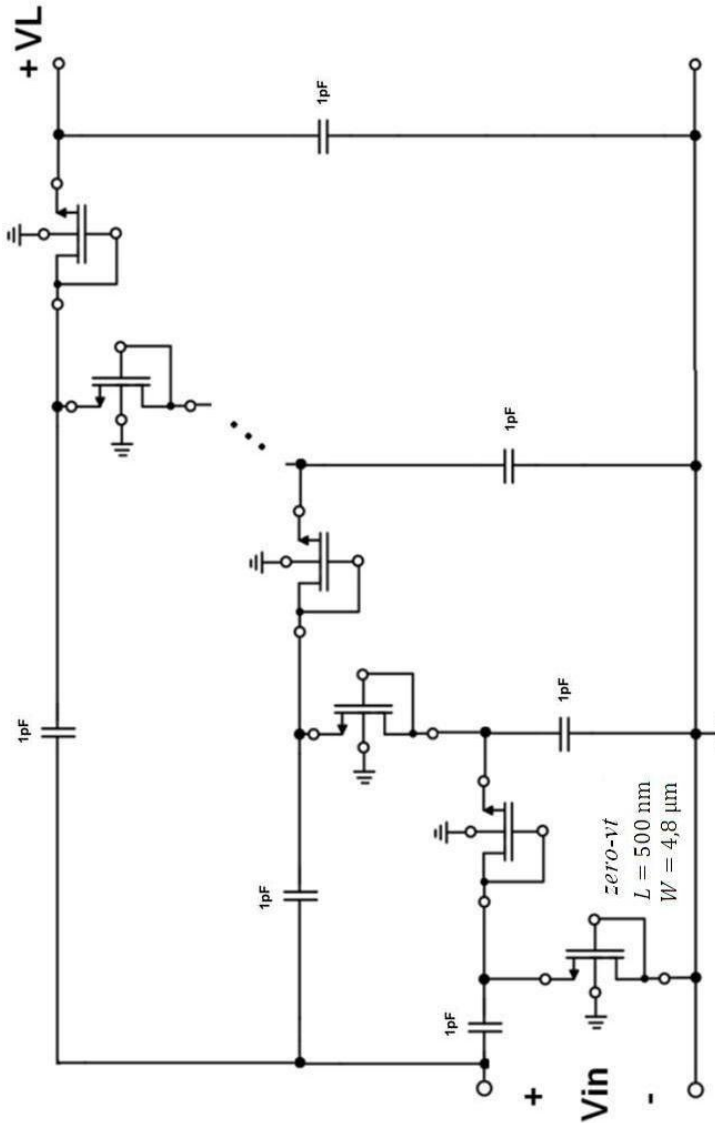


Figura 36 - Esquemático do retificador integrado. O número de estágios (N) é igual a 24.

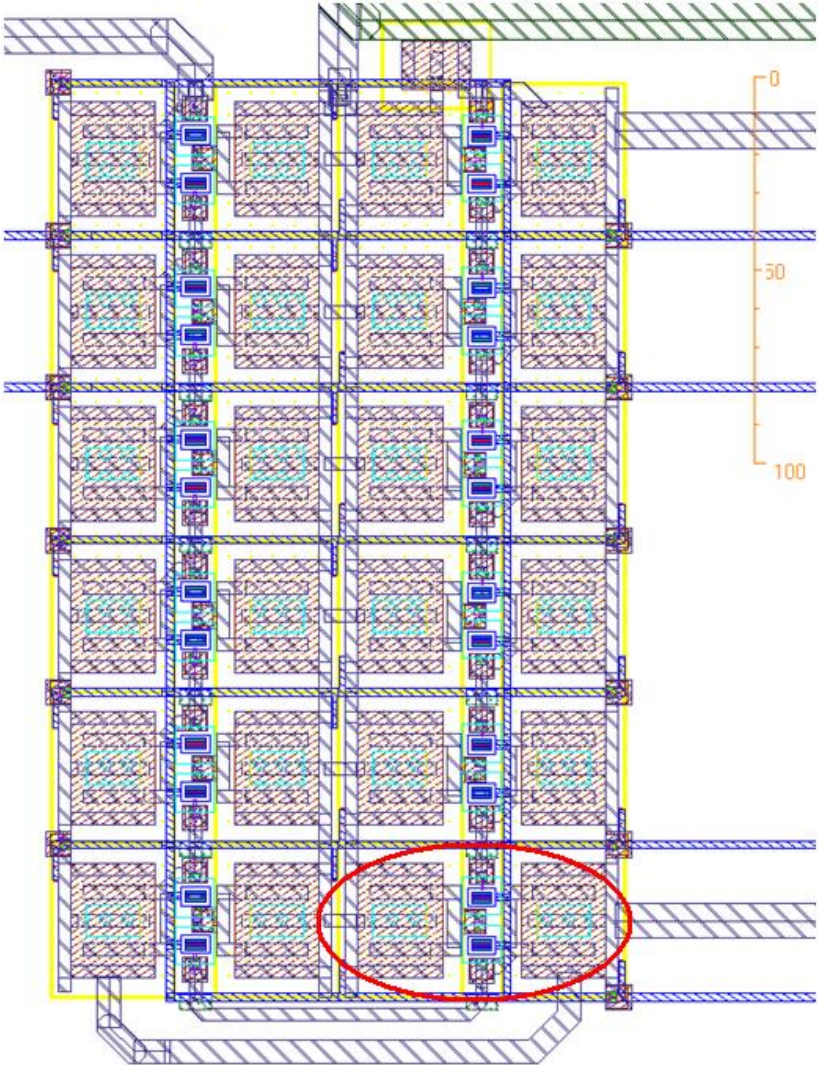


Figura 37 - Leiaute do retificador integrado.

4.3.3 O conversor AC/DC integrado

O layout do conversor desenvolvido pode ser visto na Figura 38. Na parte superior está o indutor de 38 nH, no lado direito estão os *pads* para entrada do sinal RF, no lado esquerdo está o *pad* para a saída DC. Os blocos alinhados são os 24 estágios que compõem o retificador. Por último, o componente assimétrico envolto por um retângulo amarelo é o capacitor de compensação C_{COMP} . O conversor possui uma área aproximada de $0,35 \text{ mm}^2$ ($625 \mu\text{m} \times 550 \mu\text{m}$).

A rede de adaptação é representada pelo indutor *inds* de 38 nH e o capacitor de compensação *mimcap* de 150 fF. O valor do fator de qualidade do indutor de 38 nH na simulação do *Cadence* foi de 11, embora no projeto tenha sido usado o valor 8. Essa diferença é aconselhável devido às variações que podem ocorrer na fabricação do indutor integrado, podendo o indutor apresentar algumas diferenças em relação ao fator de qualidade e à indutância nominais. Como o fator de qualidade do indutor é maior que o esperado, a potência P_{AV} necessária do conversor será menor, visto que a perda de potência no indutor será menor. Poderia estipular-se um maior valor para o fator de qualidade do indutor no projeto, mas em virtude disso o valor encontrado para o novo indutor seria maior, e para a tecnologia *IBM130nm* e a frequência de 900 MHz, quanto maior o valor do indutor menor o fator de qualidade, a ponto de o fator de qualidade ser menor que o escolhido no projeto. Então, é necessário um processo iterativo para compensar diferenças entre o fator de qualidade previsto no projeto e o obtido na tecnologia.

O indutor integrado ocupa uma grande área, maior que a do retificador, devido a seu alto valor. O capacitor de compensação teve seu valor escolhido através de várias simulações, em que se observava a tensão de saída (V_L), com uma fonte de corrente I_L como carga, para uma mesma P_{AV} . O valor do capacitor de compensação foi 100 fF para a maior V_L .

Um dos cuidados considerado foi o tamanho da trilha que liga o indutor com o *pad* da antena, que não deve ser muito larga para não ter uma capacitância parasita muito alta.

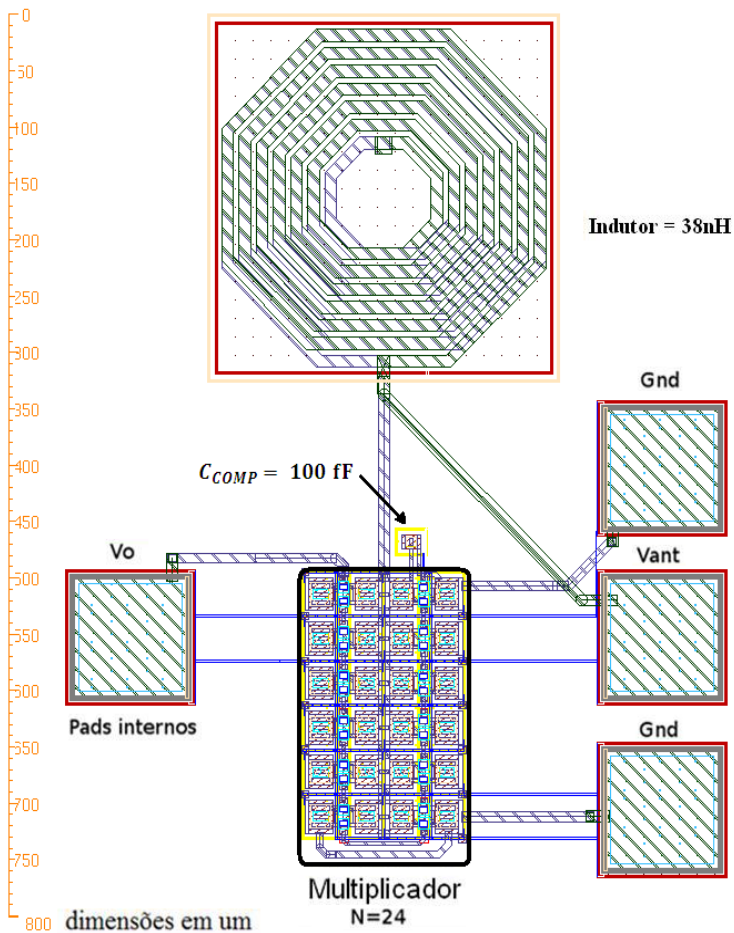


Figura 38 – Leiaute do conversor AC/DC com adaptação.

4.4 RESULTADOS

O projeto do conversor AC/DC integrado foi mandado para fabricação pelo programa da MOSIS em agosto de 2012. Em novembro, o *chip* contendo o conversor integrado foi entregue no Laboratório de Circuitos Integrados - LCI. O *chip* veio em duas formas: com encapsulamento *SMD* e não encapsulado.

Para a medição do conversor integrado:

- a) O sinal de entrada de radiofrequência foi obtido através do gerador de sinais *SMA100A* e pelo *VNAZVB8*.
- b) As conexões no *chip* não encapsulado foram feitas com a estação micromanipuladora *MM micromanipulator* (ver figura 39 e 40).
- c) Foi usado o multímetro *HP34401A* com a configuração de impedância de entrada maior que $10\text{ G}\Omega$ para a medição da tensão DC de saída do conversor (V_L). Ver Figura 41.
- d) Foi utilizado o *VNAZVB8* para medir a impedância de entrada e o parâmetro S_{11} (parâmetros S) do conversor. Utilizou-se também o *VNA* para medir a variação da tensão V_L pela frequência. O *VNAZVB8* encontra-se no canto superior esquerdo da Figura 42.
- e) A carga na saída do conversor foi um resistor, e não uma fonte de corrente conforme especificado no desenvolvimento do projeto, embora tal diferença não seja relevante quando especificado corretamente o valor do resistor. O resistor de $1\text{M}\Omega$ pode ser visto no canto superior direito da Figura 41.

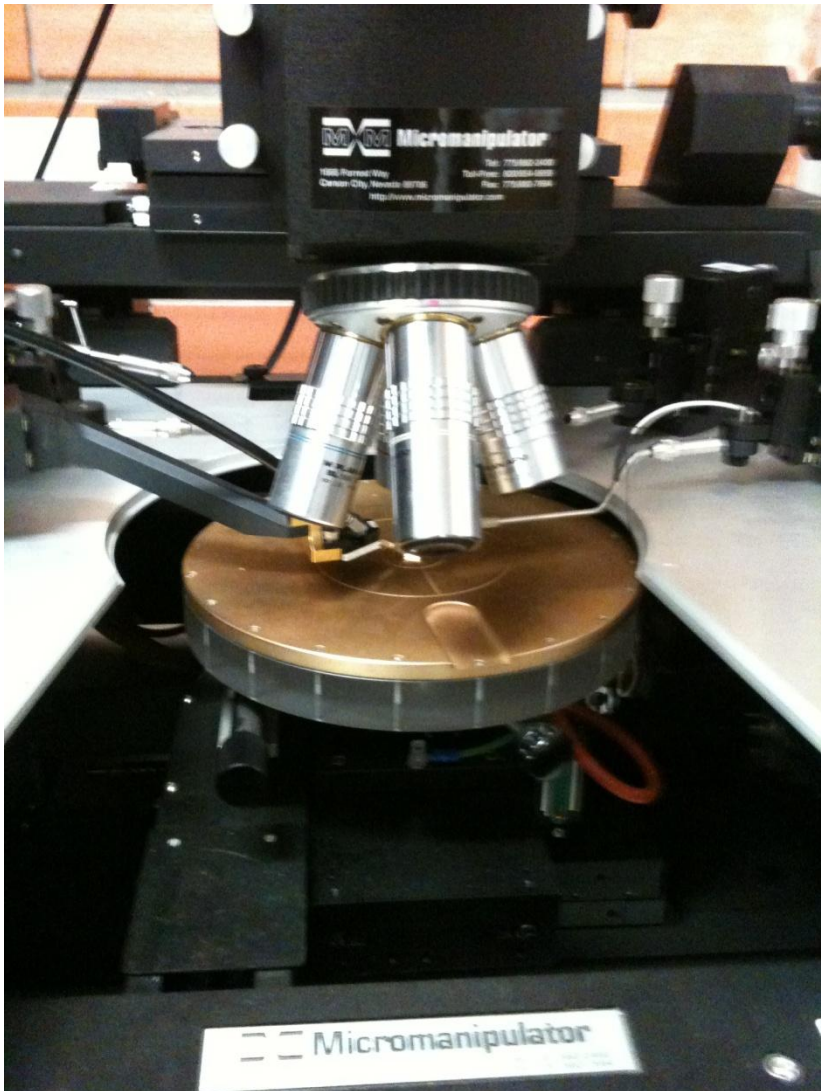


Figura 39 – Estação micromanipuladora.

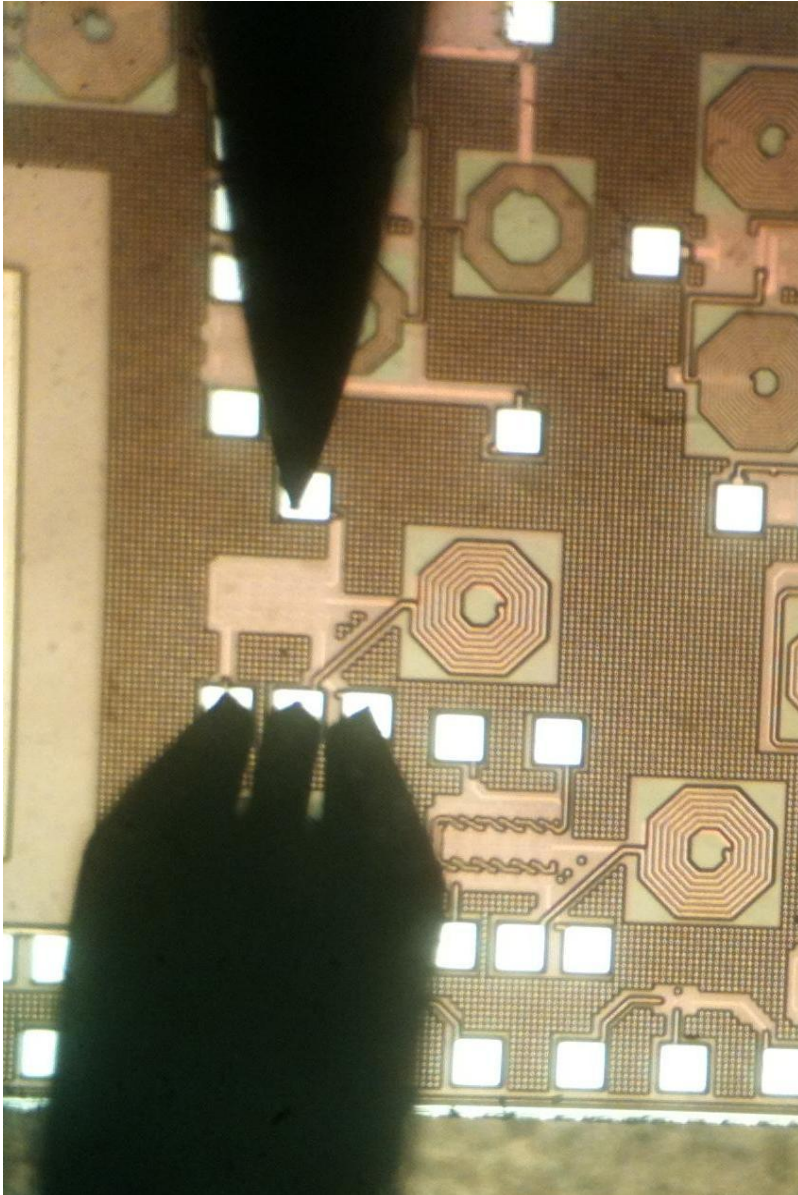


Figura 40 - Ponteiras da estação micromanipuladora no conversor não encapsulado. As 3 ponteiras na parte inferior da figura são as ponteiras coplanares, que neste projeto injetam o sinal RF no conversor. A ponteira superior é a responsável por medir a saída DC.

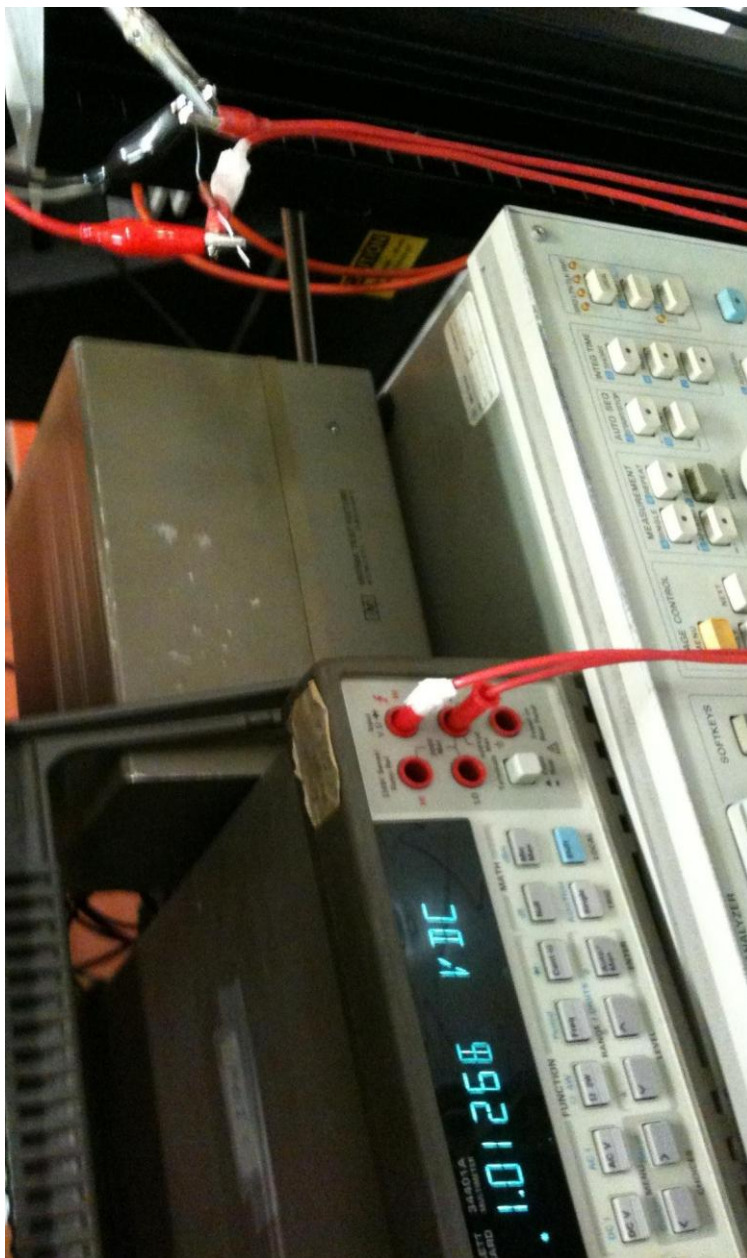


Figura 41 - Multímetro *HP34401A* medindo a tensão sobre o resistor de $1\text{M}\Omega$.

A Figura 42 mostra todos os equipamentos utilizados para medição, com exceção do gerador de sinais. Na medição em destaque o gerador de sinais foi substituído pelo próprio *VNAZVB8*.



Figura 42 – Aparato de medição do conversor AC/DC integrado.

4.4.1 Parâmetro S_{11}

O S_{11} dos parâmetros S é o coeficiente de reflexão de tensão da porta de entrada e está relacionado com a potência refletida de volta para a fonte. A Figura 43 mostra S_{11} para a frequência variando de 850 a 1000 MHz para $P_{AV} = -19,8$ dBm e com a saída DC do conversor alimentando um resistor de $1M\Omega$. Tal P_{AV} foi escolhido porque na frequência de 900 MHz a medição da tensão V_L sobre o resistor de $1M\Omega$ foi de 1 V usando o VNA como gerador de radiofrequência.

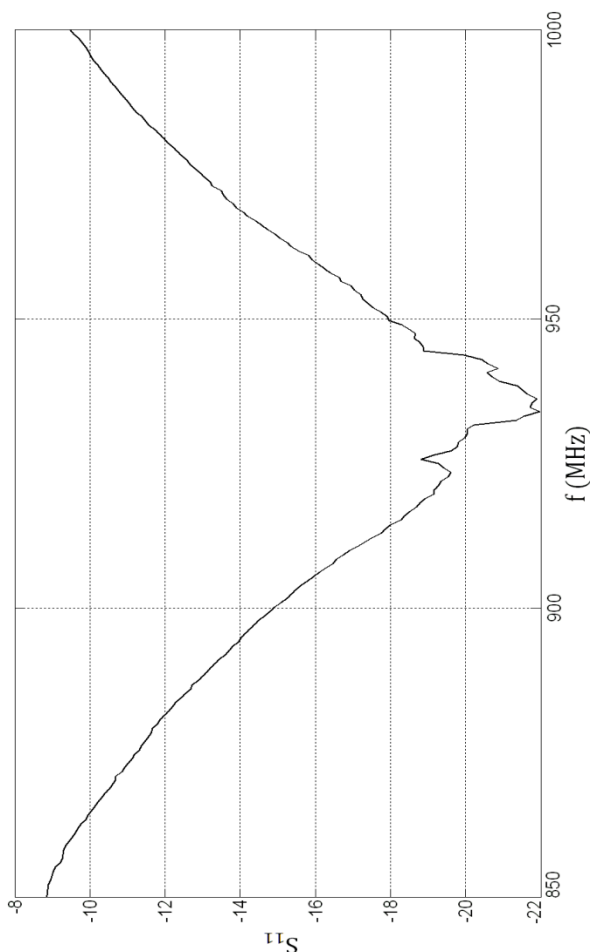


Figura 43 - Medição do parâmetro S_{11} do conversor para $P_{AV} = -19,8$ dBm.

Pode-se ver que o conversor está mais bem adaptado para a faixa de frequência entre 930 e 940 MHz, ou seja, a potência refletida é a mínima possível e tem valor próximo a 8% da potência incidente. Embora o resultado seja coerente, é necessário atentar à maneira da qual o parâmetro S_{11} foi obtido. A obtenção foi feita com o VNA variando a frequência num intervalo pequeno de tempo próximo ao tempo para o conversor entrar em regime permanente, em torno de 50 μ s, logo há um pequeno erro na medida, já que as impedâncias de entrada do conversor no regime transitório e no permanente são diferentes, embora tais valores sejam próximos.

4.4.2 Tensão de saída V_L pela frequência

Para a medição foi ajustado o VNA para -19,8 dBm com a saída DC do conversor alimentando um resistor de 1 M Ω conforme mostra a Figura 44. O gráfico da tensão de saída V_L pela frequência (central) está mostrado na Figura 45.

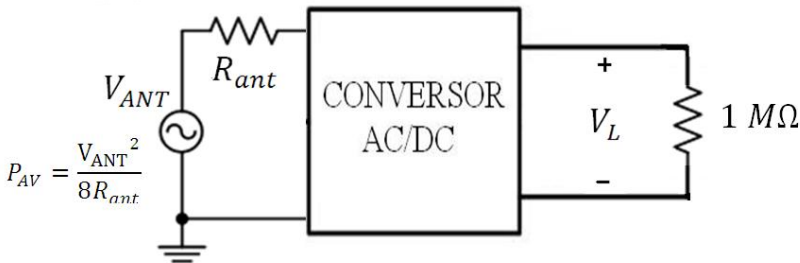


Figura 44 – Esquemático da medição da tensão de saída V_L pela frequência com o conversor alimentando um resistor de 1M Ω .

Através do gráfico nota-se que na frequência de projeto (900 MHz) a tensão V_L foi igual a 1,015 V para P_{AV} igual a -19,8 dBm, enquanto que o valor calculado pelo projeto do conversor na condição de P_{AV} mínima foi -20,3 dBm. Logo, o resultado está muito perto do esperado, com apenas 0,5 dB de diferença.

Considerando a largura de banda como a faixa de frequência em que a potência fornecida pelo conversor (equivalentemente a potência no resistor) é maior ou igual que a metade da potência máxima, o valor da largura de banda é aproximadamente 320 MHz.

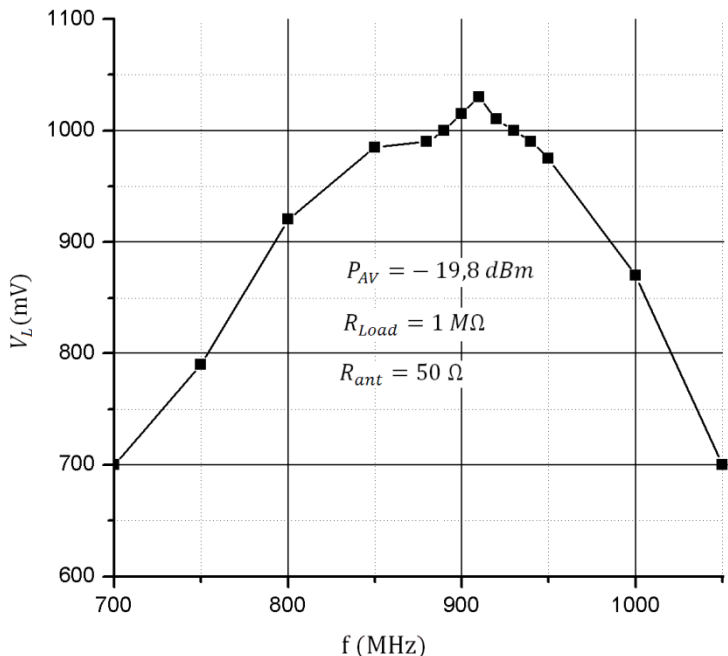


Figura 45 - Medição da tensão de saída V_L pela frequência com o conversor alimentando um resistor de $1M\Omega$.

4.4.3 Potência P_{AV} pela corrente I_L

Com o uso do gerador de sinais *SMA100A* configurado na frequência de 900 MHz, e impondo a condição da tensão V_L ser igual 1 V conforme a Figura 46, foi obtido o gráfico da Figura 47 que mostra a potência P_{AV} versus a corrente I_L do conversor medido e simulado. Para isso utilizou-se diversos resistores como carga para consumir uma determinada corrente I_L mantendo V_L igual a 1 V .

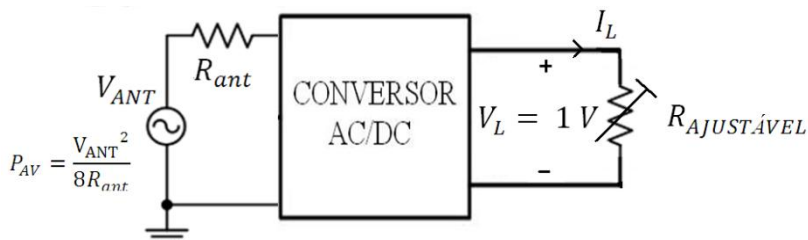


Figura 46 – Esquema de medição de P_{AV} versus I_L para a condição $V_L = 1\text{ V}$.

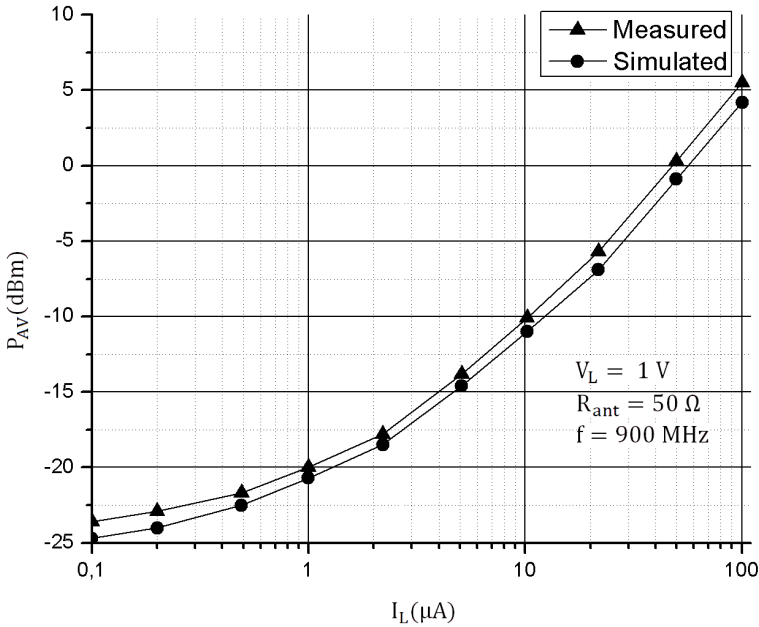


Figura 47 – Gráfico do conversor medido e simulado de P_{AV} versus I_L para $V_L = 1\text{ V}$.

Pelo gráfico observa-se que com o uso do gerador de sinais a potência P_{AV} para a condição nominal ($V_L = 1\text{ V}$ e $I_L = 1\ \mu\text{A}$) foi -20,0 dBm. Tal diferença de 0,2 dB entre o VNA e o gerador de sinais deve-se provavelmente a variação que ocorre no VNA, onde a frequência varia de 1 MHz em torno da frequência central. Outro fator que pode ter influenciado é o contato das ponteiros coplanares, visto que durante a medição a mesma teve que ser ajustada diversas vezes.

A diferença entre o simulado e o medido é inferior a 2 dB para a faixa de correntes medidas. As perdas ocorridas no processo de medição, como perda no cabo, conectores e ponteiros, e também eventuais discrepâncias entre os parâmetros de simulação dos dispositivos (transistor, indutor) e os parâmetros reais podem explicar tais diferenças.

4.4.4 Curva medida DC do transistor *zero-vt* ligado como diodo

Dentro do circuito integrado onde se encontra o conversor foi colocado também para medição um transistor isolado ligado como diodo, igual ao utilizador no circuito retificador, com $W = 4.8 \mu\text{m}$ e $L = 500 \text{ nm}$. O transistor isolado possui 3 terminais: *bulk*, anodo e catodo, conforme explicado em 4.3. A curva DC do transistor medido junto com a do simulado na *Cadence* e a do diodo *Shockley* ($n\phi_t = 36 \text{ mV}$ e $I_S = 780 \text{ nA}$) encontra-se na Figura 48.

Pela figura vê-se que existe uma diferença razoável entre o transistor *zero-vt* medido e simulado. Devido ao processo de fabricação do *zero-vt*, já era esperado que existisse alguma diferença, mas o valor medido ainda assim está muito distinto do esperado, chegando a apresentar um parâmetro I_S equivalente de aproximadamente o dobro do simulado. Entretanto, mesmo com tal variação, o conversor apresentou excelente funcionamento, o que mostra a robustez do projeto desenvolvido.

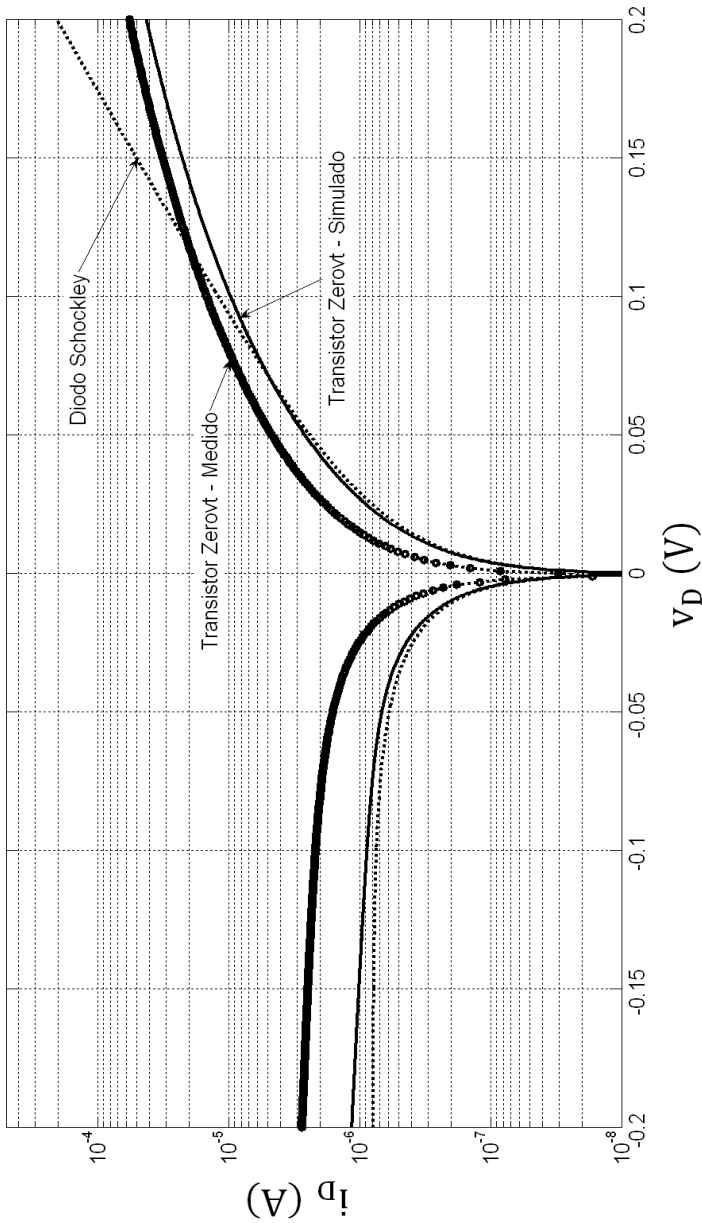


Figura 48 - Curvas DC do diodo *Shockley* ($n\phi_t = 36$ mV e $I_S = 780$ nA) e dos transistores *zero-vt* ligados como diodo simulado e medido.

4.4.5 Comparação entre conversores AC/DC

A Tabela 2 apresenta os resultados de alguns conversores AC/DC recentemente publicados em artigos e o deste trabalho [6].

Tabela 2 – Comparação entre conversores AC/DC

	Este trabalho		Papotto	Shu	Reinish
Tecnologia	130 nm		90 nm	90 nm	130 nm
Freq. Operação (MHz)	900		915	915	900
Adaptação	Integrada		Integrada	Externa	Externa
Simul./Medidas	Simul.	Medido	Medido	Simul.	Medido
P_{AV} (dBm)	-20,7	-20,0	-18,8	-20,36	-14,3
I_L (μ A)	1,0		1,2	6,76	1,0
V_L (V)	1,0		1,2	1,0	1,0

Comparando os conversores, vemos que o que apresenta menor P_{AV} e maior eficiência é o conversor do Shu [7], que possui topologia baseada no carregamento diferencial dos transistores CMOS (*differential-drive cmos rectifier*), sendo constituído por 3 estágios, mas apresentando adaptação externa e uma tecnologia bastante mais cara. A rede de adaptação externa possuía um indutor de 184 nH para compensação da reatância capacitava do retificador e um indutor de 71 nH para a rede L, ambos com alto fator de qualidade.

O conversor do Reinish [8] tem resultados piores que os de nosso trabalho e apresenta a topologia do multiplicador de tensão baseada na de Greinacher com transistores NMOS e PMOS. Tal conversor possui 3 estágios e a adaptação é externa.

O conversor do Papotto [9] proporciona resultados semelhantes aos deste projeto e a topologia é a do circuito retificador de Dickson com compensação passiva da tensão de *threshold*. Esse conversor possui 17 estágios e adaptação integrada, mas é integrado em tecnologia mais cara.

Finalizando, embora não seja mostrado na tabela 2, o conversor de Theilmann [10] apresenta uma boa eficiência de 44% para uma carga de 1 μ W, com -26,4 dBm de potência na entrada do retificador na frequência de 100 MHz, utilizando apenas dispositivos CMOS de tecnologia SOS (*silicon-on-sapphire*).

5 CONCLUSÃO

Neste trabalho foi apresentado o projeto de um conversor AC/DC com e sem adaptação para funcionar com a menor potência disponível, de modo que o processo para obtenção dos parâmetros do projeto é simples e rápido, visto que toda não linearidade do sistema é superada através da utilização dos gráficos normalizados para a condição de potência disponível mínima.

O modelo desenvolvido foi projetado em função dos parâmetros do diodo, mas como visto, pode-se aproximar a curva do transistor ligado como diodo para seguir a equação de *Shockley* dentro de uma região, assim validando o modelo. Uma das vantagens desse processo é a simplificação do projeto, visto que a complexidade do transistor é desconsiderada e substituída pela não linearidade do diodo.

Através dos parâmetros do projeto do conversor obtidos por meio do modelo desenvolvido foi feito o leiaute do conversor com adaptação integrado. Após a fabricação por meio do programa da MOSIS, foram realizadas diversas medições que comprovaram a eficácia e ótima precisão do modelo desenvolvido. Para as condições nominais ($V_L = 1 \text{ V}$ e $I_L = 1 \text{ } \mu\text{A}$) foi necessária P_{AV} igual a -20,3, -20,7 e -20,0 dBm para o conversor calculado, simulado e medido, respectivamente. Este resultado, obtido numa tecnologia de custo bastante acessível e sem uso de componentes externos, mostra-se bastante competitivo com resultados recentes reportados na literatura técnica.

PUBLICAÇÕES

- [1] J. Cardoso, C.G. Montoro, M. C. Schneider, and L. G. Carli. Analysis of the rectifier circuit down to its low-voltage limit. *IEEE Transactions on Circuits and System* - I,59(1):106–112,2012.
- [2] A. J. Cardoso, R. R. Bravo and L. G. Carli. An autonomous sensor powered by energy harvesting from mechanical vibrations. XIX *Congresso Brasileiro de Automática* (CBA), Campina Grande, Setembro, 2012.

REFERÊNCIAS

- [1] A. J. Cardoso, C.G. Montoro, M. C. Schneider, and L. G. Carli. Analysis of the rectifier circuit down to its low-voltage limit. *IEEE Transactions on Circuits and Systems - I*,59(1):106–112,2012.
- [2] A. S. Sedra and K. C. Smith. *Microelectronic Circuits*. Oxford University Press, New York, 2004.
- [3] J. P. Curty, N. Joehl, F. Krummenacher, C. Dehollain, and M. Declecq. A model for power rectifier analysis and design. *IEEE Transactions on Circuits and Systems I*, vol.52 (n. 12):PP.2771-2779, 2005.
- [4] H.T. Friis. A note on a simple transmission formula. *Proceedings of the IRE*, vol. 34 (n. 5):pp.254-256, 1946.
- [5] T. H. Lee, *The Design of CMOS radio-frequency integrated circuits*. 2nd ed. Cambridge University Press, 2004. xviii, 797p.
- [6] A. J. Cardoso. Modelagem e Projeto de Conversores AC/DC de Ultra Baixa Tensão de Operação [tese]. UFSC, Florianópolis, SC, 2012.
- [7] W. Shu Yi and C. Chunhong. Power efficient multi stage CMOS rectifier design for UHF RFID tags. *Integration the VLSI Journal, Elsevier*, 44(3):242–255, 2011.
- [8] H. Reinish et all. An eletro magnetic energy harvesting system with 190nW idle mode power consumption for a BAW based wireless sensor. *IEEE Journal of Solid State Circuits*, 46(7):1728–1741, 2011.
- [9] G. Papotto, F. Carrara, and G. Palmisano. A 90nm CMOS threshold compensated RF energy harvester. *IEEE Journal of Solid State Circuits*, 46(9):195–1996, 2011.
- [10] P. T. Theilmann, C.D. Presti, D. G. Kelly, and P. M. Asbeck. A μ W complementary bridge rectifier with near zero turn-on voltage in SOS CMOS for Wireless Power Supplies. *IEEE Transactions on Circuits and Systems - I*,59(9):2111–2123,2012.

APÊNDICE A – Programa para simulação numérica do conversor AC/DC sem adaptação

```

clear;
%Parametros da carga;
VL=1;
IL=1e-6;
%Parametros do multiplicador de tensao
nphit=36e-3;
alpha=0.99; %Termo devido a capacitancia parasita
alpha=C/(Cp+C);
%Parametro da antena
Rant=50;
%Potencia disponivel
Pav=17.5e-6;
C=500e-99; % Cret - Capacitancia parasita do
retificador
f=900e6;

XC=1/(C*2*pi*f);
Vant=sqrt(8*Rant*Pav);
vant=Vant/nphit;
vl=VL/nphit;

i=1;
j=1;

xo1=0.1;
xo2=10;

for Rin=1:10:3000

va=vant*XC*Rin/sqrt(Rant^2*(Rin^2+XC^2)+2*XC^2*Rin*
Rant+XC^2*Rin^2);
    Va=va*nphit;
    Io=besseli(0,alpha*va);
    I1=besseli(1,alpha*va);
    Fva=(Va*Io)/I1;
    k=2*IL*VL*alpha/nphit;
    kr=Rin*k/Fva;

```

```

[x1,non,flag1]=fsolve(@(x)((log(Io/(1+1/x)))/(1+x)-
kr),xo1);

[x2,non,flag2]=fsolve(@(x)((log(Io/(1+1/x)))/(1+x)-
kr),xo2);

x1=real(x1);
x2=real(x2);

delta1=Rin-
Fva/((x1+1)*IL*2*alpha*v1/(log((Io/(1+1/x1)))));%Há
soluções para a equação acima que possuem Rin e VL
diferente mas que possuem as "constantes" k e Io
iguais.
delta2=Rin-
Fva/((x2+1)*IL*2*alpha*v1/(log((Io/(1+1/x2)))));

if ((flag1==1)&&(x1>0)) && (delta1<0.5)

    IS1(i)=x1*IL;
    N1(i)=v1/(log(Io/(1+1/x1)));
    Va1(i)=va*nphit;
    Rin1(i)=Rin;
    xo1=x1*0.9; %Mudar talvez aqui para
fechar a curva do gráfico obtido

    i=i+1;
end

if ((flag2==1)&&(x2>0)) && (delta2<0.5)

    IS2(j)=x2*IL;
    N2(j)=v1/(log(Io/(1+1/x2)));
    Va2(j)=va*nphit;
    Rin2(j)=Rin;
    xo2=x2*1.1; %Mudar talvez aqui para
fechar a curva do gráfico obtido

    j=j+1;
end

```

```
end
```

```
figure(1)
loglog(N1, IS1, N2, IS2);
title('IS x N');
xlabel('N');
ylabel('IS');
grid;
```

```
figure(2)
loglog(N1, Va1, N2, Va2);
title('Va x N');
xlabel('N');
ylabel('Va');
grid;
```

```
figure(3)
loglog(N1, Rin1, N2, Rin2);
title('Rin x N');
xlabel('N');
ylabel('Rin');
grid;
```


APÊNDICE B – Programa para curva 3D de P_{AV}

```

clear;
kc=0.037813;
VL=1;
IL=1e-6;
PL=VL*IL;
nphit=36e-3;

close all

l=1;
for k=0:0.02:3.8 % Ajuste dos limites de IS/IL

    x(l)=0.01*10^k;
    l=l+1;
end

l=1;
for k=0.5:0.01:3 % Ajuste dos limites de N

    n(l)=10^k;
    l=l+1;

end

[X,N] = meshgrid(x,n);

Io = (1+1./X).*exp(VL./(N*nphit));

for i=1:1:251 % Colocar o valor do limite
superior igual ao tamanho vetor n
    for j=1:1:191 % Colocar o valor do limite
superior igual ao tamanho vetor x

        Ioo=Io(i,j);

        [z,non,flag1] = fsolve(@(z) (besseli(0,z)-
Ioo),1);

        va(i,j)=z;

```

```
I1(i,j)=besseli(1,z);  
  
    end  
end  
  
vantp =va + 2*nphit*kc*(1+X)/VL.*1.*N.*I1./Io;  
Pav=(PL/(8*kc)).*(vantp.^2);  
Pavdbm=10*log10(Pav*1000);  
  
figure(1)  
surf(N,X,Pavdbm);  
xlabel('N');  
ylabel('IS/IL');  
zlabel('Pav/PL');
```


APÊNDICE C – Programa para simulação numérica do conversor AC/DC com adaptação

```

%Rede de adaptação L
clear;
%Parametros da carga;
VL=1;
IL=1e-6;
%Parametros do multiplicador de tensao
nphit=36e-3;%36e-3
alpha=0.99;
%Parametros da antena
Rant=50;
%Parametros da rede de adaptacao
Qi=8;      %fator de qualidade do indutor
%Potencia disponivel
Pav=9.33e-6;

f=900e6;
w=2*pi*f;

%Constantes do retificador
Vant=sqrt(8*Rant*Pav);
vl=VL/nphit;
k=2*IL*VL*alpha/nphit;

%Condicoes iniciais - Para fechar a curva do
gráfico obtido talvez
%seja necessário mudar yol e yo2;
    xol=0.01;
    xo2=1;

    j=1;
    z=1;

%Limites para o fator de qualidade do retificador
Qmax=30;
Qmin=2;

for Q=Qmin:0.02:Qmax

%Constantes da rede tapped inductor

```

```

k1=(Q^2+1);
k2=(Qi+Q);

Va=sqrt(k1)*Qi*sqrt(2*Rant*Pav)/k2;
Rin=k1*Qi*Rant/k2;
XL=Q*Rin/k1;

```

```

RS=XL/Qi;
XC=Rin/Q;

```

```

va=(Va/nphit);
Io=besseli(0,alpha*va);
I1=besseli(1,alpha*va);
Fva=(Va*Io)/I1;
kr=Rin*k/Fva;

```

```

[x1,non,flag1]=fsolve(@(x)((log(Io/(1+1/x)))/(1+x)-kr),x01);

```

```

[x2,non,flag2]=fsolve(@(x)((log(Io/(1+1/x)))/(1+x)-kr),x02);

```

```

delta1=Rin-
Fva/((x1+1)*IL*2*alpha*vl/(log((Io/(1+1/x1)))));%Há
soluções para a equação acima que possuem Rin e VL
diferente mas que possuem as "constantes" kr e Io
iguais.

```

```

delta2=Rin-
Fva/((x2+1)*IL*2*alpha*vl/(log((Io/(1+1/x2)))));

```

```

if (flag1==1) && (delta1<1)

```

```

    IS1(j)=x1*IL;
    N1(j)=vl/(log((Io/(1+1/x1)))));
    Val(j)=Va;
    Rin1(j)=Rin;
    x01=x1*0.99; %Mudar talvez aqui para
fechar a curva do gráfico obtido
    Q1(j)=Q;
    Ls1(j)=XL/w;

```

```

        C1(j)=1/(XC*w);
        RS1(j)=RS;

        j=j+1;
end

if (flag2==1) && (delta2<1)

        IS2(z)=x2*IL;
        N2(z)=v1/(log((Io/(1+1/x2))));
        Va2(z)=Va;
        Rin2(z)=Rin;
        xo2=x1*2; %Mudar talvez aqui para
fechar a curva do gráfico obtido
        Q2(z)=Q;
        Ls2(z)=XL/w;
        C2(z)=1/(XC*w);
        RS2(z)=RS;

        z=z+1;
end
end

figure(1)
loglog(N1,IS1,N2,IS2);
%,N1,XXX1,N2,XXX2,N1,XX,N2,XX2
title('IS x N');
xlabel('N');
ylabel('IS');
grid;

figure(2)
loglog(N1,Va1,N2,Va2);
title('Va x N');
xlabel('N');
ylabel('Va');
grid;

figure(3)
loglog(N1,Rin1,N2,Rin2);
title('Rin x N');

```

```

xlabel('N');
ylabel('Rin');
grid;

figure(4)
loglog(N1,Q1,N2,Q2);
title('Qret x N'); % Fator de qualidade do
retificador
xlabel('N');
ylabel('Qret');
grid;

figure(5)
loglog(N1,Ls1,N2,Ls2);
title('Lr x N');
xlabel('N');
ylabel('Lr');
grid;

figure(6)
loglog(N1,C1,N2,C2);
title('Cr x N'); %Capacitância total para a rede de
adaptação
xlabel('N');
ylabel('Cr');
grid;

figure(7)
loglog(N1,RS1,N2,RS2);
title('RS x N');
xlabel('N');
ylabel('RS');
grid;

kca=VL*IL*Rant*(alpha/nphit)^2 %Constante do
conversor com adaptação

```