

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E
ELETRÔNICA**

Nathalia Della Giustina Ballmann

**CONVERSOR BOOST PARA APLICAÇÕES EM BAIXA
TENSÃO**

Florianópolis

2017

Nathalia Della Giustina Ballmann

CONVERTOR BOOST PARA APLICAÇÕES EM BAIXA TENSÃO

Trabalho de Conclusão de Curso submetido ao Curso de Engenharia Eletrônica para a obtenção do Grau de Bacharelado em Engenharia Eletrônica.
Orientador: Prof. Márcio Cherem Schneider, Dr.

Florianópolis

2017

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Ballmann, Nathalia Della Giustina
Conversor Boost para Aplicações em Baixa Tensão /
Nathalia Della Giustina Ballmann ; orientador,
Márcio Cherem Schneider, 2017.
72 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro
Tecnológico, Graduação em Engenharia Eletrônica,
Florianópolis, 2017.

Inclui referências.

1. Engenharia Eletrônica. 2. Circuitos
integrados. 3. Colheita de energia. 4. Conversor
boost. 5. Tecnologia CMOS. I. Schneider, Márcio
Cherem. II. Universidade Federal de Santa Catarina.
Graduação em Engenharia Eletrônica. III. Título.

Nathalia Della Giustina Ballmann

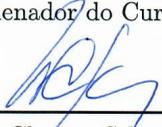
CONVERSOR BOOST PARA APLICAÇÕES EM BAIXA TENSÃO

Esta monografia foi julgada no contexto da disciplina **EEL7806 - Projeto Final TCC** e aprovada em sua forma final pelo **Curso de Engenharia Eletrônica**.

Florianópolis, 04 de Dezembro 2017.



Prof. Jefferson Luiz Brum Marques, Dr.
Coordenador do Curso



Prof. Márcio Cherem Schneider, Dr.
Orientador

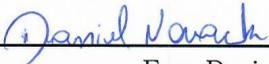
Banca Examinadora:



Prof. Roberto Francisco Coelho, Dr.
Participante da banca examinadora



Eng. Rafael Luciano Radin, MSc.
Participante da banca examinadora



Eng. Daniel Novack
Participante da banca examinadora

AGRADECIMENTOS

Primeiramente, gostaria de agradecer às instituições que possibilitaram que eu realizasse este trabalho. Agradeço à Universidade Federal de Santa Catarina pela formação pública, gratuita e de qualidade; ao CNPQ, pela bolsa de iniciação científica que recebi durante dois anos; e também à MOSIS, que possibilitou que eu fabricasse gratuitamente meu primeiro circuito integrado.

Agraço aos professores que tive ao longo da minha trajetória acadêmica, os quais me capacitaram para escrever este trabalho e para, em breve, colar grau como Engenheira Eletrônica. Dentre todos eles, gostaria de agradecer especialmente ao Professor Márcio Schneider, que, além de ter ministrado matérias fundamentais para minha formação, orientou-me durante a iniciação científica e trabalho de conclusão de curso.

Agradeço aos colegas do LCI pela amizade, ajuda em assuntos técnicos, companhia nos cafés e nas cervejas. De forma especial, gostaria de agradecer ao Jeff e ao Nando, que muito me ajudaram durante todo o desenvolvimento deste trabalho sanando quaisquer dúvidas com as quais eu os importunasse, e também ao Daniel, pelas aulas de leiaute de circuitos integrados.

Agradeço aos amigos que fiz durante a Graduação em Engenharia Eletrônica, que me fizeram companhia para estudar para as matérias mais desafiadoras e também nos momentos de distração, quando tentávamos não falar sobre a faculdade.

Agradeço à "<GLR3" de Grão-Pará pela amizade duradoura.

Agradeço aos meus pais, Maria e Vanio, pelo apoio incondicional em todas as minhas escolhas.

Agradeço por último ao Yuri, por ser meu principal suporte nos últimos anos.

RESUMO

Este trabalho de conclusão de curso descreve o desenvolvimento parcial de um conversor DC-DC do tipo *boost* (elevador) para aplicações em baixa tensão. O objetivo do projeto foi fornecer 1,2 V para cargas de até 500 Ω considerando tensões de entrada entre 0,4 e 0,8 V. A frequência de chaveamento utilizada foi de 1MHz. O sistema de regulação desenvolvido foi implementado através de uma malha de controle analógica, utilizando como compensador um circuito OTA-C. Foi necessário também desenvolver circuitos como um comparador para gerar um sinal PWM e circuito de não sobreposição de fase para acionar as chaves. Ao longo deste documento são apresentados o desenvolvimento de cada um dos circuitos citados e seu respectivo leiaute, resultados de simulação parciais de cada bloco e também a simulação do sistema completo. São apresentadas, também, medidas das chaves do conversor integradas em tecnologia CMOS 130 nm, que tiveram eficiência até 94%.

Palavras-chave: Circuitos integrados. Ultrabaixa tensão. Tecnologia CMOS. Colheita de energia. Conversor *boost*.

ABSTRACT

This final year project describes the partial design of a boost type DC-DC converter aimed at low voltage applications. This project's objective was to provide 1,2 V to loads of up to 500 Ω for an input voltage ranging from 0,4 to 0,8 V and a 1 MHz switching frequency. The developed regulating system was implemented using an analog control loop and deploying an OTA-C circuit as the compensator. It was also necessary to design a comparator, for the generation of PWM signal, and a non-overlapping clock to drive the switches. Throughout this document, the design and layout of each one of the mentioned circuits, partial simulation results and the complete system simulation are presented. Moreover, measurement results for the converter's switches integrated in CMOS 130 nm technology, which reached up to 94% efficiency, are shown.

Keywords: Integrated circuits. Ultralow voltage. CMOS technology. Energy harvesting. Boost converter.

LISTA DE FIGURAS

Figura 1	Topologia do conversor <i>boost</i>	25
Figura 2	Circuito equivalente do conversor boost quando a chave está na posição 1.....	25
Figura 3	Circuito equivalente do conversor boost quando a chave está na posição 2.....	25
Figura 4	Tensão entre os terminais do indutor (v_L).....	26
Figura 5	Corrente no indutor (i_L).....	27
Figura 6	Corrente no capacitor (i_C).....	27
Figura 7	Tensão no capacitor (v_{out}).....	28
Figura 8	Diagrama de blocos do sistema em malha fechada.....	32
Figura 9	Função de transferência do conversor <i>boost</i> considerando variações em D	34
Figura 10	Função de transferência do conversor <i>boost</i> considerando variações em R	35
Figura 11	Diagrama de blocos do sistema de regulação do conversor <i>boost</i>	36
Figura 12	Diagrama de Bode da malha de realimentação do conversor <i>boost</i> controlada considerando D entre 33 e 67%.....	37
Figura 13	Margem de fase do sistema considerando D entre 33 e 66% e diferentes valores de carga.....	38
Figura 14	Esquemático do sistema completo simulado.....	40
Figura 15	Esquemático da simulação feita para determinar as dimensões da chave NMOS.....	42
Figura 16	Circuito de não sobreposição gerando as fases ϕ_1 e ϕ_2 a partir do sinal ϕ	43
Figura 17	Circuito de não sobreposição considerando os inversores em paralelo que servem para aumentar a capacidade de corrente do <i>driver</i>	43
Figura 18	Fases ϕ_1 (NMOS) e $\overline{\phi_2}$ (PMOS) não sobrepostas.....	44
Figura 19	Topologia utilizada no projeto do OTA.....	44
Figura 20	Esquemático do OTA com transistores de degeneração.....	45
Figura 21	Histograma com $\mu = -2,6$ mV e $\sigma = 7,94$ mV obtido através da simulação de MonteCarlo do <i>offset</i> do circuito original.....	46
Figura 22	Histograma com $\mu = -2,6$ mV e $\sigma = 4,38$ mV obtido	

através da simulação de MonteCarlo do *offset* do circuito com área quadruplicada. 46

Figura 23 Transcondutância em função da diferença entre as tensões de entrada do OTA considerando uma tensão de modo comum de 0,6 V (valor da tensão de referência do compensador). 47

Figura 24 Esquemático equivalente do circuito OTA-C considerando a impedância de saída do OTA. 47

Figura 25 Diagrama de Bode da magnitude do filtro OTA-C, onde $g_m/g_o \cong 30$ dB e $g_m/C_{comp} \cong 1$ kHz. 47

Figura 26 Esquemático do comparador. 49

Figura 27 Tensão de saída do conversor regulada considerando 0,4 V (curva vermelha), 0,6 V (curva amarela) e 0,8 V (curva azul) de tensão de entrada. 52

Figura 28 Simulação transiente do sistema considerando um *step* na tensão de entrada e carga máxima ($R = 500 \Omega$). Na Figura, V_{in} , V_{out} e D 53

Figura 29 Simulação transiente do sistema considerando um *step* na tensão de entrada e carga mínima ($R = 10 \text{ k}\Omega$). Na Figura, V_{in} , V_{out} e D 54

Figura 30 Notação usada para matrizes de transistores. 55

Figura 31 Detalhe do leiaute da chave NMOS. 56

Figura 32 Layout da chave NMOS. 56

Figura 33 Layout da chave PMOS. 57

Figura 34 Leiaute da porta lógica NOT. 57

Figura 35 Leiaute da porta lógica NAND. 57

Figura 36 Leiaute do circuito de não sobreposição. 58

Figura 37 Detalhe do leiaute do circuito de não-sobreposição mostrando a conexão entre as fileiras. 59

Figura 38 Leiaute do OTA. 60

Figura 39 Leiaute do Comparador. 62

Figura 40 Foto do *setup* utilizado na realização das medidas. 66

Figura 41 Acima, o sinal que chaveia as portas cujo *duty cycle* é de 76%. Abaixo, a tensão de saída em 1,2 V. A tensão de entrada é de 0,4 V. 68

LISTA DE TABELAS

Tabela 1	Parâmetros extraídos dos transistores NMOS e PMOS da tecnologia 130 nm através de simulação.....	41
Tabela 2	Dimensões das chaves NMOS e PMOS.....	42
Tabela 3	Dimensões dos transistores usados no projeto do OTA .	61
Tabela 4	Tabela comparativa das dimensões dos leiautes realizados.....	63
Tabela 5	Valores dos componentes externos usados para realizar as medidas.....	66
Tabela 6	Resultados experimentais obtidos para diferentes valor de V_{in} e D	67

LISTA DE ABREVIATURAS E SIGLAS

CCM	<i>Continuous Conduction Mode</i> , em português, modo de condução contínua.....	21
ESR	<i>Equivalent series resistance</i> , em português, resistencia equivalente série.....	21
OTA	<i>Operational Transconductance Amplifier</i> , em português, amplificador operacional de transcondutância.....	21
PWM	<i>Pulse Width Modulation</i> , em português, modulação por largura de pulso.....	21
VLSI	<i>Very-Large-Scale Integration</i> , em português, integração em escala muito alta.....	21

LISTA DE SÍMBOLOS

V_{out}	Tensão de saída média do conversor <i>boost</i>	25
V_{in}	Tensão de entrada do conversor <i>boost</i>	25
D	<i>Duty cycle</i>	25
Δv_{out}	Varição da tensão de saída do conversor <i>boost</i>	25
I_{in}	Corrente média fornecida pela fonte de entrada do conversor <i>boost</i>	26
v_L	Tensão nos terminais do indutor	26
i_L	Corrente no indutor	26
i_C	Corrente no capacitor	27

SUMÁRIO

1 INTRODUÇÃO	21
1.1 REVISÃO DO ESTADO DA ARTE	21
1.2 ORGANIZAÇÃO DO TRABALHO	22
2 O CONVERSOR BOOST	25
2.1 EQUACIONAMENTO	25
2.2 COMPROMISSOS NO PROJETO DO CONVERSOR	29
2.3 DETERMINAÇÃO DOS VALORES DOS COMPONENTES PASSIVOS	30
3 CONTROLE	31
3.1 TIPOS DE CONTROLE	31
3.2 MODELAGEM AC DO CONVERSOR BOOST	33
3.3 MODELAGEM DO SISTEMA	34
3.4 PROJETO DO CONTROLADOR	36
4 PROJETO DOS BLOCOS DO SISTEMA	39
4.1 CHAVES	41
4.2 CIRCUITO DE NÃO-SOBREPOSIÇÃO	42
4.3 OTA (AMPLIFICADOR DE TRANSCONDUCTÂNCIA)	43
4.4 COMPARADOR	46
5 RESULTADOS DE SIMULAÇÃO	51
6 LEIAUTE	55
6.1 CHAVES	55
6.2 CIRCUITO DE NÃO SOBREPOSIÇÃO DE FASES	57
6.3 OTA	58
6.4 COMPARADOR	61
6.5 DIMENSÕES DOS BLOCOS	61
7 RESULTADOS EXPERIMENTAIS	65
8 CONCLUSÕES	69
REFERÊNCIAS	71

1 INTRODUÇÃO

À medida que as tecnologias VLSI se desenvolvem, a densidade de transistores nos *chips* aumenta devido à diminuição do tamanho destes componentes. Uma consequência direta da diminuição das dimensões dos transistores é a redução da tensão de alimentação, o que, por consequência, faz com que a potência consumida seja menor.

Outra tendência de sistemas eletrônicos atuais é a utilização da colheita de energia do ambiente como fonte de energia. Entretanto, as tensões geradas, por exemplo, por células fotovoltaicas e geradores termoeletrônicos são da ordem de centenas e dezenas de milivolt, respectivamente. Mesmo em tecnologias recentes estes níveis de tensão não poderiam alimentar circuitos convencionais.

Neste contexto, este trabalho de conclusão de curso teve como objetivo a concepção de um conversor DC-DC do tipo *boost* para aplicações em baixa tensão. O projeto foi desenvolvido na tecnologia de integração de 130 nm, cuja tensão de alimentação é 1,2 V. As especificações do projeto desenvolvido são fornecer 1,2 V para cargas de até 500 Ω tendo como entrada fontes de tensão dentro de uma faixa de 400 até 800 mV. Logo, o principal objetivo estabelecido é a regulação da tensão de saída.

A ferramenta de EDA utilizada para o desenvolvimento deste projeto foi o Virtuoso, da *Cadence*. Este *software* possibilitou fazer esquemáticos e simulações utilizando tanto o simulador Spectre (para análise DC, estatística e transiente de relativa curta duração) quanto o Ultrasim (para simulações transientes mais longas). Além disso, utilizou-se a ferramenta *Layout* para prototipar os circuitos desenvolvidos.

1.1 REVISÃO DO ESTADO DA ARTE

Na literatura, os exemplos de sistemas desenvolvidos em tecnologias de integração recentes que buscam colher energia e aumentar a tensão de saída utilizam tanto conversores DC-DC quanto circuitos de *charge pump* e, normalmente, fazem uso de mais de uma fonte de energia disponível no ambiente.

Chang e Lee (2014) utilizaram como fonte de energia três geradores termoeletrônicos e, através de um conversor *boost*, potência foi transferida para um capacitor de 22 μF . O trabalho foi desenvolvido na

tecnologia 180 nm, teve como objetivos a extração máxima de potência das fontes e a utilização de uma frequência baixa de chaveamento para reduzir o consumo de potência dos blocos de controle, obtendo uma eficiência máxima de 58,3% ao transferir 2,43 mW.

O trabalho apresentado por Lhermet et al. (2008) foi desenvolvido na tecnologia de integração de 350 nm propondo coletar energia de um receptor RF e de um gerador termoeletrico e transferi-la para uma microbateria. Medidas considerando uma tensão de entrada de 1 V mostraram que a tensão de saída pôde ser regulada entre 1,75 e 4,25 V após 1 ms de *start up* e que a eficiência máxima obtida foi de 78%.

Já no sistema desenvolvido por Pasca, D'Amico e Baschirotto (2015), trabalho também desenvolvido na tecnologia 180 nm, utilizou-se tensões de entrada tão baixas quanto 96 mV, obtidas através de um receptor RF e um gerador termoeletrico. Através de um conversor DC-DC, as tensões de entrada foram elevadas para valores entre 0,42 e 1,05 V. Devido à necessidade de um alto fator de conversão, o pico de eficiência obtido, de cerca de 24%, é baixo quando comparado a outros trabalhos.

1.2 ORGANIZAÇÃO DO TRABALHO

A divisão deste documento aconteceu de maneira similar às etapas do desenvolvimento do projeto. Em um primeiro momento são analisadas as equações fundamentais que explicam o funcionamento do conversor para que seja possível determinar os valores dos componentes passivos utilizados. São expostos também os compromissos encontrados no desenvolvimento do projeto, como aquele entre a frequência de chaveamento e o valor dos componentes.

Após projetar o conversor em malha aberta, passou-se para a etapa da implementação de um sistema de regulação, onde é feita uma revisão dos tipos de controladores que podem ser usados para regular o conversor. Após a opção por um deles, a modelagem AC do sistema é apresentada e, a partir dela, projeta-se um controlador teórico que permita regular a tensão de saída do circuito. O projeto de cada um dos blocos utilizados no sistema de regulação é, então, apresentado e, em seguida, são mostradas as simulações do conversor *boost* regulado.

São apresentados também o leiaute de cada um dos blocos desenvolvidos e as técnicas neles utilizadas. Por fim, são expostos os resultados práticos obtidos para um circuito integrado contendo o conversor em malha aberta apenas, onde pode ser analisada, sobretudo, a

eficiência obtida no projeto das chaves.

2 O CONVERSOR BOOST

O conversor *boost* é uma das topologias de conversor mais conhecidas na área de Eletrônica de Potência. Sua principal característica é fornecer uma tensão de saída (V_{out}) maior que a tensão de entrada (V_{in}). A determinação da razão entre V_{out} e V_{in} , ou fator de conversão, é feita através do *duty cycle* (D), que representa a porcentagem do período de chaveamento (T_s) em que a chave da Figura 1 está na posição 1.

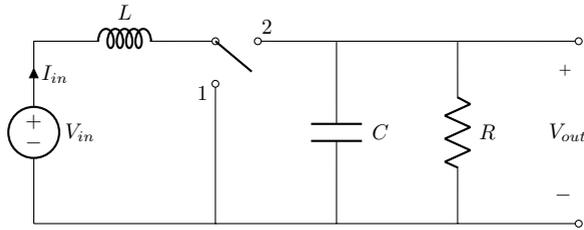


Figura 1 – Topologia do conversor *boost*.

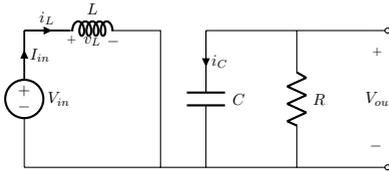


Figura 2 – Circuito equivalente do conversor *boost* quando a chave está na posição 1.

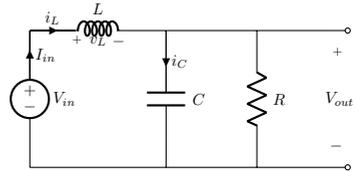


Figura 3 – Circuito equivalente do conversor *boost* quando a chave está na posição 2.

2.1 EQUACIONAMENTO

Para derivar o equacionamento do conversor *boost* são considerados os circuitos equivalentes quando a chave está nas posições 1 e 2 (mostrados, respectivamente, nas Figuras 2 e 3) e a aproximação de pequena ondulação, a qual considera que variação da tensão de saída (Δv_{out}) é pequena quando comparada ao valor médio de V_{out} , conforme

apresentado por Erickson (1997). Considera-se também que a corrente de entrada (I_{in}) e V_{out} têm média constante ao longo do tempo quando o sistema está em regime permanente.

Quando a chave está na posição 1, a tensão nos terminais do indutor (v_L) é igual a V_{in} . Quando a chave está na posição 2, $v_L = V_{in} - V_{out}$. Ambos os casos são exibidos na Figura 4.

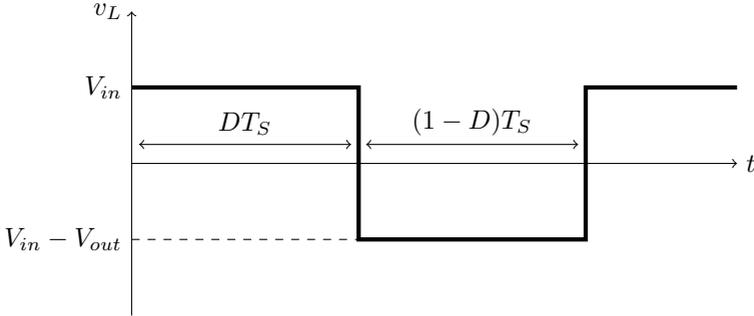


Figura 4 – Tensão entre os terminais do indutor (v_L).

A relação tensão-corrente no indutor é dada pela Equação (2.1), a partir da qual pode-se estimar a forma de onda da corrente do indutor (i_L), a qual é mostrada na Figura 5. Visto que em regime permanente a média de I_{in} (e, portanto, de i_L) é constante, a variação na corrente quando a chave está na posição 1 deverá ser igual à variação negativa da corrente quando a chave está na posição 2. O equacionamento dessa condição (Equação (2.2)) tem como resultado a relação entre V_{out} , V_{in} e D .

$$\frac{\partial i_L}{\partial t} = \frac{v_L}{L} \quad (2.1)$$

Também com base no gráfico da Figura 5, é possível estabelecer o valor de Δi_L (variação da corrente do indutor), conforme é mostrado em (2.3).

$$\int_0^{DT_s} \frac{V_{in}}{L} dt = - \int_{DT_s}^{T_s} \frac{V_{in} - V_{out}}{L} dt \quad (2.2a)$$

$$V_{out} = \frac{V_{in}}{1 - D} \quad (2.2b)$$

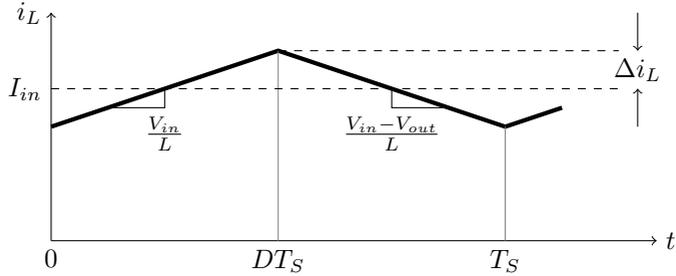


Figura 5 – Corrente no indutor (i_L).

$$\Delta i_L = \frac{V_{in}}{L} \frac{DT_s}{2} \quad (2.3)$$

Devido à aproximação de pequena ondulação, considera-se que o resistor R é percorrido por corrente constante e igual a V_{out}/R . Logo, quando a chave está na posição 1, a corrente no capacitor (i_C) é igual a $-V_{out}/R$. Quando a chave está na posição 2, a corrente no capacitor é igual à corrente média fornecida pela fonte (I_{in}) subtraída da corrente consumida pelo resistor, conforme pode ser visto na Figura 6.

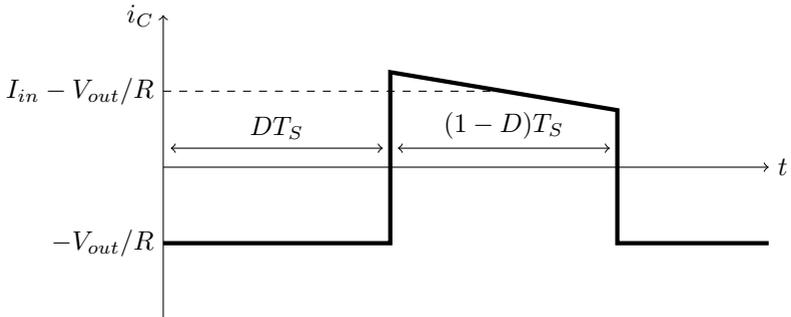


Figura 6 – Corrente no capacitor (i_C).

A partir da relação mostrada na Equação (2.4), pode-se estimar a amplitude da ondulação da tensão de saída conversor (ou Δv_{out}), como foi feito na Equação (2.5), e também traçar a forma de onda deste sinal, como foi feito na Figura 7.

$$\frac{i_C}{C} = \frac{\partial v_{out}}{\partial t} \quad (2.4)$$

$$-2\Delta v_{out} = \int_0^{DT_s} \frac{-V_{out}}{RC} dt \quad (2.5a)$$

$$\Delta v_{out} = \frac{V_{out}}{2RC}(DT_s) \quad (2.5b)$$

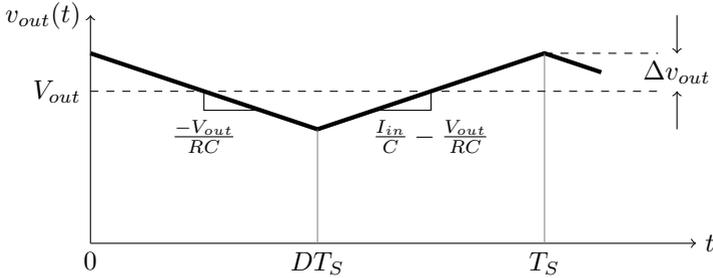


Figura 7 – Tensão no capacitor (v_{out}).

A variação negativa na tensão do capacitor quando a chave está na posição 1 deve ser igual à variação positiva dessa tensão quando a chave está na posição 2. Ao equacionar essa condição, o resultado obtido é a relação entre I_{in} , D e R , como pode ser visto na Equação (2.6).

$$-\int_0^{DT_s} \frac{-V_{out}}{RC} dt = \int_{DT_s}^{T_s} \frac{I_{in}}{C} - \frac{V_{out}}{RC} dt \quad (2.6a)$$

$$\frac{V_{out}}{R} = I_{in}(1 - D) \quad (2.6b)$$

$$I_{in} = \frac{V_{in}}{R(1 - D)^2} \quad (2.6c)$$

A partir dos resultados obtidos, utilizando as equações (2.6c) e (2.2b), é possível demonstrar que a potência fornecida pela fonte na entrada do conversor é igual à potência dissipada no resistor (Equação (2.7)). Este resultado é esperado, visto que o único elemento teoricamente dissipativo é o resistor. A interpretação deste resultado é que, idealmente, toda a potência fornecida pela fonte é entregue para a carga, isto é:

$$V_{in}I_{in} = V_{in} \frac{V_{in}}{R(1-D)^2} = \frac{1}{R} \left(\frac{V_{in}}{1-D} \right)^2 = \frac{V_{out}^2}{R} \quad (2.7)$$

Para este projeto buscou-se trabalhar no modo CCM (*Continuous Conduction Mode*, em português, modo de condução contínua), o que, na prática, significa que a corrente no indutor deverá ser sempre maior que zero. Utilizando as equações (2.6c) e (2.3) pode-se encontrar o valor de indutância mínima, dada uma frequência de chaveamento e valor da carga resistiva para que o conversor funcione no limiar deste modo de condução (Equação (2.8)).

$$I_{in} > \Delta i_L \quad (2.8a)$$

$$\frac{V_{in}}{R(1-D)^2} > \frac{V_{in}}{L} \frac{DT_s}{2} \quad (2.8b)$$

$$L > \frac{R(1-D)^2 DT_s}{2} \quad (2.8c)$$

Utilizando o equacionamento acima desenvolvido, pode-se projetar um conversor *boost* no modo de operação desejado, bastando apenas determinar os valores de L , C e frequência de chaveamento (f_s ou $1/T_s$).

2.2 COMPROMISSOS NO PROJETO DO CONVERSOR

Inicialmente, o objetivo deste trabalho era a concepção de um conversor que fosse completamente integrável. Entretanto, dificuldades no desenvolvimento logo apareceram, sendo a maior delas o fato de os indutores integrados ocuparem uma grande área de silício e também possuírem um fator de qualidade (Q) muito baixo.

Na tecnologia de circuitos integrados na qual o projeto foi desenvolvido, o valor máximo do indutor seria de cerca de 100 nH. Utilizando a Equação (2.8), pode-se determinar que a frequência necessária para que o conversor operasse em CCM seria da ordem de dezenas de GHz considerando uma carga mínima de 10 k Ω . Trabalhar em frequências altas seria bastante problemático, por exemplo, para o modulador por largura de pulso. Esse bloco precisa mudar muito rapidamente seu estado lógico (em um tempo consideravelmente menor que o período de chaveamento) o que significa um valor bastante elevado de corrente.

O problema do fator de qualidade baixo poderia ter sido mitigado utilizando a técnica de *bond wire*, a qual consiste na utilização de fios de ouro que normalmente fazem as conexões dentro dos circuitos integrados, em formato espiral, e utilizada por Wens e Steyaert (2008). O indutor gerado poderia ter um fator de qualidade melhor quando comparada aos indutores integrados, mas também teria uma indutância muito baixa, da ordem de unidades a dezenas de nH. Porém, como esse método não está disponível na tecnologia de integração à qual se tem acesso, o projeto passou a utilizar indutores *off-chip*.

Entretanto, mesmo se o projeto do sistema ainda fosse considerado como sendo completamente integrável, o compromisso entre frequência de chaveamento e tamanho dos componentes ainda existiria. Isso se deve ao fato de que o tamanho dos indutores e capacitores integrados é várias vezes maior que o dos outros blocos projetados, ocupando uma grande porcentagem da área do *die* de silício. Pode-se dizer também que, à medida que a frequência de operação do circuito aumenta, as perdas dinâmicas e a complexidade de projeto, principalmente devido às capacitâncias parasitas, também aumentam.

2.3 DETERMINAÇÃO DOS VALORES DOS COMPONENTES PASSIVOS

Definiu-se que a frequência a ser utilizada no chaveamento seria de 1 MHz e que a ondulação máxima de V_{out} seria de 3%. Dessa forma, dada a topologia utilizada e as equações deduzidas, podem ser determinados os valores dos componentes passivos.

Considerou-se que o sensor mostrado na Figura 8 seria um divisor resistivo, representando também a carga mínima do conversor. Dado o valor da carga mínima de 10 k Ω , o período do sinal de chaveamento, 1 μ s, e o valor máximo da expressão $(1 - D)^2 D$ (que é 0,148 para $D = 33\%$), de acordo com a Equação (2.8), a indutância mínima a ser utilizada é 740 mH. Foi utilizada uma indutância um pouco maior e que fosse um valor comercial, 820 mH. Observa-se que a escolha da carga mínima representa um compromisso entre o valor da indutância e a potência a ser perdida quando a carga está conectada ao sistema (no caso, cerca de 5%).

Estabelecendo que o *ripple* máximo seria de 36 mV (3% do valor de V_{out}), utilizou-se a Equação (2.5b), a carga máxima do conversor (500 Ω) e o *duty cycle* máximo (66%) para estabelecer qual seria capacitância mínima. O valor obtido foi 22 nF.

3 CONTROLE

O sistema apresentado até o momento é um sistema em malha aberta. O sinal de saída depende das entradas do sistema e pode, portanto, variar. Visto que o objetivo do projeto é fornecer uma tensão de saída constante para uma determinada faixa de tensão e carga, foi preciso implementar um sistema de regulação para controlar o sinal de interesse (V_{out}). Para isso, analisou-se o sistema de regulação em malha fechada (composto pelo conversor DC-DC, controlador e demais blocos) no domínio da frequência, de forma a garantir sua estabilidade.

3.1 TIPOS DE CONTROLE

Dentro da literatura encontramos algumas formas principais de se fazer o controle do conversor. Entre elas, estudaram-se duas particularmente.

A primeira é um sistema de regulação baseado em um comparador com histerese e um oscilador com *duty cycle* constante. Nesse sistema, utiliza-se o comparador com histerese para acionar o oscilador quando a tensão de saída atinge o limite inferior aceitável. O *duty cycle* do oscilador deve fazer com que a tensão de saída aumente. Se o limite superior for atingido, o oscilador é desligado.

Optou-se por não utilizar essa solução, já que nesse caso o *ripple* aceitável deve ser muito menor que a diferença entre os limites superior e inferior da tensão de saída, o que implica em empregar uma capacitância ainda maior (como pode ser inferido ao observar a Equação (2.5)).

O segundo tipo de controle estudado e o mais comumente usado utiliza a modulação por largura de pulso (em inglês, *Pulse Width Modulation*, ou PWM). O diagrama de blocos do sistema simplificado é mostrado na Figura 8.

O sinal a ser regulado (nesse caso, V_{out}) é detectado através de um sensor e comparado a uma referência. A diferença entre a referência e o sinal de interesse gera um sinal de erro (ϵ), o qual é aplicado à entrada do controlador. O controlador deve ajustar sua saída que, por sua vez, controla o o *duty cycle*, que altera V_{out} com o objetivo de minimizar ϵ .

A implementação do controlador, parte fundamental do projeto do sistema de regulação, pode ser feita tanto com circuitos analógi-

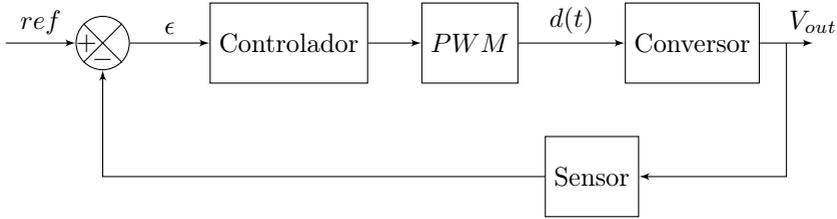


Figura 8 – Diagrama de blocos do sistema em malha fechada.

cos quanto digitais. No escopo deste projeto, optou-se por trabalhar com circuitos analógicos, pois no grupo de pesquisa onde o projeto foi desenvolvido há uma maior familiaridade com eles.

A implementação do controle analógico pode ser feita tanto por corrente quanto por tensão. De acordo com Kester e Erisman (1997), algumas das vantagens do controle por corrente são maior rapidez e implementação com poucos componentes. Entretanto, esse tipo de controle é mais indicado para projetos em que a variação na tensão de entrada do conversor é pequena e também quando a saída é uma fonte de corrente, o que não é o caso deste projeto. Já o controle por tensão é mais indicado para quando se tem variações maiores na tensão de entrada e na carga conectada à saída do conversor, os quais são objetivos deste trabalho.

Conforme foi mostrado por Forghani-Zadeh e Rincón-Mora (1994), o sensoriamento do sinal de interesse pode ser feito utilizando diversas técnicas. São exemplos delas: medir a tensão no canal do transistor que serve como chave (técnica R_{DS}), medir a tensão no indutor para inferir sua corrente (técnica denominada *Observer*), utilização de *SENSEFETs*, entre outras.

O sensor de mais fácil implementação é o utilizado na técnica de R_{SENSE} , que consiste basicamente em medir a tensão ou corrente com um resistor. Para medir a corrente, coloca-se uma resistência em série com a corrente a ser medida. Para medir a tensão, coloca-se o sensor em paralelo com a carga para a qual o conversor fornece potência. A vantagem da utilização deste sensor, além da fácil implementação, é a precisão, e a desvantagem, a dissipação de potência, já que o resistor é um componente dissipativo.

Em sistemas mais complexos, normalmente são empregados de maneira conjunta controle por corrente e por tensão, além do uso de outros dispositivos de segurança. Para o projeto de um primeiro conversor, preferiu-se começar pelo controle por tensão por julgá-lo mais

intuitivo e também por utilizar um sensor simples.

A opção por controle por tensão analógico faz com que seja necessário utilizar um modelo AC do sistema, a começar pelo próprio conversor *boost*.

3.2 MODELAGEM AC DO CONVERSOR BOOST

A modelagem AC do conversor representa as variações em baixa frequência das entradas do sistema: tensão de entrada ($V_{in}(t)$), *duty cycle* ($d(t)$) e corrente consumida pela carga ($i_{load}(t)$). A baixa frequência é também chamada de frequência de modulação.

A modelagem não leva em consideração as componentes AC relacionadas ao chaveamento, o que significa que são considerados apenas a média de tensão e corrente dos componentes ao longo de um ciclo de chaveamento, representadas por $\langle v_L(t) \rangle_{T_s}$ (média da tensão do indutor), $\langle i_L(t) \rangle_{T_s}$ (média da corrente do indutor), $\langle v_C(t) \rangle_{T_s}$ (média da tensão do capacitor) e $\langle i_C(t) \rangle_{T_s}$ (média da corrente do capacitor).

Diferente da modelagem apresentada na seção anterior, que considerava que o sistema está em regime permanente e que $\langle v_L(t) \rangle_{T_s} = 0$ e $\langle i_C(t) \rangle_{T_s} = 0$, a modelagem AC busca expressar matematicamente como variações em $V_{in}(t)$, $d(t)$ e $i_{load}(t)$ afetam $\langle v_L(t) \rangle_{T_s}$, $\langle i_L(t) \rangle_{T_s}$, $\langle v_C(t) \rangle_{T_s}$ e $\langle i_C(t) \rangle_{T_s}$.

De forma similar similar à modelagem apresentada na seção anterior, considera-se os circuitos equivalentes quando a chave está nas posições 1 e 2, e também as relações entre tensão e corrente para indutor e capacitor para determinar o comportamento AC do conversor. O desenvolvimento da modelagem é bastante extenso e, por esse motivo, seu resultado foi tomado da bibliografia utilizada.

A função de transferência do conversor considerando variações em $d(t)$, de acordo com Erickson (1997), é apresentada na Equação (3.1), onde:

- G_{vd} representa a variação da tensão de saída devido à variação de *duty cycle*;
- G_{d0} é igual a $\frac{V_{in}}{(1-D)^2}$;
- L_e é a indutância equivalente, sendo sua relação com a indutância real dada por $L_e = \frac{L}{(1-D)^2}$;
- O fator de qualidade Q é igual a $(1-D)R\sqrt{\frac{C}{L}}$;

- $\omega_0 = \frac{(1-D)}{\sqrt{LC}}$.

$$G_{vd}(s) = G_{d0} \frac{1 - s \frac{L}{R}}{1 + \frac{s}{\omega_0 Q} + \frac{s^2}{\omega_0^2}} \quad (3.1)$$

Pode-se observar, pela função de transferência, que o sistema é modelado por um polo duplo e por um zero no semi-plano direito. Ao traçar um gráfico considerando os valores de $L = 820 \mu\text{H}$, $C = 22 \text{ nF}$, $R = 500 \Omega$ e variando D , pode-se ver que os polos e zeros da função de transferência do conversor se movem à medida que o *duty cycle* aumenta, como pode ser visto na Figura 9. Observa-se também que, com o aumento de D , G_{d0} aumenta.

É possível analisar também que, ao fixar $D = 50\%$ e aumentar R , o aumenta-se o fator de qualidade; logo, o pico da função de transferência aumenta e a diminuição da fase devido ao polo duplo fica mais abrupta, conforme é apresentado na Figura 10.

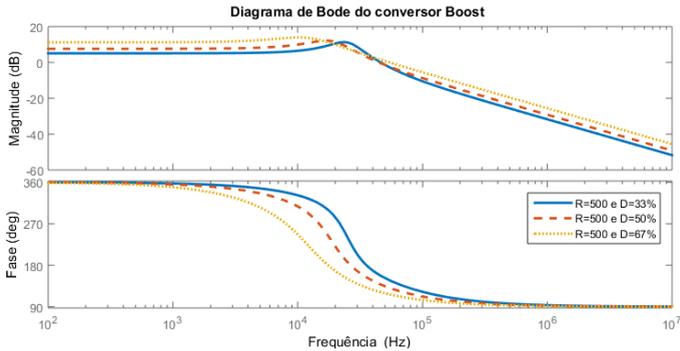


Figura 9 – Função de transferência do conversor *boost* considerando variações em D .

3.3 MODELAGEM DO SISTEMA

O diagrama de blocos do sistema de regulação em malha fechada é mostrado na Figura 11. Nela podem ser vistos os três sinais de entrada do conversor: *duty cycle* ($d(t)$), tensão de entrada ($V_{in}(t)$) e corrente de carga ($i_{load}(t)$). Uma mudança em qualquer um destes sinais (representados respectivamente por \hat{d} , \hat{v}_{in} and \hat{i}_{load}) causará uma variação da

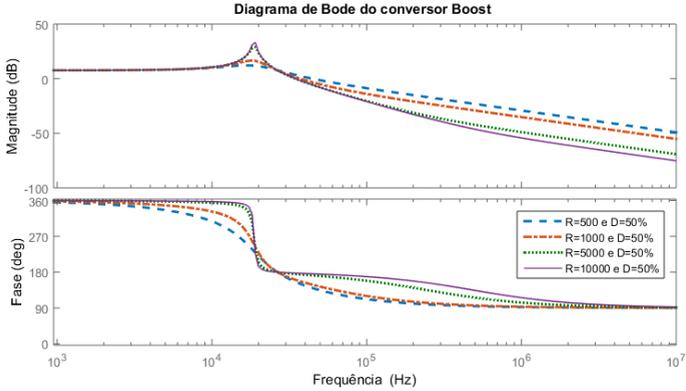


Figura 10 – Função de transferência do conversor *boost* considerando variações em R .

tensão de saída (\hat{v}_{out}), como é mostrado na Equação (3.2).

$$\hat{v}_{out}(s) = G_{vd}(s)\hat{d} + G_{vi}(s)\hat{v}_{in} - Z_{out}(s)\hat{i}_{load} \quad (3.2)$$

A expressão $G_{vd}(s)$ relaciona a variação da tensão de saída com uma variação no *duty cycle*, conforme foi apresentado na Equação (3.1), e $G_{vi}(s)$ relaciona a variação da tensão de saída com uma variação na tensão de entrada. $Z_{out}(s)$ é a carga equivalente para a qual o conversor fornece potência.

O sistema de regulação mostrado é composto, além do conversor, por um bloco de ganho do sensor $H(s)$, um controlador $G_c(s)$ e modulador por largura de pulso $PWM(s)$. O produto dos ganhos da malha de realimentação negativa ($T(s)$) pode ser visto na Equação (3.3). A função de transferência do sistema realimentado é mostrado na Equação (3.4).

$$T(s) = H(s)G_c(s)PWM(s)G_{vd}(s) \quad (3.3)$$

$$\hat{v}_{out}(s) = \hat{v}_{ref} \frac{1}{H(s)} \frac{T(s)}{1 + T(s)} + \hat{v}_g \frac{G_{vi}(s)}{1 + T(s)} - \hat{i}_{load} \frac{Z_{out}(s)}{1 + T(s)} \quad (3.4)$$

O sensor de ganho $H(s)$ foi implementado de várias maneiras e a escolhida foi um divisor resistivo de valor $1/2$.

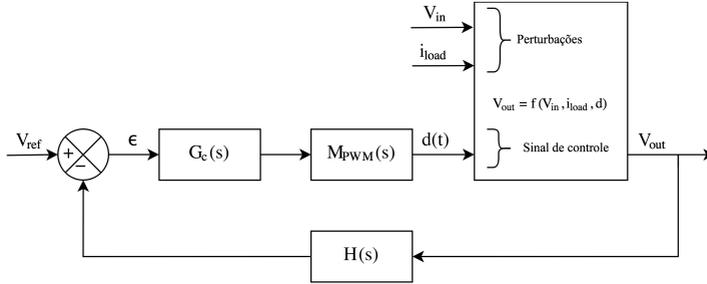


Figura 11 – Diagrama de blocos do sistema de regulação do conversor *boost*

O gerador de sinal modulado por largura ($PWM(s)$) produz pulsos com *duty cycle* proporcional ao sinal de entrada. Uma entrada de valor V_M , onde V_M é a tensão máxima da onda triangular à qual o sinal de entrada é comparado, gera um pulso com *duty cycle* de 100%, enquanto que uma entrada de 0 V gera um pulso com *duty cycle* de 0%. Logo, tal bloco é representado pela função de transferência $1/V_M$.

3.4 PROJETO DO CONTROLADOR

A estabilidade do sistema descrito por (3.4) requer que $\angle T(s) < 180^\circ$ quando $|T(s)| = 1$. Também, para que não haja *overshoot*, a margem de fase (MF) deve ser, pelo menos, 60° , onde $MF = 180^\circ - |\angle T(s)|$ quando $|T(s)| = 1$.

De acordo com Choi (2011), o controlador deve ter dois requisitos: margem de fase suficiente e um alto ganho em baixas frequências. Um ganho alto nas frequências mais baixas resultará numa variação menor na tensão de saída devido a variações na tensão de entrada (\hat{v}_{in}) e corrente de carga (\hat{i}_{carga}), como pode ser inferido através da Equação (3.4). Margem de fase adequada irá resultar em resposta transitória satisfatória.

Baseados nos diagramas de Bode mostrados na seção anterior, buscou-se encontrar um controlador que garantisse tanto margem de fase adequada quanto alto ganho em baixa frequência. Para o conversor *boost*, foi encontrada recomendação em Lee (2014) de se utilizar um conversor do Tipo III (um integrador, dois polos e dois zeros). Os polos deste controlador deveriam estar posicionados nos zeros da função de transferência do conversor e vice-versa. O integrador forneceria o ganho

em baixas frequências.

Ao seguir essas diretrizes, encontramos dificuldade em projetar um controlador que tivesse margem de fase suficiente para todos os casos de *duty cycle* e carga considerados. Os polos e zeros da planta do conversor se movem ao passo que o *duty cycle* muda e o pico na frequência fundamental também se altera mudando a carga considerada.

O tipo de projeto de controlador que garantiu margem de fase suficiente para os casos considerados foi aquele que mantinha a frequência de ganho unitário do integrador em frequências mais baixas, o que fazia com que a localização dos outros polos e zeros do controlador não importasse, visto que as componentes nessa frequência estavam bastante atenuadas pelo integrador. Por esse motivo, foi proposto utilizar um integrador para regular o sistema, o qual é um controlador apenas do tipo I. O diagrama de Bode da malha de realimentação controlada considerando D entre 33 e 67% e $R = 500\Omega$ é mostrada na Figura 12.

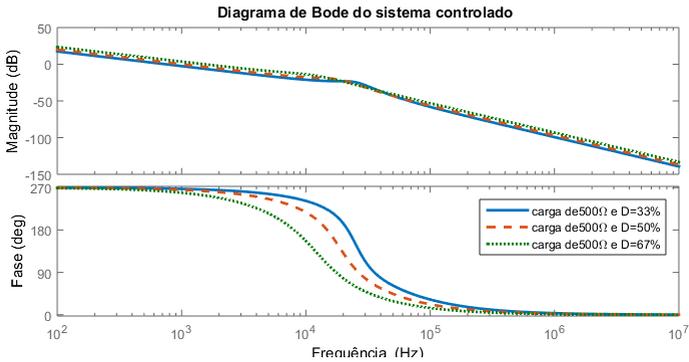


Figura 12 – Diagrama de Bode da malha de realimentação do conversor *boost* controlada considerando D entre 33 e 67%.

De maneira rápida é também possível deduzir intuitivamente o porquê de se utilizar o integrador como controlador do sistema. Podemos pensar que, assim que o conversor for ligado o sinal de interesse terá um estado transitório e, após isso, poderá estar acima ou abaixo do valor desejado. Caso esteja acima, o *duty cycle* deve ser diminuído. Caso esteja abaixo, o *duty cycle* deve ser aumentado. A definição do quanto a tensão no capacitor aumenta ou diminui faz parte do projeto do controlador. Caso ela mude muito rapidamente, o sistema pode divergir. Caso a mudança seja lenta, o sistema demorará muito para acompanhar uma mudança na tensão de entrada. A velocidade dessa

mudança é associada à frequência de ganho unitário do integrador.

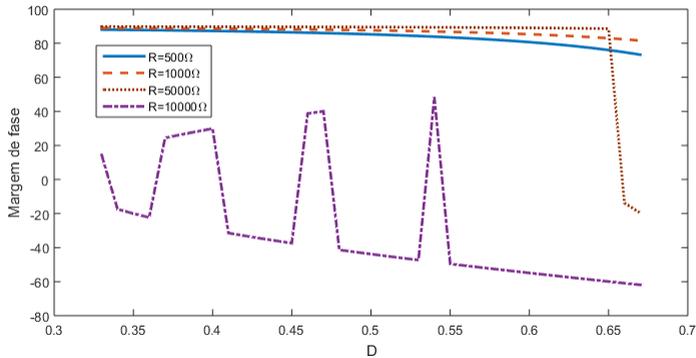


Figura 13 – Margem de fase do sistema considerando D entre 33 e 66% e diferentes valores de carga.

Para este sistema, conseguiu-se uma margem de fase acima de 60° para todos os valores de *duty cycle* entre 33 e 67% e cargas entre 500 e 1000 Ω utilizando como controlador um integrador com frequência de ganho unitário de 1 kHz. As margens de fase obtidas considerando valor de carga igual a 500, 1000, 5 k e 10 k Ω são mostradas na Figura 13.

Embora considerado para a análise da indutância mínima que garantisse o funcionamento em CCM, não se pôde garantir a estabilidade teórica para o valor de carga mínimo (10 k Ω) com o controlador. A dificuldade em projetar um controlador para essa carga está no pico de magnitude da função de transferência em ω_0 , onde a fase cai 180° e deixa a malha instável.

Se a frequência unitária do integrador fosse movida para frequências ainda mais baixas (diminuindo esse pico para um valor menor que 0 dB) o ganho necessário para minimizar variações na saída devido a variações nas entradas seria ainda menor, fazendo com que a regulação demorasse muito tempo. Nos resultados de simulação será discutida a estabilidade do sistema quando houver somente a carga mínima.

O circuito real utilizado para desempenhar a função de integração foi um circuito OTA-C. Como o OTA tem uma impedância de saída finita, o ganho para baixas frequências não é infinito. Portanto, o controlador final é um PI (ou seja, controlador com uma parte proporcional e uma parte integral).

4 PROJETO DOS BLOCOS DO SISTEMA

O projeto dos blocos passou por várias etapas até chegar à versão final, mostrada na Figura 14. Como pode ser visto, uma das chaves foi substituída por um transistor NMOS e a outra, por um PMOS. O sensor de tensão, um divisor resistivo de ganho $1/2$ composto por R_1 e R_2 , também representa a carga mínima do conversor. Portanto, $R_1 = R_2 = 5 \text{ k}\Omega$.

O compensador utilizado foi um filtro OTA-C, composto pelo OTA e pelo capacitor C_{comp} . O modulador por largura de pulso foi implementado por um comparador e um sinal de onda triangular. Implementou-se também o bloco de não-sobreposição de fase, o qual é um circuito lógico que impede o fechamento simultâneo das duas chaves.

O desenvolvimento e o funcionamento de cada um dos blocos será descrito nas próximas sessões. Para o projeto do *OTA* e do comparador, o dimensionamento dos transistores foi feito como base no modelo do MOSFET, conforme descrito por Schneider e Galup-Montoro (2010). Utilizou-se a Equação (4.1) para calcular a transcondutância dos pares diferenciais (g_m), a Equação (4.2) para determinar o nível de inversão dos transistores e a Equação (4.3) para calcular a frequência de ganho unitário dos transistores. Nessas equações, I_D é a corrente passando pelo canal do transistor, n é um parâmetro associado às capacitâncias do dispositivo (tipicamente pouco maior que a unidade), ϕ_t é a tensão térmica, i_f é o nível de inversão, I_{SH} é a corrente de folha do transistor, W e L são as dimensões do transistor, f_T é a frequência de ganho unitário e, μ , a mobilidade dos portadores majoritários.

$$g_m = \frac{2I_D}{n\phi_t} \frac{1}{\sqrt{1+i_f} + 1} \quad (4.1)$$

$$i_f = \frac{I_D}{I_{SH}} \frac{L}{W} \quad (4.2)$$

$$f_T \cong \frac{\mu\phi_t}{2\pi L^2} 2 \left(\sqrt{1+i_f} - 1 \right) \quad (4.3)$$

Os parâmetros n e I_{SH} foram extraídos dos transistores NMOS e PMOS conforme foi descrito por Cunha et al. (2005). Os valores obtidos são mostrados na Tabela 1.

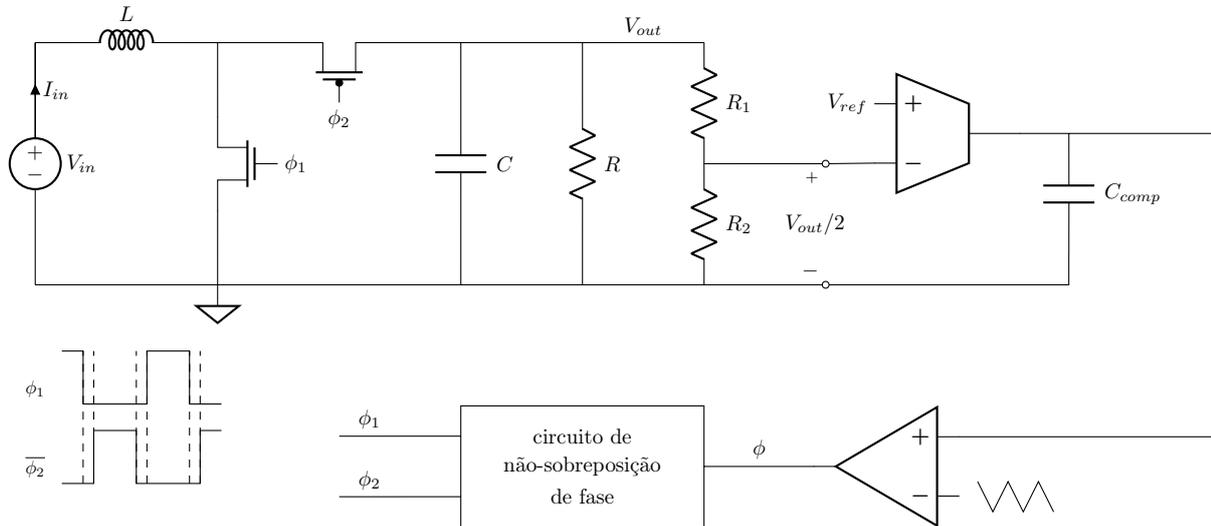


Figura 14 – Esquemático do sistema completo simulado.

Tabela 1 – Parâmetros extraídos dos transistores NMOS e PMOS da tecnologia 130 nm através de simulação.

	I_{SH}	n	W	L
NMOS	38 nA	1,2	1 μm	1 μm
PMOS	191 nA	1,4	1 μm	1 μm

4.1 CHAVES

O projeto das chaves teve como objetivo primário minimizar a potência nelas dissipada. Sabe-se também que a resistência do canal do transistor é inversamente proporcional à razão entre W e L . Dessa forma, bastaria apenas aumentar W e usar o valor mínimo de L para atingir o objetivo primário. Entretanto, ao aumentar indefinidamente o valor de W , se está aumentando também a área a ser utilizada para esse bloco num circuito integrado e, em consequência, a capacitância da chave.

Um dos critérios para projetar a chave foi o de limitar a queda de tensão no canal do transistor quando o valor máximo de corrente estivesse passando por ele. O valor máximo da corrente seria aproximadamente igual a I_{in} quando as condições de operação do circuito são V_{in} mínimo e carga máxima. Utilizando a Equação (2.6c), obteve-se o valor de $I_{in} = 7,2$ mA.

Considerando que a tensão da porta do transistor NMOS está em nível lógico alto (1,2 V) e que passa pelo canal uma corrente de 10 mA (valor um pouco maior que aquele obtido para I_{in} máximo), conforme é mostrado na Figura 15, é feita uma varredura nos valores de W mantendo o valor mínimo para L . Escolhe-se o valor de W para o qual a queda de tensão no canal (V_{DS}) é de aproximadamente 50 mV, ou seja, o transistor tem resistência equivalente a 5 Ω .

Para o transistor PMOS foram usados transistores com as mesmas dimensões e multiplicidade três vezes maior. O fator três é bastante conhecido por ser aproximadamente a razão entre a mobilidade da lacuna e mobilidade dos elétrons. As dimensões utilizadas são mostradas na Tabela 2.

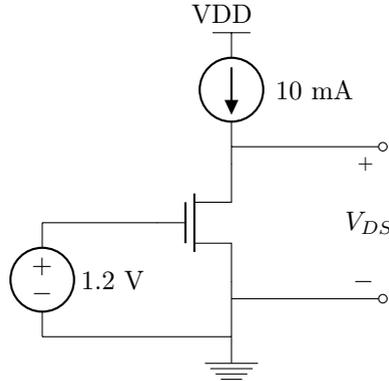


Figura 15 – Esquemático da simulação feita para determinar as dimensões da chave NMOS.

	W	L
NMOS	180 μm	0.120 μm
PMOS	540 μm	0.120 μm

Tabela 2 – Dimensões das chaves NMOS e PMOS

4.2 CIRCUITO DE NÃO-SOBREPOSIÇÃO

Com o objetivo de evitar redução na eficiência do conversor devido ao chaveamento simultâneo, foi projetado um circuito de não sobreposição de fases, tomando como base o esquemático mostrado na Figura 16 em que, a partir da fase de entrada ϕ , são geradas as fases não sobrepostas ϕ_1 e ϕ_2 .

Como as chaves utilizadas são relativamente grandes, seria necessário também aumentar a capacidade de corrente do *driver* que as acionaria. Para isso, foram colocados inversores com *fanout* de 2 na saída de ϕ_1 e ϕ_2 , o que na prática significa colocar um número grande de inversores em paralelo. Foi analisado em simulação quantos inversores em paralelo possibilitavam subir ou descer rapidamente o sinal de chaveamento. Como resultado final, foram usados 16 inversores em paralelo para chavear o transistor NMOS, e 64 para o transistor PMOS. O fator 4 de diferença está associado ao fato de a chave PMOS ser maior que a NMOS e, por consequência, a capacitância da porta também ser.

Durante a execução do projeto do bloco, os *drivers* das duas fa-

ses geradas foram colocadas dentro do loop de atraso formado pelos inversores, como pode ser visto na Figura 17. Na imagem estão indicados também quantos inversores estão em paralelo para cada uma das instâncias. Embora o posicionamento dos *buffers* tenha sido equivocado, isso não parece ter prejudicado o projeto como um todo, como poderá ser visto nas simulações finais e nos resultados experimentais.

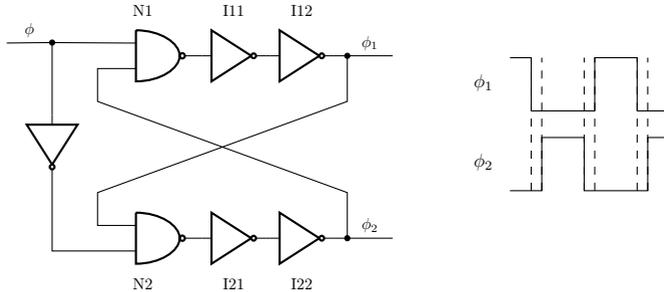


Figura 16 – Circuito de não sobreposição gerando as fases ϕ_1 e ϕ_2 a partir do sinal ϕ .

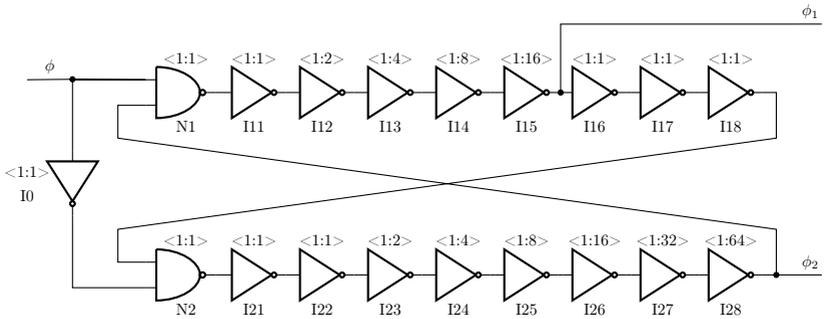


Figura 17 – Circuito de não sobreposição considerando os inversores em paralelo que servem para aumentar a capacidade de corrente do *driver*.

4.3 OTA (AMPLIFICADOR DE TRANSCONDUTÂNCIA)

O projeto do OTA utilizou a topologia simétrica, mostrada na Figura 20. Visto que a frequência de ganho unitário do OTA-C é dada por $\frac{g_m}{C}$ e é interessante que a capacitância C_{comp} seja pequena para

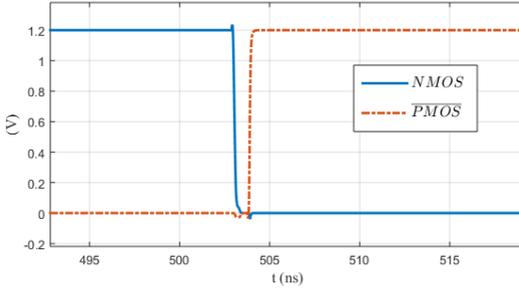


Figura 18 – Fases ϕ_1 (*NMOS*) e $\overline{\phi_2}$ (*PMOS*) não sobrepostas.

possibilitar uma eventual integração, o objetivo deste projeto é obter um valor de transcondutância (g_m) pequeno.

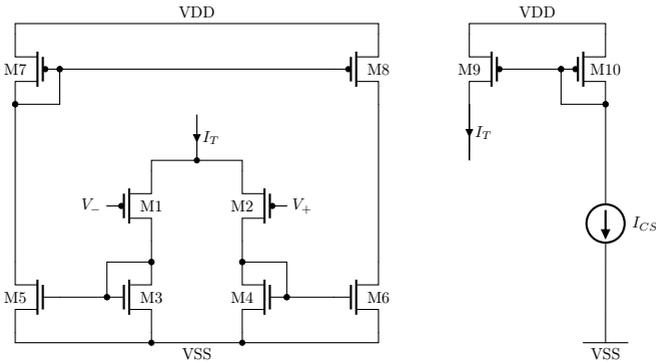


Figura 19 – Topologia utilizada no projeto do OTA.

Logo, nesse projeto não se buscou maximizar o ganho do par diferencial e sim obter uma transcondutância aproximadamente linear para uma faixa maior de tensão diferencial. Dessa forma, o ganho em frequência do compensador se manteria aproximadamente constante mesmo se a diferença entre as tensões de entrada variasse.

A corrente de polarização utilizada (I_{CS}) foi de 50 nA e optou-se por usar transistores PMOS no par diferencial, em vez do NMOS, a fim de diminuir a área utilizada no leiaute. A diminuição da área do leiaute ocorre, já que, ao trocar um transistor NMOS por um PMOS, se está aumentando I_{SH} . Ao observar a Equação (4.2), deduzimos que para manter um mesmo nível de inversão, pode-se diminuir o valor de L , o

metade, como pode ser visto no histograma da Figura 22.

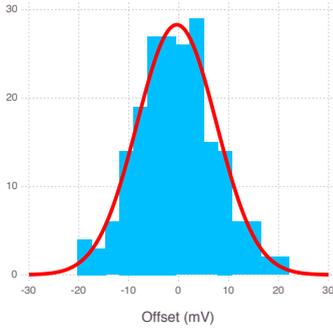


Figura 21 – Histograma com $\mu = -2,6$ mV e $\sigma = 7,94$ mV obtido através da simulação de MonteCarlo do *offset* do circuito original.

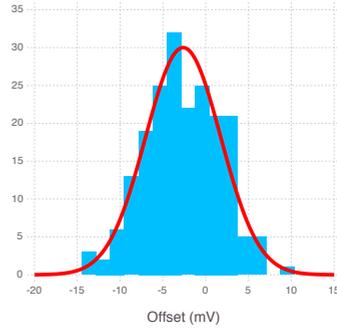


Figura 22 – Histograma com $\mu = -2,6$ mV e $\sigma = 4,38$ mV obtido através da simulação de MonteCarlo do *offset* do circuito com área quadruplicada.

A transcondutância em função da diferença entre as tensões de entrada é traçada na Figura 23. Pode-se observar que a transcondutância obtida encontra-se entre 200 e 350 nA/V para diferenças de tensão de entrada entre $-0,3$ e $0,3$ V, faixa em que se espera que o circuito opere. Portanto, para ter um integrador com frequência de ganho unitário igual a 1 kHz, deve-se utilizar C_{comp} da ordem de 300 pF.

O circuito equivalente do integrador considerando a impedância de saída é mostrado na Figura 24 e a função de transferência esperada para esse circuito é mostrada na Figura 25. O filtro OTA-C é do tipo passa-baixas com ganho máximo de aproximadamente 30 dB nas baixas frequências.

4.4 COMPARADOR

O comparador de alta performance apresentado por Baker (2005) e utilizado neste trabalho tem três etapas: pré-amplificação, decisão e pós-amplificação. O esquemático utilizado para o projeto deste bloco é mostrado na Figura 26, onde são indicadas as etapas citadas.

A pré-amplificação é feita em um par diferencial M3-M4, o qual converte a diferença de tensão entre V_+ e V_- em uma diferença de cor-

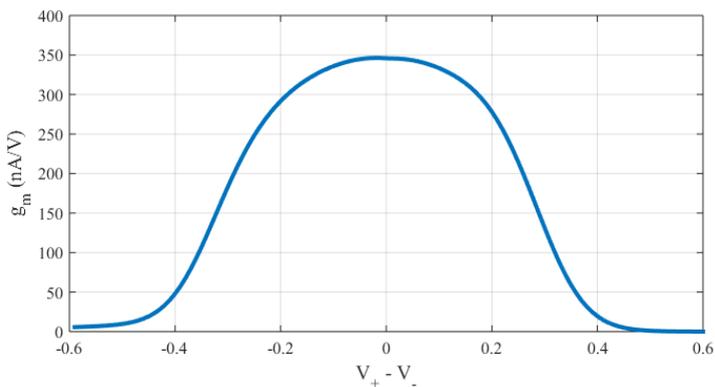


Figura 23 – Transcondutância em função da diferença entre as tensões de entrada do OTA considerando uma tensão de modo comum de 0,6 V (valor da tensão de referência do compensador).

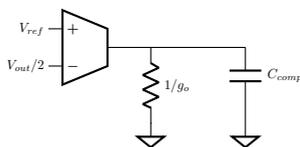


Figura 24 – Esquemático equivalente do circuito OTA-C considerando a impedância de saída do OTA.

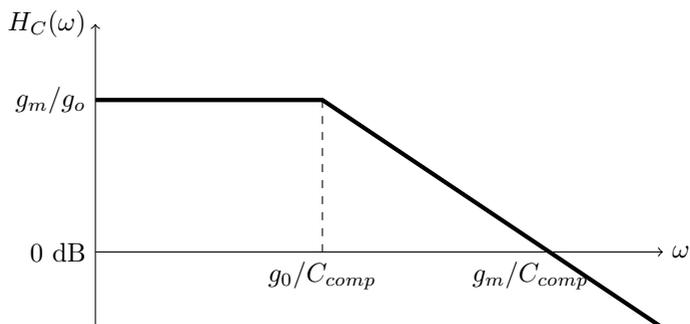


Figura 25 – Diagrama de Bode da magnitude do filtro OTA-C, onde $g_m/g_o \cong 30$ dB e $g_m/C_{comp} \cong 1$ kHz.

rentes. A informação acerca dessa diferença de correntes é passada para o decisor através dos espelhos de corrente M6-M7 e M5-M8. O decisor é formado pelos transistores M9 e M10 (*latch*), e, M11 e M12 configurados como diodos.

Após o decisor, a informação acerca da comparação das entrada, que era uma diferença entre correntes, passa a ser uma diferença de tensões, que é entrada para um segundo par diferencial (transistores M15-M16) representando o estágio de pós-amplificação. Por fim, a saída do amplificador passa por um inversor, o qual serve como *buffer*.

Ao projetar esse bloco, foi analisado se a dimensão L escolhida para os transistores possibilitaria trabalhar na frequência desejada, a qual era um fator limitante. Dado que o sinal de chaveamento é feito em 1 MHz, o sinal no comparador deve subir ou descer a uma taxa de pelo menos 10 MHz para que o sinal modulado em largura fosse bem definido. Para isso, utilizou-se a Equação (4.3) considerando um nível de inversão $i_f = 1$ para determinar qual seria o valor máximo possível para L , obtendo como valor máximo de $\cong 3,6 \mu\text{m}$. De forma a ter uma folga nesse valor, definiu-se que o valor de L para os transistores deste circuito seria $1 \mu\text{m}$.

O projeto do circuito então teve como objetivos projetar pares diferenciais com ganho alto (ao fim do projeto, obteve-se $i_f \cong 1$) dada uma corrente de polarização I_{bias} que conseguisse gerar um sinal modulado por largura tão rápido quanto necessário. Com base no projeto do OTA, buscou-se manter os espelhos de corrente em um nível de inversão próximo àqueles obtidos no projeto do bloco anterior. A corrente de polarização I_{bias} foi ao final substituída por um resistor, já que nesse bloco a corrente utilizada é aproximadamente $10 \mu\text{A}$ e não é requerida precisão.

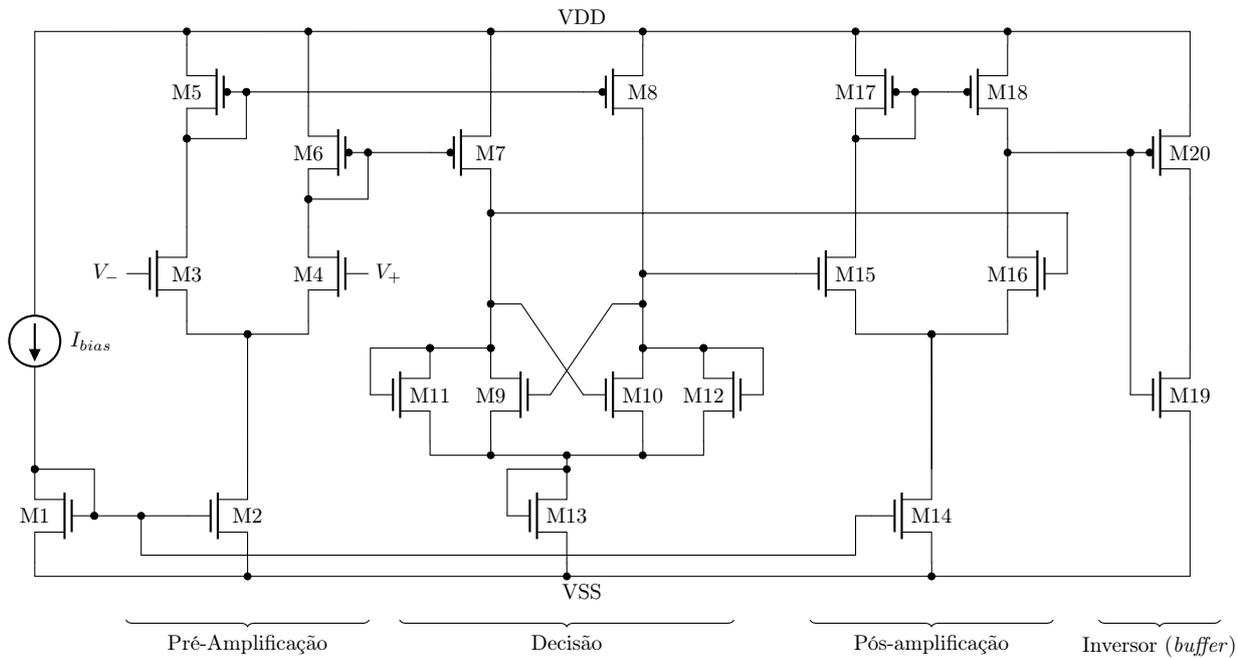


Figura 26 – Esquemático do comparador.

5 RESULTADOS DE SIMULAÇÃO

O sistema completo da Figura 14 (contendo chaves, compensador, comparador e circuito de não-sobreposição de fases) foi simulado considerando fonte de tensão de entrada, fonte de polarização do OTA e fonte geradora do sinal triangular como fontes ideais disponíveis na ferramenta EDA utilizada, o *Virtuoso*. O sinal de referência em uma das entradas do OTA, que é comparado à fração da tensão de saída, é também uma fonte ideal, pois não foi projetado um bloco que gerasse a tensão de referência.

Para inicializar o circuito, uma condição diferente de zero teve que ser definida para a saída do compensador e entrada do comparador, para que o *duty cycle* não começasse em 0%. Utilizou-se, portanto, o valor de 0,6 V, que equivale a um *duty cycle* de 50%.

Todas as simulações anteriores utilizaram o simulador *Spectre*, porém, devido ao número maior de blocos e pela necessidade de fazer simulações transientes de maior duração, passou-se a utilizar o simulador *Ultrasim*, que possibilitou fazer as simulações que antes demoravam consideravelmente de forma muito mais rápida com a mesma capacidade computacional.

Primeiramente, foi analisado se a tensão de saída convergia para alguns valores dentro da faixa de tensão de entrada considerada. Os resultados são mostrados na Figura 27.

Depois, foram realizados testes para analisar a estabilidade do sistema sob variações na entrada. Para isso foi considerada a carga máxima (500 Ω) e um degrau na entrada passando de 0,8 para 0,4 V. O resultado dessa simulação é mostrado na Figura 28. A mesma simulação foi feita considerando a carga mínima (10 k Ω) e o resultado pode ser visto na Figura 29. As simulações têm respostas bastante parecidas, variando mais significativamente no valor do *duty cycle*, que é maior para o caso da carga maior, pois é necessário transferir mais corrente para a carga, o que faz com a queda na tensão das chaves seja maior.

As simulações mostraram que o sistema de regulação desenvolvido funcionou, fazendo o valor da tensão de saída do conversor convergir considerando diferentes valores de tensão de entrada e de carga. O tempo de convergência após as variações mais abruptas de tensão de entrada e carga foi de cerca de 5 ms. Observou-se também que o comparador consumiu uma potência considerável, da ordem da carga mínima. Já a potência consumida pelo compensador é muito pequena

quando comparada aos outros blocos, cerca de $1 \mu\text{W}$.

Embora, segundo a análise de controle apresentada, o conversor não devesse ser estável ao considerar a carga mínima de $10 \text{ k}\Omega$, as simulações demonstraram o contrário. Uma hipótese para o porquê da estabilidade para esse valor de carga está em uma técnica denominada de *snubber*, a qual consiste em colocar elementos passivos em paralelo com a chave com o objetivo de evitar ondulações causadas pelo chaveamento do indutor.

Ondulações causadas pelo chaveamento foram observadas no desenvolvimento deste sistema quando ele foi simulado sem utilizar o circuito de não-sobreposição de fases numa fase do projeto em que foram usados apenas componentes ideais para compensação e geração do sinal PWM. Ao utilizar o circuito de não-sobreposição, as ondulações foram reduzidas consideravelmente. No domínio da frequência, a consequência da utilização da técnica de *snubber* é a suavização do pico em ω_0 . Caso o mesmo tenha acontecido para esse sistema de regulação, ao diminuir o valor do pico de magnitude da função de transferência do conversor, o sistema pode ter se estabilizado.

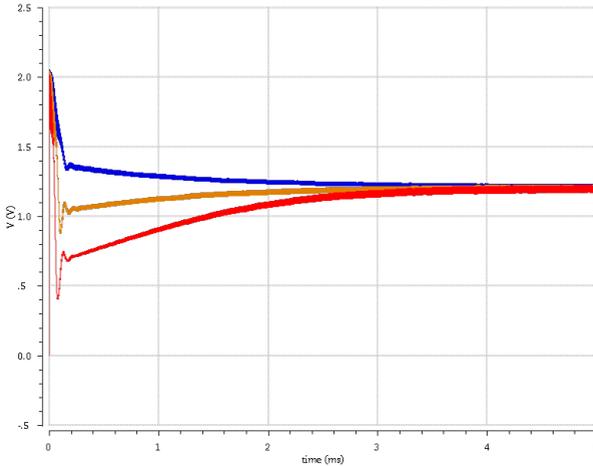


Figura 27 – Tensão de saída do conversor regulada considerando 0,4 V (curva vermelha), 0,6 V (curva amarela) e 0,8 V (curva azul) de tensão de entrada.

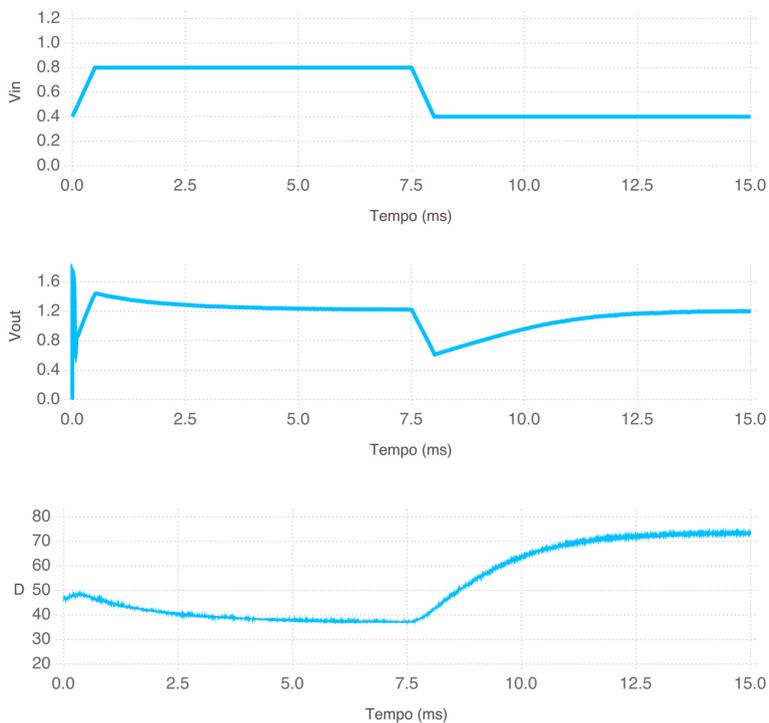


Figura 28 – Simulação transiente do sistema considerando um *step* na tensão de entrada e carga máxima ($R = 500 \Omega$). Na Figura, V_{in} , V_{out} e D .

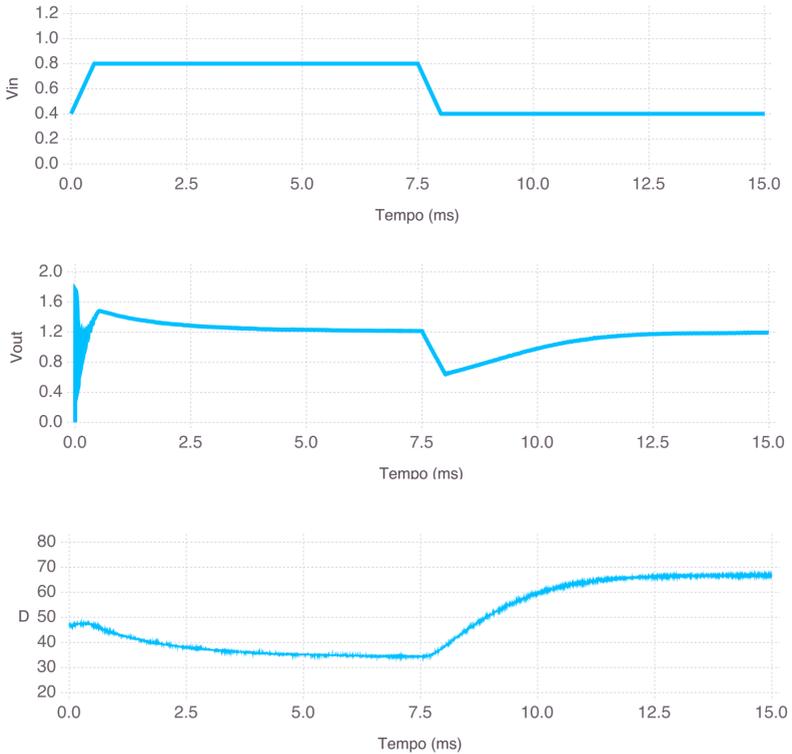


Figura 29 – Simulação transiente do sistema considerando um *step* na tensão de entrada e carga mínima ($R = 10 \text{ k}\Omega$). Na Figura, V_{in} , V_{out} e D .

6 LEIAUTE

O leiaute do projeto foi enviado para integração em duas ocasiões. Para a primeira, em novembro de 2016, foi feito o leiaute das chaves e de um circuito de não sobreposição de fase. Para a segunda, em agosto de 2017, o OTA e o comparador.

Os projetos dos blocos analógicos (chaves, OTA e comparador) utilizaram matrizes de transistores, como mostrado na Figura 30. Na notação utilizada, m representa o número de transistores em paralelo e n , o número de transistores em série. As portas de todos os transistores da matriz estão conectadas.

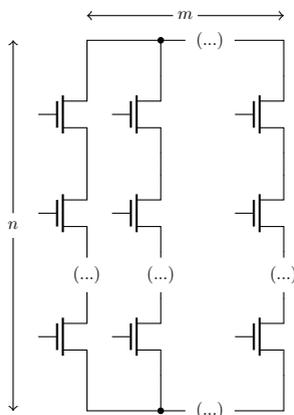


Figura 30 – Notação usada para matrizes de transistores.

6.1 CHAVES

As chaves NMOS e PMOS são formadas por vários transistores em paralelo. O valor máximo da largura cada transistor foi fixado em $9 \mu\text{m}$, pois, de acordo com a documentação da tecnologia 130 nm, não é recomendado ter transistores com mais de $10 \mu\text{m}$ de largura. Logo, de acordo com a dimensão total mostrada Tabela 2 e o valor máximo definido para W , a chave NMOS tem 20 transistores de $W = 9 \mu\text{m}$ e L mínimo (= 120 nm) em paralelo e a chave PMOS, tem 60 transistores em paralelo.

Para o leiaute das chaves utilizou-se uma técnica de otimização

de espaço, mostrada em detalhe na Figura 31, onde são indicados os contatos no dreno (D) e fonte (S) de dois dos transistores em paralelo, além do caminho que a corrente deve percorrer em cada um deles.

Essa técnica foi aplicada tanto para a chave PMOS quanto para a chave NMOS. Foi tomada a devida atenção quanto ao número de contatos que cada transistor deveria ter. Considerou-se a corrente máxima que passaria pela chave e a corrente suportada por cada contato entre o metal e difusões de dreno e fonte do transistor para estabelecer o número mínimo de contatos para cada um dos transistores em paralelo. O leiaute das chaves pode ser visto nas Figura 32 e 33.

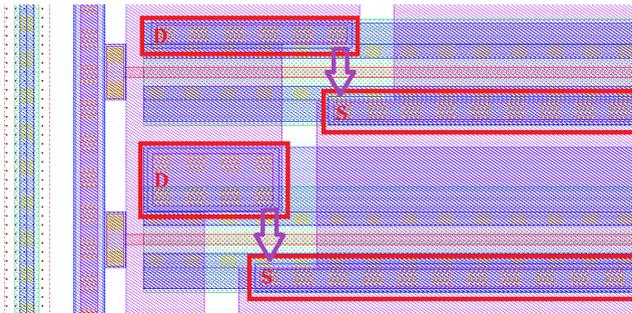


Figura 31 – Detalhe do leiaute da chave NMOS.

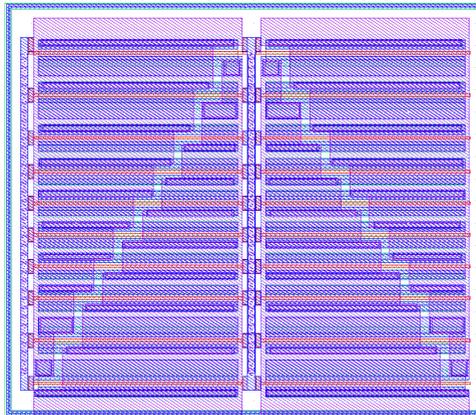


Figura 32 – Layout da chave NMOS.

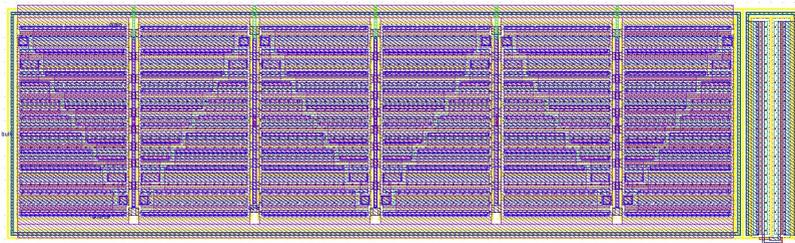


Figura 33 – Layout da chave PMOS.

6.2 CIRCUITO DE NÃO SOBREPOSIÇÃO DE FASES

Buscou-se otimizar também o leiaute do circuito de não sobreposição de fase, tendo como objetivos diminuir a área ocupada e facilitar o processo manual de *routing*. O circuito em questão é formado por várias portas lógicas, logo, primeiramente foi necessário criar os leiaute dos blocos de mais baixo nível.

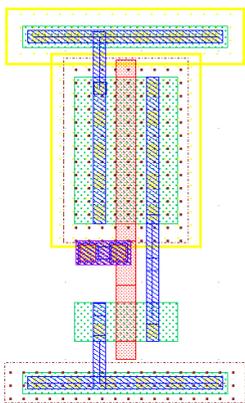


Figura 34 – Leiaute da porta lógica NOT.

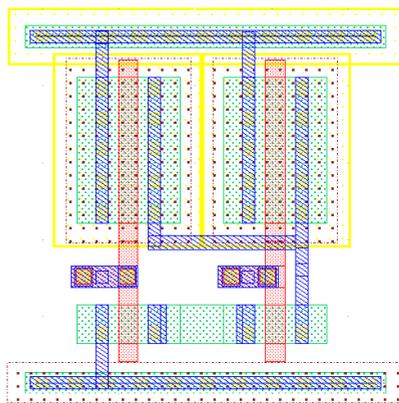


Figura 35 – Leiaute da porta lógica NAND.

O leiaute das portas lógicas NOT e NAND são mostrados, respectivamente, nas Figuras 34 e 35. Os leiautes foram criados com o objetivo de terem a mesma altura para que, quando as portas lógicas

cas fossem colocadas lado a lado, suas alimentações positiva e negativa pudessem ser facilmente conectadas, formando uma fileira de várias células lógicas. O leiaute completo do circuito de não sobreposição é mostrado na Figura 36, onde podem ser observadas as 10 fileiras de células lógicas. No detalhe do leiaute (Figura 37), pode-se ver também que as fileiras de portas lógicas foram espelhadas de forma a conectar as alimentações positiva e negativa com as fileiras acima e abaixo delas.

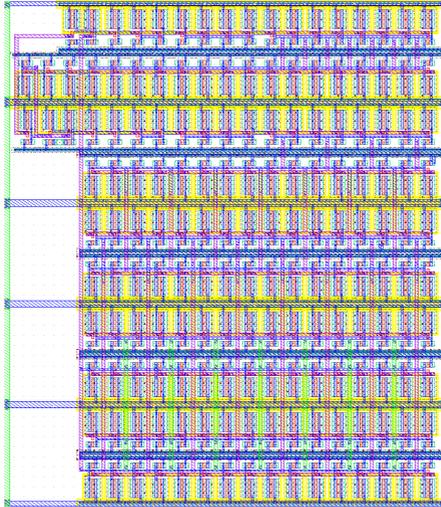


Figura 36 – Leiaute do circuito de não sobreposição.

6.3 OTA

Pode-se observar que o OTA da Figura 20 tem vários sub-blocos cujo funcionamento depende da semelhança entre os transistores que os constituem como os do par diferencial e espelhos de corrente. Dessa forma, para assegurar um bom funcionamento do circuito integrado é necessário que haja um casamento (ou *matching*) entre os transistores que formam os sub-blocos do OTA, mitigando, assim, as consequências das variações relativas dos parâmetros dos transistores de tais sub-blocos.

A técnica utilizada para melhorar o casamento entre dispositivos

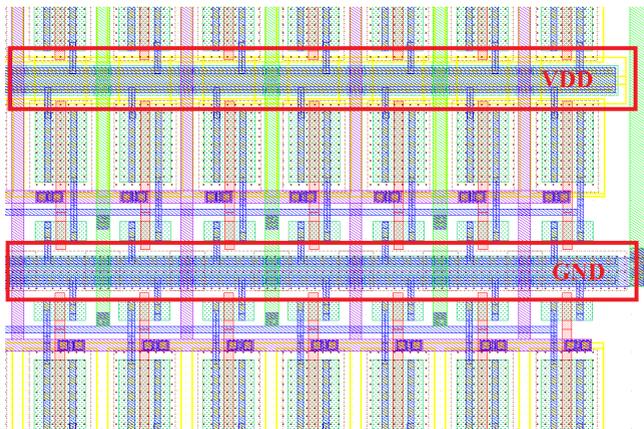


Figura 37 – Detalhe do leiaute do circuito de não-sobreposição mostrando a conexão entre as fileiras.

foi a de centróide comum. Para empregá-la, primeiramente é necessário observar as dimensões e qual o tamanho das matrizes de transistores utilizadas no projeto deste bloco, o que é mostrado na Tabela 3. Pode ser constatado que para o par diferencial de entrada formado por M1 e M2 conta-se com um total de 8 transistores. Ao aplicar a técnica do centróide comum criamos eixos de simetria misturando as duas matrizes de transistores. Logo, em vez de dispô-los da forma AAAABBBB no leiaute (onde A representa um transistor da matriz M1 e B, um transistor da matriz M2), os transistores são colocados formando padrões AABB|BBAA, ABAB|BABA ou o que foi utilizado nesse leiaute: AB|BA numa fileira superior e BA|AB numa fileira abaixo. O símbolo | indica os eixos de simetria.

A mesma técnica é aplicada também a todos os espelhos de corrente do circuito, inclusive naquele formado por M10, M9₁ e M9₂. Nesse caso, a disposição utilizada para instanciar os 24 transistores em 4 fileiras foi: ABC|CBA, CBA|ABC, CBA|ABC e ABC|CBA. Como pode ser notado, há um segundo eixo de simetria entre a segunda e a terceira fileira.

O resultado prático esperado ao utilizar essa técnica de casamento é uma tensão de *offset* razoavelmente pequena. Na Figura 38, é apresentado o leiaute realizado com os eixos de simetria onde a técnica foi aplicada destacados.

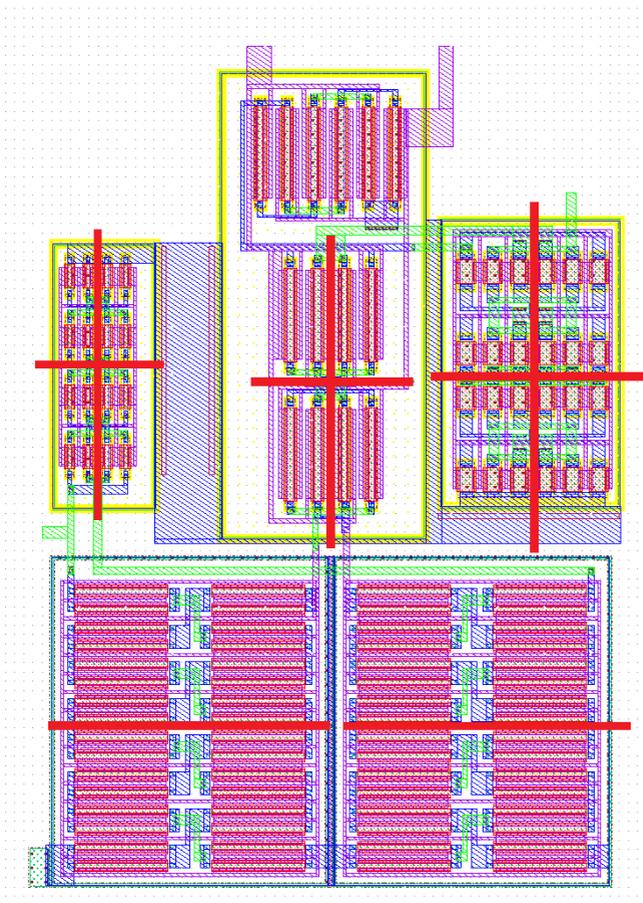


Figura 38 – Leiaute do OTA.

		W (μm)	L (μm)	m	n
M1	P	0,6	10	2	2
M2	P	0,6	10	2	2
M1'	P	0,6	10	1	3
M2'	P	0,6	10	1	3
M3	N	0,5	10	2	8
M4	N	0,5	10	2	8
M5	N	0,5	10	2	8
M6	N	0,5	10	2	8
M7	P	0,4	2,5	2	4
M8	P	0,4	2,5	2	4
M9 ₁	P	1,25	2,5	2	4
M9 ₂	P	1,25	2,5	2	4
M10	P	1,25	2,5	2	4

Tabela 3 – Dimensões dos transistores usados no projeto do OTA

6.4 COMPARADOR

Ao executar o leiaute do comparador a técnica de centróide comum foi utilizada nos pares diferenciais e espelhos de corrente deste bloco, da mesma forma que para o OTA. Visto que o comparador consome correntes maiores que o OTA, buscou-se também certificar-se que o número de contatos por onde a corrente passaria seriam suficientes.

O leiaute deste bloco pode ser visto na Figura 39, onde são mostrados os eixos de simetria e também os índices A, B e C, que indicam a qual matriz de transistores o dispositivo referido pertence.

6.5 DIMENSÕES DOS BLOCOS

As dimensões e área dos leiautes realizados são mostradas na Tabela 4 a fim de comparar quais blocos usariam mais área no *die* de silício, onde pode ser visto que o bloco do comparador é significativamente maior que os outros blocos, ocupando mais área que todos os outros blocos juntos.

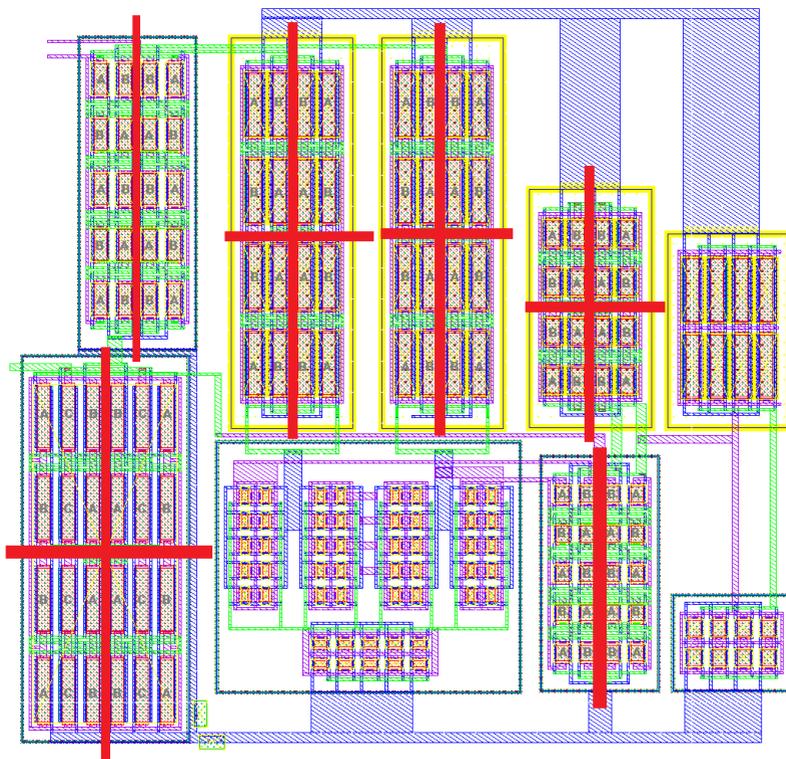


Figura 39 – Leiaute do Comparador.

	Dim. 1 (μm)	Dim. 2 (μm)	Área (μm^2)
Chave NMOS	22	22	484
Chave PMOS	33	63	2079
Cir. não sobreposição	48	50	2400
OTA	65	90	5850
Comparador	120	120	14400

Tabela 4 – Tabela comparativa das dimensões dos leiautes realizados.

7 RESULTADOS EXPERIMENTAIS

Em novembro de 2016 foi enviado para integração o projeto parcialmente desenvolvido do conversor boost até aquele dado momento. O circuito continha as chaves PMOS e NMOS, e o circuito de não sobreposição de fase, o que corresponde ao conversor em malha aberta, ou seja, sem um sistema de regulação.

Os circuitos integrados recebidos foram medidos utilizando o *set up* mostrado na Figura 40, o qual incluía: um fonte DC conectada à entrada do conversor, a qual também mede a corrente média fornecida; um gerador de funções capaz de produzir ondas quadradas com *duty cycle* ajustável; um osciloscópio para observar características transientes e medir a tensão de saída do conversor; uma fonte DC de 1,2 V DC para polarizar o alimentar o circuito de não sobreposição.

Os valores dos componentes discretos utilizados nas medições (indutor, capacitor e resistor representando a carga) têm seus valores mostrados na Tabela 5. Esses valores foram obtidos com o analisador de impedância do LCI na frequência de 1 MHz.

A realização das medidas se deu da seguinte forma: ajustou-se a tensão de entrada para um valor de 0,4 V, o *duty cycle* para aproximadamente 30%, utilizando o osciloscópio, foi adquirido o valor da média da tensão de saída (V_{out}) e, a partir da fonte que fornecia tensão, foi adquirido a corrente fornecida na entrada (I_{in}). O *duty cycle* foi aumentado em passos de 10% e os mesmos valores foram anotados até que a tensão de saída fosse cerca de 1,2 V. O processo foi repetido para diferentes valores de tensão de entrada (considerando passos de 100 mV) até chegar em 0,8 V.

Ao finalizar uma série de medidas, trocava-se o *chip* e o processo era repetido. No total, foram testados 5 *chips* diferentes. Uma média dos valores experimentais obtidos são apresentados na Tabela 6, onde estão destacados os casos em que a tensão de saída é 1,2 V. A variação de resultados entre as amostras foi bastante pequena, o que é um indicativo que o leiaute foi bem realizado.

Além de V_{out} e I_{in} , a tabela de resultados infere a eficiência obtida calculando a razão entre a potência fornecida e a potência entregue à carga. São também incluídos o fator de conversão teórico (F.C.T.) (igual a $\frac{1}{1-D}$) e o fator de conversão experimental (F.C.E.), que é igual a razão entre os valores obtidos experimentalmente para V_{out} e V_{in} .

Procurou-se garantir que a alta eficiência (de até 94%) obtida não era causada por algum mal-funcionamento no circuito que pudesse

causar vazamento de corrente. Para isso, foi medida a corrente fornecida pela fonte de 1,2 V ao circuito de não-sobreposição de fase, a qual ficou na ordem de $5 \mu\text{A}$, indicando que o circuito funcionava normalmente.

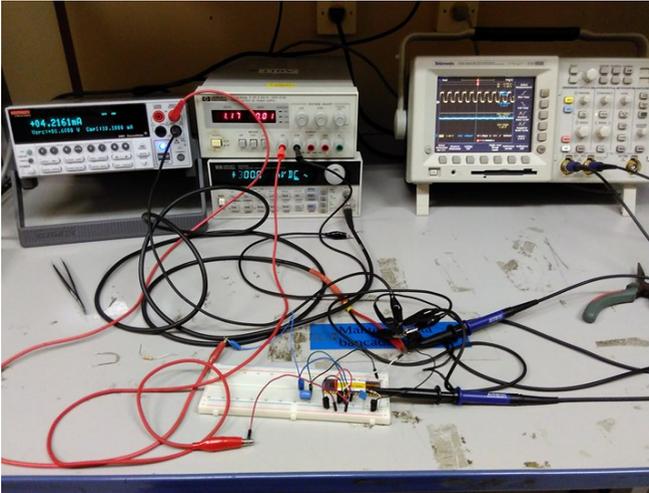


Figura 40 – Foto do *setup* utilizado na realização das medidas.

Tabela 5 – Valores dos componentes externos usados para realizar as medidas.

	Valor	ESR
R	553Ω	-
L	$104 \mu\text{H}$	7Ω
C	$45,2 \text{ nF}$	$0,09 \Omega$

Tabela 6 – Resultados experimentais obtidos para diferentes valor de V_{in} e D .

V_{in} (V)	D (%)	V_{out} (V)	I_{in} (mA)	Ef (%)	F.C.T.	F.C.E. ⁴
0,4	30	0,523	1,390	88,74	1,43	1,31
0,4	40	0,619	1,928	89,62	1,67	1,55
0,4	50	0,736	2,751	88,72	2,00	1,84
0,4	60	0,894	4,173	86,22	2,50	2,23
0,4	70	1,108	6,864	80,50	3,33	2,77
0,4	73	1,195	8,416	76,52	3,76	2,99
0,5	30	0,678	1,814	91,21	1,43	1,36
0,5	40	0,787	2,449	91,09	1,67	1,57
0,5	50	0,930	3,474	89,70	2,00	1,86
0,5	60	1,128	5,261	87,07	2,50	2,26
0,5	63	1,200	6,058	85,67	2,70	2,40
0,6	30	0,821	2,184	92,78	1,43	1,37
0,6	40	0,950	2,959	91,51	1,67	1,58
0,6	50	1,121	4,196	89,97	2,00	1,87
0,6	53	1,199	4,845	89,08	2,15	2,00
0,7	30	0,962	2,561	92,96	1,43	1,37
0,7	40	1,110	3,463	91,59	1,67	1,59
0,7	44	1,195	4,050	90,77	1,79	1,71
0,8	20	0,969	2,248	94,14	1,25	1,21
0,8	30	1,098	2,926	92,71	1,43	1,37
0,8	36	1,200	3,513	92,34	1,57	1,50

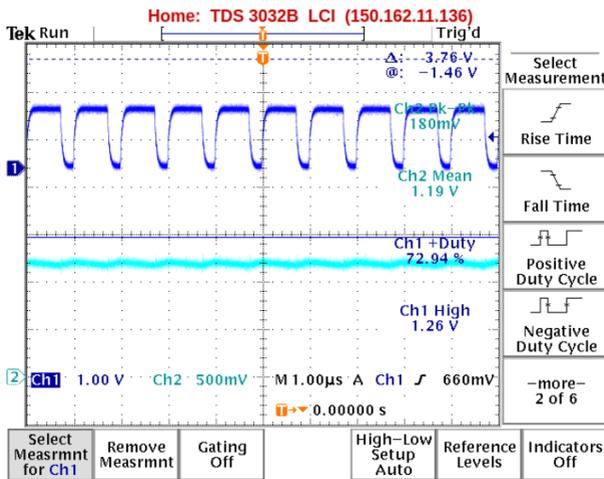


Figura 41 – Acima, o sinal que chaveia as portas cujo *duty cycle* é de 76%. Abaixo, a tensão de saída em 1,2 V. A tensão de entrada é de 0,4 V.

8 CONCLUSÕES

Este documento apresentou o processo do desenvolvimento parcial de um conversor *boost* para aplicações em baixa tensão na tecnologia de integração de 130 nm. O sistema desenvolvido atendeu ao seu principal requisito: fornecer uma tensão de saída regulada de 1,2 V considerando tensões de entrada entre 400 e 800 mV para uma carga de até 500 Ω . Para isso, utilizou alguns blocos ideais da ferramenta de EDA.

Para que o sistema completo fosse finalizado seria necessário ainda realizar o projeto de alguns blocos, o gerador de onda triangular para gerar o sinal PWM, a fonte de tensão de referência para o compensador, o circuito de *start up* (dado que os blocos desenvolvidos contavam com os 1,2 V da saída do conversor) e também buscar uma alternativa para a geração do sinal PWM que consumisse menos potência e ocupasse menos área no leiaute. Além disso, deveria ser feita uma análise da transferência de potência fornecida por fontes não-ideais, parte que foi bastante explorada nos artigos no estado-da-arte.

Por fim, ao analisar o trabalho realizado e sabendo que o projeto de conversores DC-DC apresenta algumas dificuldades, considera-se que os resultados de simulação foram satisfatórios e serviram para validar o estudo realizado de Teoria de Controle. Considera-se também os bons resultados práticos obtidos, por sua vez, são indicativas de que o leiaute realizado foi bem executado.

Os resultados práticos do projeto do OTA e do comparador serão obtidos no início de 2018, quando os circuitos enviados para integração em Agosto devem chegar. Utilizando os novos *chips*, será possível verificar na prática se o sistema de regulação proposto e implementado irá funcionar.

REFERÊNCIAS

- BAKER, R. J. *CMOS Circuit Design, Layout and Simulation*. 2. ed. Piscataway, NJ: IEEE Press, 2005. ISBN 0-471-70055-X.
- CHANG, C.; LEE, T. A Compact Multi-Input Thermoelectric Energy Harvesting System with 58.5% Power Conversion Efficiency and 32.4-mW Output Power Capability. *Integrated Circuits (ISIC), 2014 14th International Symposium on*, December 2014.
- CHOI, H. Practical Feedback Loop Design Considerations for Switched Mode Power Supplies. *Fairchild Semiconductor Power Seminar 2010 - 2011*, 2011.
- CUNHA, A. et al. Extraction of Mosfet Effective Channel Length and Width Based on the Transconductance-to-Current Ratio. *NSTI - Nanotech*, 2005.
- ERICKSON, R. W. *Fundamentals of Power Electronics*. [S.l.]: New York: Chapman and Hall, 1997. ISBN 0-412-08541-0.
- FORGHANI-ZADEH, H. P.; RINCÓN-MORA, G. A. Series-Parallel Association of FET's for High Gain and High Frequency Applications. *Solid-State Circuits, IEEE Journal of*, v. 29, n. 9, September 1994.
- KESTER, W.; ERISMAN, B. *Switching Converters*. [S.l.]: Analog Devices Technical Library on Power Management, 1997.
- KRUMMENACHER, F.; JOEHL, N. A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning. *IEEE Journal of Solid-State Circuits*, v. 23, p. 750–758, 1988.
- LEE, S. *Practical Feedback Loop Analysis for Voltage-Mode Boost Converter*. January 2014. Application Report. Disponível em: <<http://www.ti.com/lit/an/slva633/slva633.pdf>>. Acesso em: 08/10/2017.
- LHERMET, H. et al. Efficient Power Management Circuit: From Thermal Energy Harvesting to Above-IC Microbattery Energy Storage. *Solid-State Circuits, IEEE Journal of*, v. 43, n. 1, January 2008.
- PASCA, M.; D'AMICO, S.; BASCHIROTTO, A. A 0.23 μ W, 96 mV Input Voltage DC-DC Converter for Body Sensor Nodes. *IEEE Sensors Journal*, v. 15, n. 10, October 2015.

SCHNEIDER, M.; GALUP-MONTORO, C. *CMOS Analog Design Using All-Region MOSFET Modeling*. 1. ed. Cambridge: Cambridge University Press, 2010.

WENS, M.; STEYAERT, M. A fully-integrated 0.18 μm CMOS DC-DC step-down converter, using a bondwire spiral inductor. *Custom Integrated Circuits Conference*, November 2008.