

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Adilson Jair Cardoso

**MODELAGEM E PROJETO DE CONVERSORES AC/DC DE
ULTRABAIXA TENSÃO DE OPERAÇÃO**

Florianópolis

2012

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Adilson Jair Cardoso

**MODELAGEM E PROJETO DE CONVERSORES AC/DC DE
ULTRABAIXA TENSÃO DE OPERAÇÃO**

Tese submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do grau de Doutor em Engenharia Elétrica.

Orientador: Prof. Dr., UFSC Carlos Galup Montoro

Coorientador: Prof. Márcio Cherem Schneider

Florianópolis

2012

Adilson Jair Cardoso

**MODELAGEM E PROJETO DE CONVERSORES AC/DC DE
ULTRABAIXA TENSÃO DE OPERAÇÃO**

Esta Tese foi julgada adequada para obtenção do Título de Doutor em Engenharia Elétrica e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.

Florianópolis, 23/10/2012.

Patrick Kuo Peng, Dr., UFSC
Coordenador do Curso

Banca Examinadora:

Carlos Galup Montoro, Dr., UFSC
Orientador

Márcio Cherem Schneider, Dr., UFSC
Coorientador

Sérgio Bampi, Dr., UFRGS

Oscar Gouveia Filho, Dr., UFPR

João Navarro Soares Júnior, Dr., USP

Daniela Ota Hisayasu Suzuki, Dr., UFSC

José Luíz Güntzel, Dr., UFSC

AGRADECIMENTOS

Gostaria de inicialmente formalizar meu agradecimento aos Professores Dr. Carlos Galup-Montoro e Dr. Márcio Cherem Schneider pela excelente orientação recebida durante meu doutoramento, pela forma como fui acolhido em seu laboratório, e, principalmente pelo exemplo valioso de dedicação e empenho no desenvolvimento da ciência percebido no convívio diário.

Quero deixar expresso minha gratidão pelo apoio recebido pelo bolsista Lucas Goulart de Carli, o qual foi essencial, principalmente na etapa final do trabalho de doutorado. Também, manifestar minha satisfação por perceber num aluno de graduação como o Lucas, o empenho, dedicação e competência nas tarefas a ele conferidas.

Gostaria também de agradecer aos amigos e colegas de laboratório com quem dividi tantos momentos, e que tornaram minha estada em Florianópolis mais agradável e enriquecedora e à secretária do laboratório Nazide Martins, sempre prestativa.

Agradeço também aos Professores Sérgio Bampi, Oscar Gouveia Filho, João Navarro Soares Júnior, José Luís Güntzel e Daniela Ota Hisayasu Suzuki, por participarem da banca de defesa e pelas sugestões que enriqueceram este trabalho.

Agradeço ainda à CAPES, pelo apoio financeiro, e à MOSIS pela fabricação gratuita dos circuitos prototipados.

Finalmente, gostaria de agradecer profundamente aos meus pais, Pedro e Maria, responsáveis por muito do que sou hoje, e especialmente à minha esposa Viviana, pelo inestimável apoio durante este período, e por ter enriquecido tanto a minha vida ao longo dos anos.

RESUMO

Resumo da Tese apresentada à UFSC como parte dos requisitos necessários para obtenção do grau de Doutor em Engenharia Elétrica.

Modelagem e Projeto de Conversores AC/DC de Ultrabaixa Tensão de Operação

Adilson Jair Cardoso

Florianópolis, outubro/2012

Orientador: Carlos Galup Montoro, Dr.

Coorientador: Márcio Cherem Schneider, Dr.

Área de Concentração: Circuitos e Sistemas Integrados.

Palavras-chave: Conversores AC/DC para baixa tensão, captação de energia, microgeradores piezoelétricos.

Esta tese apresenta o desenvolvimento de um modelo analítico e muito simples do circuito retificador, considerando a lei corrente-tensão (exponencial) do diodo, tendo como mérito simplificar um problema relativamente complexo e não linear (retificador) com boa precisão. O modelo mostra-se válido, mesmo para tensões abaixo da tensão térmica, tendo sido testado para uma ampla variação de tensão e corrente. São apresentadas equações para a tensão DC de saída, *ripple* de tensão, transiente durante o *startup* e eficiência de conversão de potência. Para validação, o modelo é comparado às simulações realizadas em simulador SPICE e a resultados experimentais, mostrando uma ótima precisão. Comparando-se este modelo com outros citados nas referências bibliográficas, este possui a vantagem de ser analítico, mais simples e/ou mais preciso. O desenvolvimento deste modelo torna-se mais importante, à

medida que cresce o interesse pela utilização de sensores remotos autoalimentados, e também pelo uso de dispositivos de identificação por rádiofrequência (RFID). O espaço de projeto do conversor AC/DC foi explorado por meio de equações simples e de uma metodologia de projeto desenvolvida para que, através de gráficos, o projetista possa de forma fácil, rápida e com boa precisão, determinar os principais elementos do conversor AC/DC e da rede de adaptação de impedâncias. Para operar com potências menores na entrada do conversor AC/DC, a metodologia utiliza redes de adaptação de impedâncias para o casamento entre as impedâncias da antena (ou impedância da fonte geradora de sinal AC) e do conversor AC/DC. Além disso, esta metodologia pode ser utilizada para conversores AC/DC com diodos ou transistores conectados como diodos, mesmo que sua equação característica não seja a do diodo exponencial. Para a utilização do conversor AC/DC em circuitos integrados, são estudadas as possibilidades de uso do transistor MOS conectado como diodo operando na região de inversão fraca. Para obter suporte experimental foram projetados multiplicadores de tensão com rede de adaptação de impedâncias incorporada ao circuito integrado e também externa ao mesmo, com o objetivo de atingir a menor potência de entrada disponível.

Palavras-chave: Conversores AC/DC para baixa tensão, captação de energia, microgeradores piezoelétricos.

ABSTRACT

Abstract of Thesis presented to UFSC as a partial fulfillment of the requirements for the degree of Doctor in Electrical Engineering.

Modeling and Design of AC / DC converter for Ultra-Low Voltage Operation

Adilson Jair Cardoso

Florianópolis, october/2012

Advisor: Carlos Galup Montoro, Dr.

Co-Advisor: Márcio Cherem Schneider, Dr.

Area of Concentration: Integrated Circuits and Systems.

Keywords: AC/DC converter for low voltage, piezoelectric microgenerator , energy harvesting.

This thesis presents a simple analytical model of the rectifier circuit assuming that the diode is characterized by the exponential current-voltage law. The model shown is valid even for voltages below the thermal voltage and it has been tested for a wide range of voltages and currents. Equations are provided for the DC output voltage, ripple voltage, transient during startup and power conversion efficiency. For validation, the model is compared to simulations carried out in SPICE and experimental results, showing a good accuracy. Comparing this model with others cited in the references, this one has the advantage of being analytical, simpler, and more accurate. The development of this model becomes more relevant with the growing use of self powered remote sensors, and radio frequency identification devices (RFID). The design space of the AC/DC converter was explored using a graphic methodology. To operate with reduced power at the input, the methodology uses an impedance adaptation network for the matching between the impedances of the antenna (or the source impedance of the AC signal) and that of the AC/DC converter. Furthermore, this methodology can be used for AC/DC converters with diodes or transistors connected as diodes, even if their characteristic equations are not exponential. To obtain experimental support, voltage multipliers have

been designed with impedance adaptation network incorporated into the integrated circuit and also external to it, in order to achieve the lowest possible power at the input.

Keywords: AC/DC converter for low voltage, piezoelectric microgenerator , *energy harvesting*.

SUMÁRIO

1 INTRODUÇÃO	27
1.1 INTRODUÇÃO ÀS REDES DE SENSORES SEM FIO.....	28
1.2 FONTES DE ENERGIA PARA REDES DE SENSORES SEM FIO.....	31
1.2.1 Energia vibracional	32
1.2.2 Energia eletromagnética	36
1.3 TOPOLOGIA DO MULTIPLICADOR.....	39
1.4 CONTRIBUIÇÕES DESTE TRABALHO.....	43
2 MODELAGEM BÁSICA DO CONVERSOR AC/DC	45
2.1 RETIFICADOR DE MEIA ONDA.....	45
2.1.1 Modelo da queda de tensão constante	45
2.1.2 Modelo proposto para corrente de pico e ângulo de condução do diodo	51
2.2 CONVERSOR AC/DC - MULTIPLICADOR DE TENSÃO.....	53
2.3 MULTIPLICADOR DE TENSÃO.....	56
2.3.1 Degradação da performance no dobrador de tensão devido às capacitâncias parasitas	58
2.3.2 Eficiência de conversão de potência	58
2.4 RESPOSTA TRANSIENTE E TENSÃO DE <i>RIPPLE</i>	65
2.4.1 Retificador de meia onda durante a inicialização (<i>startup</i>)	65
2.4.2 <i>Ripple</i> de tensão de saída do retificador de meia onda	68
2.5 EQUIVALÊNCIA ENTRE TENSÕES DE ENTRADA SENOIDAIS E QUADRADAS PARA O RETIFICADOR.....	68
2.6 SIMULAÇÕES E EXPERIMENTOS.....	70
2.7 IMPEDÂNCIA DE ENTRADA DO CONVERSOR AC/DC.....	74
2.7.1 Resistência de entrada do conversor AC/DC	74
2.7.1.1 Entrada com sinal quadrado.....	75
2.7.1.2 Entrada com sinal senoidal.....	76
3 PROJETO DE CONVERSORES AC/DC EM TECNOLOGIA CMOS	81
3.1 TRANSISTOR MOS CONECTADO COMO DIODO.....	81
3.1.1 Estimativa das capacitâncias dos transistores conectados como diodos	89
3.2 PROJETO DO MULTIPLICADOR DE TENSÃO NA TECNOLOGIA IBM 130NM.....	93
3.2.1 Projeto do multiplicador de tensão sem rede de adaptação	94
3.2.2 Projeto do multiplicador com rede de adaptação	98

3.2.3	Cálculo da rede de adaptação LC	103
3.2.4	Fluxograma para projeto da rede de adaptação de impedâncias	107
3.2.5	Capacitor de saída	118
3.2.6	Topologia do multiplicador utilizando transistores MOS ..	118
3.3	SIMULAÇÕES DO CIRCUITO PÓS-LEIAUTE	119
3.3.1	Limitador de tensão	122
3.4	LEIAUTE	127
4	CONCLUSÕES	133
5	PUBLICAÇÕES	135
	Anexo A – Ripple de tensão de saída do retificador de meia onda	137
	Anexo B – Redes de adaptação entre antena e conversor AC/DC	141
B.0.1	<i>Rede tapped inductor</i>	141
B.0.2	<i>Rede PI</i>	144
	Anexo C – Projetos preliminares de conversores AC/DC para baixa frequência	147
	Anexo D – Modelo do gerador piezoelétrico	155
D.1	CARGA RESISTIVA	156
D.2	FREQUÊNCIA DE RESSONÂNCIA	160
D.3	ASPECTOS CONSTRUTIVOS	162
D.4	RESULTADO EXPERIMENTAL GERADOR PIEZOELÉTRICO:TENSÃO ELÉTRICA GERADA E FREQUÊNCIA DE RESSONÂNCIA	164
	Anexo E – Programa de simulação numérica do conversor AC/DC com rede adaptação LC	169
	Referências bibliográficas	178

LISTA DE FIGURAS

1	Topologia de uma rede de sensores sem fio.	30
2	Faixas de frequência para RFID por regiões.	37
3	Topologia de multiplicadores de tensão tipo Cockcroft Walton.	40
4	Diagrama do conversor AC/DC.	42
5	Multiplicador de tensão de onda completa.	43
6	Retificador de meia onda com fonte senoidal.	45
7	Tensões de entrada e de saída e corrente do diodo do retificador de meia onda para $C=30$ nF, $I_o=4,5$ nA, $I_L = 4\mu$ A, $V_{max}=4,5$ V, $n\phi_i=45$ mV, $f=120$ Hz.	47
8	Tensões de entrada e de saída e corrente do diodo do retificador de meia onda para $C=150$ nF, $I_o=4,5$ nA, $I_L = 4\mu$ A, $V_{max}=4,5$ V, $n\phi_i=45$ mV, $f=120$ Hz.	48
9	Tensão de entrada e de saída e corrente do diodo do retificador de meia onda para $C=600$ nF, $I_o=4,5$ nA, $I_L = 4\mu$ A, $V_{max}=4,5$ V, $n\phi_i=45$ mV, $f=120$ Hz.	49
10	Tensão de entrada e de saída e corrente do diodo do retificador de meia onda para $C=150$ nF, $I_o=4,5$ nA, $I_L=200$ nA, $V_{max}=600$ mV, $n\phi_i=45$ mV, $f=120$ Hz.	49
11	Tensão de entrada e de saída e corrente do diodo do retificador de meia onda para $C=150$ nF, $I_o=4,5$ nA, $I_L = 1\mu$ A, $V_{max}=600$ mV, $n\phi_i=45$ mV, $f=120$ Hz.	50
12	Tensão de entrada e de saída e corrente do diodo do retificador de meia onda para $C=150$ nF, $I_o=4,5$ nA, $I_L = 4\mu$ A, $V_{max}=600$ mV; $n\phi_i=45$ mV; $f=120$ Hz.	50
13	Ângulo de condução do diodo do retificador de meia onda para $C=47$ nF; $I_o=4,5$ nA; $I_L=200$ nA; $V_{max}=400$ mV; $n\phi_i=48,5$ mV; $f=120$ Hz.	51
14	Comparação entre ângulo de condução do diodo simulado e calculado e modelo (4) proposto para o retificador de meia onda vs tensão de entrada normalizada.	53
15	Corrente de pico vs. corrente de carga do diodo do retificador de meia onda.	53
16	Retificador de meia onda com sinal em onda quadrada.	54
17	Formas de onda para análise do retificador de meia onda.	55
18	Diagrama elétrico do dobrador de tensão.	56
19	Formas de onda para análise do dobrador de tensão.	57

20	Eficiência de conversão de potência e tensão na carga do dobrador vs. corrente média na carga normalizada para valores de $V_P/n\phi_t$ de 0.5, 1 e 1.5.	63
21	Eficiência de conversão de potência e tensão na carga do dobrador vs. corrente média na carga normalizada para valores de $V_P/n\phi_t$ de 1.5, 3, 6 e 12.	64
22	Máxima eficiência de conversão de potência e tensão DC de carga do dobrador vs. amplitude da tensão de entrada.	65
23	Resposta transiente do retificador de meia onda para $V_P/n\phi_t = 6.2$, capacitor $C=47\text{nF}$	67
24	Equivalência entre onda senoidal e quadrada. V_A é o valor de pico da senóide e V_P é a amplitude da onda quadrada.	70
25	Tensão de saída do retificador de meia onda vs. corrente média na carga para $V_P = 25 \text{ mV}, 50 \text{ mV}, 75 \text{ mV}$ e 150 mV , onda quadrada na entrada, $f=125 \text{ kHz}$	72
26	Tensão de saída do retificador de meia onda vs. corrente média na carga para $V_P = 300 \text{ mV}, 600 \text{ mV}, 1,2\text{V}$ e 2V , onda quadrada na entrada, $f=125 \text{ kHz}$	72
27	Tensão de saída do dobrador vs. corrente média na carga para $V_P = 25 \text{ mV}, 50 \text{ mV}, 75 \text{ mV}$ e 150 mV , onda quadrada na entrada, $f=125 \text{ kHz}$	73
28	Tensão de saída do dobrador vs. corrente média na carga para $V_P = 300 \text{ mV}, 600 \text{ mV}, 1,2\text{V}$ e 2V , onda quadrada na entrada, $f=125 \text{ kHz}$	73
29	Circuito equivalente da antena (a) e do conversor AC/DC (b)..	74
30	Diagrama elétrico do dobrador de tensão com antena e onda quadrada associada.	75
31	Diagrama elétrico do dobrador de tensão com antena e onda senoidal associada.	77
32	Circuito equivalente da antena com o retificador.	78
33	Transistor MOS conectado como diodo: (a) Ligação S=B (b) Ligação DTMOS.	82
34	Leiaute e características de um transistor zero VT.	85
35	Curva g_m/I_D vs. V_{GS} . Trans. zero VT, $W_Z = 6 \mu\text{m}$, $L_Z = 0,5 \mu\text{m}$	85
36	Simulação do efeito da polarização no transistor zero VT óxido fino. $W_Z = 4,8 \mu\text{m}$, $L_Z = 0,42 \mu\text{m}$	86

37	Característica I-V dos diodos zero VT, dos diodos na configuração DTMOS: NMOS, PMOS, PMOS baixo VT e eq. diodo exponencial. $W_N = 970\mu\text{m}$, $W_P = 90\mu\text{m}$, $W_{ZVT} = 3,2\mu\text{m}$, $L_{N,P} = 0,48\mu\text{m}$, $L_{ZVT} = 0,5\mu\text{m}$	88
38	Característica I_D vs área de silício vs V_D dos diodos NMOS-DTMOS, PMOS-DTMOS, PMOS baixo VT - DTMOS. $W_N = 970\mu\text{m}$, $W_P = 90\mu\text{m}$, $W_{ZVT} = 3,2\mu\text{m}$, $L_{N,P} = 0,48\mu\text{m}$, $L_{ZVT} = 0,5\mu\text{m}$	89
39	Transistor MOS com as capacitâncias parasitas C_{AK} e C_K	90
40	Setup para extrair capacitâncias parasitas C_{AK} , C_A e C_K do zero VT.	90
41	Capacitâncias parasitárias do transistor zero VT. $W_{ZVT} = 3,2\mu\text{m}$, $L_{ZVT} = 0,5\mu\text{m}$	91
42	Setup para extrair capacitâncias parasitas $C_{AK} + C_A$ dos diodo NMOS poço triplo e PMOS baixo VT na configuração DTMOS.	92
43	Capacitância parasita C_{AK} dos diodo NMOS poço triplo, PMOS baixo VT e zero VT. $W = 3,2\mu\text{m}$, $L = 480\text{nm}$	92
44	Diagrama dobrador com capacitâncias parasitárias.	93
45	Circuito equivalente da antena com o retificador.	94
46	Fluxograma para projeto sem rede de adaptação.	95
47	Corrente de saturação do diodo normalizada em relação à corrente de carga vs. número de estágios para diferentes potências disponíveis. $R_{ant} = 50\ \Omega$, $V_L = 1\ \text{V}$, $n\phi_t = 26\ \text{mV}$, $\alpha_p = 1$.	97
48	Diagrama de blocos do sistema de conversão RF/DC.	100
49	Rede de adaptação LC ideal.	102
50	Rede de adaptação <i>tapped inductor</i> ideal.	102
51	Rede de adaptação PI ideal.	103
52	Circuito da rede de adaptação LC com perdas.	104
53	Fluxograma para o projeto da rede de adaptação LC.	108
54	L_S vs. N , $R_{ant} = 50\ \Omega$, $P_{AV} = -20,4\ \text{dBm}$, $f = 900\ \text{MHz}$	109
55	L_S vs. N , $R_{ant} = 50\ \Omega$, $P_{AV} = -20,3\ \text{dBm}$, $f = 900\ \text{MHz}$	110
56	Fator de qualidade de alguns indutores na tecnologia IBM 130nm CM8RF.	111
57	Corrente de saturação, largura do canal e capacitância parasitária vs. N , $R_{ant} = 50\ \Omega$, $f = 900\ \text{MHz}$, $P_{AV} = -20,4\ \text{dBm}$	112
58	$C_{in,otal}$ vs. N , $R_{ant} = 50\ \Omega$, $f = 900\ \text{MHz}$, $P_{AV} = -20,4\ \text{dBm}$	113
59	Capacitância C_{acop} vs. N , $R_{ant} = 50\ \Omega$, $f = 900\ \text{MHz}$, $P_{AV} = -20,4\ \text{dBm}$, $\alpha_p = 0,99$	113

60	P_{AV} vs. C_{acop} . Transistor zero VT óxido espesso, $W = 12,5\mu\text{m}$, $L = 560\text{nm}$, $N=24$, adaptação integrada, conversor de meia onda, $T = 26^\circ\text{C}$, $V_L = 1\text{V}$, $I_L = 1\mu\text{A}$	114
61	Q_{ret} vs. N , $R_{ant} = 50\Omega$, $f=900\text{MHz}$, $P_{AV}=-20,4\text{dBm}$	115
62	Diagrama multiplicador com transistores.	119
63	Simulação do fator de qualidade do indutor de 36nH para pré e pós-leiaute vs. freq.	120
64	Simulação pós-leiaute tensão DC de saída dos conversores de onda completa e de meia onda. $N=24$; adaptação integrada; diodos zero VT óxido fino, $I_L = 1\mu\text{A}$, $R_{ant} = 50\Omega$, $v_{ant} = 58\text{mV}$, $P_{AV}=-20,7\text{dBm}$	121
65	Diagrama do limitador de tensão com diodos empilhados.	123
66	Simulação da tensão de saída vs. frequência pós-leiaute com limitador. $R_{ant} = 50\Omega$, $C_{acop} = 1\text{pF}$, transistor zero VT óxido fino, $N=24$, $T = 26^\circ\text{C}$, rede LC, $C_{acop} = 1\text{pF}$	124
67	Simulação da tensão de saída vs. frequência pós-leiaute com limitador. $R_{ant} = 50\Omega$, diodos zero VT óxido fino, $N=24$, $f=900\text{MHz}$, rede LC, $C_{acop} = 1\text{pF}$, $T = 26^\circ\text{C}$	125
68	Leiaute do circuito integrado projetado na tecnologia IBM 130nm 8RF DM	128
69	Leiaute multiplicador de onda completa com adaptação integrada LC com <i>pads</i> ; transistor zero VT óxido fino, $W = 4,8\mu\text{m}$, $L = 0,5\mu\text{m}$, $N=24$, $C_{acop}=1\text{pF}$, $L=36\text{nH}$	129
70	Leiaute do bloco dobrador de onda completa da Figura 69.	130
71	Leiaute multiplicador de meia onda com adaptação integrada LC com <i>pads</i> ; diodos zero VT óxido fino, $W = 4,8\mu\text{m}$, $L = 0,5\mu\text{m}$, $N=24$, $C_{acop}=1\text{pF}$, $L=36\text{nH}$	131
72	Leiaute dobrador de meia onda da Fig. 71. Transistor zero VT óxido fino, $W = 4,8\mu\text{m}$, $L = 0,5\mu\text{m}$, $C_{acop}=1\text{pF}$	132
73	Impedâncias da rede <i>tapped inductor</i>	141
74	Impedâncias da rede PI.	144
75	Diagrama esquemático montado para medidas.	147
76	Diagrama esquemático para simulações.	148
77	Foto do leiaute de multiplicadores de tensão tecnologia AMIS $0,5\mu\text{m}$	151
78	Topologia do gerador piezoelétrico elaborado com uma <i>buzzer</i> e massa acoplada.	155
79	Modelo eletromecânico de um gerador piezoelétrico com carga resistiva.	156

80	Simulação da potência gerada vs. carga resistiva utilizando a equação (8).	158
81	Curva medida da impedância vs. frequência de uma <i>buzzer</i> . . .	160
82	(a) Modo 1 de vibração da <i>buzzer</i> sem massa. (b) Modo 1 de vibração da <i>buzzer</i> com massa. Modo 2 de vibração da <i>buzzer</i> com massa.	161
83	Conjunto gerador piezoelétrico.	163
84	Foto do sistema de testes do gerador piezoelétrico.	163
85	Detalhe do conjunto gerador piezoelétrico com o acelerômetro e <i>shaker</i>	163
86	Detalhe da tela do <i>software</i> de controle do <i>shaker</i>	165
87	Tensão gerada para circuito aberto vs. frequência.	165
88	Potência gerada vs. resistência vs. aceleração.	166
89	Potência gerada vs. resistência vs. suporte.	166
90	Potência gerada vs. resistência de carga vs. tipo de suporte. . .	167

LISTA DE TABELAS

1	Densidade de energia e potência para diversas fontes.	32
2	Amplitude de vibração para diferentes fontes.	33
3	Densidade de energia para três transdutores vibracionais.	34
4	Características e normas aplicáveis para <i>tags</i> de RFID.	37
5	Características de <i>tags</i> de RFID classificados pela funcionalidade.	38
6	Potência disponível e tensão de antena em função da distância. $R_{ant} = 50\Omega$, $P_{EIR} = 4\text{ W}$, $G_r=1$, $f=915\text{ MHz}$	39
7	<i>Settling time</i> do retificador de meia onda. $I_o = 4,5\text{ nA}$, $n\phi_t = 48,5\text{ mV}$ e $C_{out} = 47\text{ nF}$. T_S está em ms.	68
8	Resumo das equações para R_{in} , P_{in} e V_L para entrada em onda quadrada.	76
9	Resumo das equações para R_{in} , P_{in} e V_L para entrada em onda senoidal.	78
10	Tensão de limiar e corrente específica dos transistores NMOS disponíveis na tecnologia IBM 130nm.	87
11	Resumo comparativo de projeto para diferentes redes integradas de adaptação de impedâncias. $R_{ant} = 50\Omega$, $V_L = 1\text{ V}$, $I_L = 1\mu\text{A}$	116
12	Resumo comparativo de projeto para diferentes redes externas de adaptação de impedâncias. $R_{ant} = 50\Omega$, $V_L = 1\text{ V}$, $I_L = 1\mu\text{A}$	117
13	Comparação da tensão de saída utilizando a metodologia proposta e simulações elétricas de pré e pós-leiaute do multiplicador de onda completa sem limitador de tensão. $N=24$, transistor zero VT, $f=900\text{ MHz}$, rede LC, $C_{acop} = 1\text{ pF}$	122
14	Comparação entre multiplicadores de tensão.	122
15	Resultado de simulações pós-leiaute do conversor AC/DC com limitador de tensão. $N=24$, adapt. integrada; diodos zero VT óxido espesso, $I_L = 1\mu\text{A}$, $V_L = 1\text{ V}$ $R_{ant} = 50\Omega$, $C_{acop} = 350\text{ fF}$, $T = 26^\circ\text{C}$	124
16	Tensão DC pós-leiaute do conversor AC/DC vs. temperatura vs. <i>corners</i> para valores limites de P_{AV} . $N=24$, transistor zero VT óxido espesso, $f=900\text{ MHz}$, rede LC, $C_{acop} = 350\text{ fF}$	126
17	Equações para a rede <i>tapped inductor</i>	141
18	Equações para a rede PI.	144
19	Comparação entre simulações e medidas de multiplicadores.	149

20	Tensão vs. largura do canal para multiplicador 11 estágios TSMC 0.35 μ m.	152
21	Tensão vs. largura do canal para multiplicador de 33 estágios TSMC 0.35 μ m.	152
22	Comparação entre medidas de multiplicadores na AMIS 0.5 μ m e TSMC 0.35 μ m.	152
23	Característica da <i>buzzer</i> utilizada para simulação.	158
24	Características das <i>buzzers</i> utilizadas.	162
25	Características das <i>buzzers</i> utilizadas nas medidas.	162

Lista de Símbolos

- a: Aceleração do sistema [m/s²]
 C_{acop} : Capacitância de acoplamento entre estágios do multiplicador de tensão [F]
 C_{bs} : Capacitância substrato-fonte [F]
 C_{gb} : Capacitância porta-substrato [F]
 C_{gs} : Capacitância porta-fonte [F]
 C_{ox} : Capacitância do óxido [F]
 C'_{ox} : Capacitância do óxido de porta por unidade de área [F/m²]
 C_{par} : Capacitância parasitária do transistor MOS no âmbito do multiplicador de tensão [F]
 C_{sb} : Capacitância fonte-substrato [F]
 C_{sg} : Capacitância fonte-porta [F]
d: Coeficiente de deformação piezoelétrico [m/V]
 δ : Deformação *strain* [m]
 ΔV : Ondulação (*ripple*) da tensão DC de saída do conversor AC/DC
 ϵ_0 : Permissividade do ar = $8,85 \times 10^{-12}$ [F/m]
 ϵ_r : Permissividade relativa da piezocerâmica
E: Campo elétrico [V/m]
g: Coeficiente de tensão de saída ou de geração de energia elétrica [Vm/N]
 g_{md} : Transcondutância de dreno [A/V]
 g_{ms} : Transcondutância de fonte [A/V]
 I_o : Corrente de saturação do diodo [A]
 I_P : Corrente de pico do diodo [A]
 I_S : Corrente específica do transistor MOSFET. $I_S = \mu C'_{ox} n \frac{\phi_f^2}{2} \frac{W}{L}$.
 I_{SQ} : Corrente de normalização de folha para o transistor MOS. $I_{SQ} = \mu C'_{ox} n \frac{\phi_f^2}{2}$ [A]
 I_{SQN} : Corrente de normalização de folha para transistor NMOS [A]
 I_{SQP} : Corrente de normalização de folha para transistor PMOS [A]
 I_L : Corrente média na carga [A]
G: Aceleração da gravidade [$\cong 9.8$ m/s²]
 γ : Fator de corpo
 k_m : Constante de mola
k: Fator de conversão eletromecânico
L: Comprimento do canal [m]
m: Massa acoplada à piezocerâmica [kg]
 m_p : Massa da piezocerâmica [kg]

n : Fator de inclinação (*slope factor*) $n = 1 + \frac{\gamma}{2\sqrt{\phi_{sa} - \phi_r}}$.
 N : Número de diodos do multiplicador de tensão.
 P_{AV} : Potência média disponível na antena [W]
PCE: Eficiência na conversão de potência
 P_{EIR} : Potência equivalente isotropicamente irradiada [W]
 ϕ_{sa} : Potencial de superfície para carga de inversão nula [V]
 ϕ_r : Potencial termodinâmico [V]
 τ_0 : Valor de T_S para corrente direta no diodo nula [s]
 t_m : Espessura do metal na *buzzer* [m]
 t_p : Espessura da piezocerâmica na *buzzer* [m]
 T_S : Tempo requerido para carregar o capacitor até uma tensão [s]
 V_A : Tensão de pico para sinal de entrada em onda senoidal [V]
 v_{ant} : Tensão de pico na antena [V]
 V_L : Valor DC da tensão de saída do conversor AC/DC [V]
 V_P : Tensão de pico para sinal de entrada em onda quadrada [V]
 V_{pinch} : Tensão de *pinch-off*, aproximada por $V_{pinch} = \frac{V_G - V_{TO}}{n\phi_r}$ [V]
 θ_C : Ângulo de condução da corrente no diodo [rad]
 Y : Módulo de Young [N/m²].
 W : Largura do canal [m]
 ζ : Fator de amortecimento (*damping*)

Lista de Abreviações

- AC: Corrente alternada
- CMOS: semicondutor metal-óxido complementar (*complementary metal oxide semiconductor*)
- DC: Corrente contínua
- FCC: *Federal Communications Commission*
- M.I: Inversão moderada (*moderate inversion*)
- MOSFET: Transistor de efeito de campo metal-óxido-semicondutor (*metal oxide semiconductor field effect transistor*)
- NMOS: Transistor MOS canal N
- P_{EIR} : Potência equivalente isotropicamente irradiada [W]
- PMOS: Transistor MOS canal P
- RF: Radiofrequência
- RFID: Dispositivo de identificação por radiofrequência
- S.I.: Inversão forte (*strong inversion*)
- SPICE: Programa de Simulação com Ênfase em Circuitos Integrados (*Simulated Program with Integrated Circuits Emphasis*)
- Tag: No contexto desta tese significa dispositivo de identificação por rádiofrequência - RFID.
- VLSI: Integração em alta escala (*very large scale integration*)
- W.I.: Inversão fraca (*weak inversion*)

1 INTRODUÇÃO

Este trabalho está dividido nas partes descritas a seguir.

O capítulo 1 apresenta uma introdução às aplicações de circuitos de captação de energia e suas possíveis fontes de energia, com ênfase em redes de sensores sem fio e dispositivos de RFID, e situa o leitor no assunto principal, que é a conversão de sinal AC para DC e na necessidade dos projetistas conhecerem com maior profundidade o funcionamento do conversor AC/DC em aplicações onde os sinais AC envolvidos são da ordem de dezenas a poucas centenas de milivolts.

O capítulo 2 aborda o estudo de topologias de conversores AC/DC utilizando diodos, realizando o desenvolvimento de modelos analíticos para determinação da tensão DC na saída, *settling time*, eficiência na conversão de potência, tensão de *ripple* e resistência de entrada. O estudo inicia com o retificador de meia onda, sendo posteriormente ampliado para o dobrador de tensão. Estes resultados podem ser ampliados para um multiplicador de tensão de N estágios.

O capítulo 3 aborda as possibilidades de projeto dos conversores AC/DC em tecnologia CMOS utilizando transistores MOS conectados como diodos, operando na região de inversão fraca. O equacionamento apresentado no capítulo 2 é válido também para o transistor MOS conectado como diodo, desde que este opere segundo a lei exponencial. Por este motivo, são estudadas as possibilidades de conexão do transistor MOS como diodo, sendo apresentados dados e simulações para determinação do melhor componente/conexão. Neste capítulo também é abordado o projeto de redes de adaptação de impedância entre a antena e o conversor AC/DC. Para o caso de baixa frequência de sinal de entrada, como é o caso do uso de geradores piezoelétricos (dezenas a centenas de hertz), ou de *tags* de RFID de baixa frequência (da ordem de 125kHz), são apresentadas gráficos onde o projetista facilmente determina a corrente de saturação do diodo (e por consequência suas dimensões), como função do número de estágios e da amplitude do sinal de entrada do conversor AC/DC. Este capítulo apresenta também o leiaute de conversores AC/DC para duas situações diferentes: com adaptação de impedância integrada ao circuito integrado e externa ao mesmo. Este estudo é importante, pois com adaptação externa pode-se utilizar indutores com fatores de qualidade significativamente superiores aos de indutores integrados, propiciando, por exemplo, a utilização com sinais de entrada inferiores na comparação com a compensação integrada.

No capítulo 4 são apresentadas e discutidas as conclusões deste traba-

lho.

Ao final são apresentados alguns anexos, que auxiliam o entendimento de partes do texto principal, a lista de publicações técnicas derivadas deste trabalho, um programa para simulação computacional para projetar um multiplicador de tensão com compensação integrada e a lista de referências bibliográficas utilizadas.

1.1 INTRODUÇÃO ÀS REDES DE SENSORES SEM FIO

O avanço da microeletrônica vem propiciando o desenvolvimento de equipamentos cada vez menores e com consumo de potência decrescente. Um estudo comparativo do avanço tecnológico mostrou que, no período entre 1999 e 2002, dispositivos como memórias e microprocessadores apresentaram evolução significativamente superior à evolução da tecnologia das baterias [1]. Embora as baterias tenham viabilizado a expansão dos sistemas eletrônicos portáteis, atualmente por causa de sua taxa de evolução inferior à microeletrônica (em tamanho), elas vêm se constituindo em um fator de limitação dessa expansão [1].

O avanço da tecnologia de circuitos integrados associado ao desenvolvimento nas áreas de sensores e de comunicação sem fio propiciou a criação de redes de sensores sem fio. Esse tipo de rede pode ser aplicado no monitoramento, rastreamento, coordenação e processamento em diferentes ambientes.

Na transmissão de dados convencional, os sensores são ligados por cabos elétricos até centrais de coleta de dados, sendo acessados por uma central de controle. Dependendo da distância entre estas centrais de coleta de dados e o centro de controle, o cabeamento entre eles se torna impraticável, e os dados chegam a ser coletados com periodicidade semanal ou superior, diretamente onde o sensor está instalado.

Em relação às redes sem fio, a falta de padrões da indústria dificultou, no começo, o processo da integração de sensores, atrasando a sua utilização em grande escala. Assim, enquanto os sensores continuam a ganhar "inteligência" (processamento, funcionalidades), a comunicação de seus dados aos sistemas remotos sem o uso de cabos elétricos ainda é pouco explorada devido, em parte, à falta de soluções sem fio apropriadas e confiáveis e financeiramente praticáveis.

Os padrões de redes sem fio, incluindo o *wi-fi*, *bluetooth* e *zigbee*, emergiram para fornecer uma flexibilidade maior do que os sistemas cabeados e para reduzir o risco de integrar comunicações sem fio proprietárias.

Com dispositivos usando padrões como o *wi-fi* e o *bluetooth* produzindo milhões de unidades anualmente, os custos de produção caíram significativamente. A tecnologia *zigbee*, o primeiro padrão *wireless* projetado especificamente para a monitoração remota e controle, pode melhorar significativamente o alcance e a confiabilidade de redes de sensores sem fio.

Todos esses avanços têm estimulado o desenvolvimento e o uso de sensores inteligentes em áreas ligadas a processos físicos, químicos, biológicos, entre outros. Normalmente, o termo *sensor inteligente* é aplicado ao dispositivo que contém um ou mais sensores com capacidade de processamento de sinais e comunicação de dados.

Redes de sensores sem fio (*RSSFs*) diferem de redes de computadores tradicionais em vários aspectos. Normalmente *RSSFs* possuem um grande número de nós. Os termos *nó* e *sensor* serão usados como sinônimos, pois o termo *nó* numa *RSSF* indica um elemento computacional com capacidade de processamento, memória, interface de comunicação sem fio, além de possuir um ou mais sensores.

Uma *RSSF* tende a ser autônoma e requer um alto grau de cooperação para executar as tarefas definidas para a rede. Algoritmos distribuídos tradicionais, como protocolos de comunicação e eleição de líder, devem ser revistos para esse tipo de ambiente antes de serem usados diretamente, pois um protocolo de comunicação projetado sem considerar a economia de energia (através da redução de tarefas necessárias, etc) pode inviabilizar o uso de um sensor remoto ou reduzir a vida útil da bateria do mesmo. Os desafios no projeto de uma *RSSF* superam os das redes tradicionais, particularmente na tolerância a falhas e na diversidade de rotas.

A Figura 1 mostra a topologia de uma *RSSF* alimentada por sinal de RF, sendo possível o uso de outras fontes de energia. Nessas redes, cada nó pode ser equipado com uma variedade de sensores, tais como acústico, sísmico, infravermelho, vídeocâmeras, de calor, de temperatura, de pressão, etc. Esses nós podem ser organizados em grupos (*clusters*) nos quais pelo menos um dos sensores deve ser capaz de detectar um evento na região, processá-lo e tomar a decisão de realizar ou não realizar uma difusão (*broadcast*) do resultado para outros nós. A expectativa é que as *RSSFs* se tornem disponíveis em todos os lugares, executando as tarefas mais diferentes possíveis.

Redes de sensores têm o potencial de serem empregadas em áreas como:

Controle: Para prover algum mecanismo de controle, seja em um ambiente industrial ou não. Por exemplo, sensores sem fio podem ser embutidos em peças numa linha de montagem para fazer testes no processo de manufa-

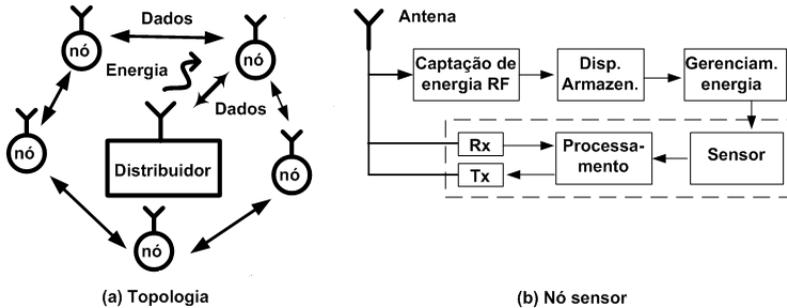


Figura 1: Topologia de uma rede de sensores sem fio.

tura.

Ambiente: Para monitorar variáveis ambientais em locais internos como prédios e residências, e locais externos como florestas, desertos, oceanos, vulcões, etc.

Tráfego: Para monitorar tráfego de veículos em rodovias, malhas viárias urbanas, etc.

Segurança: Para prover segurança em centros comerciais, estacionamentos, etc.

Medicina/Biologia: Para monitorar o funcionamento de órgãos como o coração, detectar substâncias que indicam a presença ou surgimento de um problema biológico, seja no corpo humano ou em animais.

O objetivo inicial deste nosso trabalho foi a captação de energia capaz de alimentar um sensor autônomo a partir de vibrações mecânicas. Com o decorrer da pesquisa, verificou-se que um aporte importante seria estudar também a captação de energia de ondas de radiofrequência (RF).

Nos dispositivos de identificação por radiofrequência (RFID), uma onda eletromagnética de radiofrequência transmitida pelo leitor (*reader*) será convertida em tensão DC no receptor. No caso usual de emissores "distantes" ($d > 1m$), a potência recebida pelo dispositivo receptor (*tag*) cai com o quadrado da distância ao gerador. Dessa forma, quanto mais eficiente o circuito conversor AC/DC, maior poderá ser a distância da fonte eletromagnética, ampliando as possibilidades de aplicações.

Em circuitos de captação de energia utilizando piezocerâmicas, um sinal elétrico alternado é produzido quando a piezocerâmica sofre deformação, sendo este sinal elétrico proporcional à amplitude da deformação produzida. Em muitos casos as vibrações são pequenas, produzindo tensões AC (ver anexo sobre piezogerador) de poucas dezenas ou centenas de milivolts, a

qual será convertida em sinal DC por um circuito conversor AC/DC, normalmente insuficientes para alimentar um circuito integrado.

A demanda por circuitos retificadores que possam operar eficientemente a tensões muito baixas está aumentando em consequência do crescente interesse por *tags* de RFID [2]. Retificadores de baixa tensão também são utilizados para processar energia captada de vibrações [3], ou mesmo do movimento do corpo [4]. Como nestas aplicações a tensão AC geralmente não é maior que poucas centenas de milivolts, torna-se necessário algum tipo de multiplicação para gerar níveis DC em torno de 1V [5] [6] [7] para alimentar um circuito integrado.

1.2 FONTES DE ENERGIA PARA REDES DE SENSORES SEM FIO

As novas topologias e os diferentes algoritmos de codificação de dados propiciam uma redução do consumo de potência (na operação e transmissão de dados), favorecendo a utilização de dispositivos de captação de energia do meio ambiente. Como exemplo, foi apresentado no IEEE *Journal of Solid State Circuits* de julho de 2011 um circuito completo para *energy harvesting* com consumo de aproximadamente $5\mu\text{W}$ quando processando um sinal e 190 nW no modo de espera (não considerando consumo na transmissão) [8].

As fontes de energia estudadas atualmente para alimentar sensores remotos autônomos são: solar, vibracional, microcélula de combustível, térmica, RF e microbaterias.

Roundy [1] apresentou um estudo comparativo da potência fornecida em função da vida útil de baterias de zinco-ar, níquel metal hidreto (NiMH), alcalinas, lítio recarregável e também de fontes de energia solar e de vibrações. Nesse estudo concluiu que, para uma vida útil superior a um ano, as fontes solar e de vibrações são uma ótima opção.

A nanotecnologia vem contribuindo também para a área de captação de energia, por meio da criação de novos compostos ou produtos.

Wang [9] criou um nano gerador através de um circuito integrado flexível contendo milhões de nano fios de óxido de zinco. Os protótipos mais recentes têm o tamanho aproximado de um quarto de um selo postal. Quando cinco desses circuitos integrados são empilhados é possível produzir uma tensão equivalente a duas pilhas AA. Para isso, basta apertar os chips com os dedos. A potência gerada é suficiente para iluminar um LED (diodo emissor de luz) ou um visor de cristal líquido de uma calculadora [9]. Wang [9] aponta também para a possibilidade de nano geradores piezoelétricos poderem ser

colocados na sola de sapatos para ligar aparelhos eletrônicos. Outra possibilidade é a incorporação dos mesmos aos pneus de automóveis para produzir eletricidade extra aos acessórios, ou medir a pressão do pneu [10].

1.2.1 Energia vibracional

A Tabela 1 apresenta, de forma comparativa, um resumo sobre a densidade de energia e potência para diversas fontes alternativas de energia [1].

Tabela 1: Densidade de energia e potência para diversas fontes.

Fonte de Energia	Potência $\mu\text{W}/\text{cm}^3$	Energia J/cm^3	Potência $\mu\text{W}/\text{cm}^3/\text{ano}$	Armaz. Secund.	Regulação Tensão	Disponível Comercial
Bateria	N/A	2880	90	Não	Não	Sim
Micro Cel. Comb.	N/A	3500	100	Provável	Provável	Não
Ultra capacitor	N/A	50-100	1,6-3,2	Não	Sim	Sim
Solar (rua) ¹	15000	N/A	N/A	Usualm.	Provável	Sim
Solar (interior)	10	N/A	N/A	Usualm.	Provável	Sim
Temperatura ²	40	N/A	N/A	Usualm.	Provável	Sim
Fluxo de Ar ³	380	N/A	N/A	Sim	Sim	Não
Variação pressão ⁴	17	N/A	N/A ⁵	Sim	Sim	Não
Vibrações	375	N/A	N/A	Sim	Sim	Sim

¹Medido em potência por centímetro quadrado

²Demonstrado em uma diferença de temperatura de 5°C

³Assumindo velocidade do ar de 5m/s e uma eficiência de 5%.

⁴Baseado num volume fechado de 1 cm³ de hélio passando por uma troca de calor de 10°C uma vez por dia.

⁵Não aplicável

Começamos nosso trabalho de pesquisa pelo estudo de dispositivos de baixo custo para monitoramento de máquinas industriais. Para este objetivo as fontes de energia mais adequadas são a energia solar e a vibracional, pois apresentam uma boa densidade de potência (Tabela 1) e também possuem uma vida útil superior a um ano [1]. Entretanto, as duas possuem limitações. A fonte solar possui um custo relativamente alto, sendo inadequada em ambientes com pouca iluminação. A fonte vibracional pode ser feita com baixo custo, porém faz-se necessário um nível de vibração suficiente para alimentar o sistema.

A alimentação de sensores usando vibrações é adequada em máquinas como motores elétricos, compressores, turbinas, entre outros, cujas vibrações possuem uma razoável amplitude. Como já foi comentado anteriormente, se o conversor AC/DC possuir uma eficiência maior, podem-se aproveitar vibrações menores, ampliando o universo de aplicações, como o monitoramento

de pontes, edificações, etc.

Na Tabela 2, são mostrados dados de amplitude de vibração e frequência para diferentes fontes presentes no meio industrial.

Tabela 2: Amplitude de vibração para diferentes fontes.

Ref. [1]	Pico acel.(m/s ²)	Pico acel.(g)	Freq.(Hz)
Base máquina ferramenta 3 eixos 5HP	10	1	70
Refrigerador	0,1	10m	240
Condicionador de ar	0,2 a 1,5	20 a 150m	60
Motor AC 3CV comum base solta	9,1	910m	120
Ref. [11]			
Em cima do compressor ar condic.	0,31	31m	50
Compressor típico	0,15 a 3,2	15m a 320m	43 a 109
Na sala do compressor	0,056	5,6m	43

Grandes e pesados equipamentos que apresentam sistemas de rotação apoiados em mancais e rolamentos estão sujeitos a vibrações prejudiciais que aceleram o desgaste e comprometem a sua vida útil. Máquinas industriais de refrigeração, máquinas de moagem de pedra e motores de tração em geral precisam de monitoramento constante das características de vibração e temperatura [12].

A produção de vibração está normalmente associada a desequilíbrios, tolerâncias, folgas das diferentes partes constituintes de cada máquina, ou ao efeito de forças desequilibradas em peças com movimentos alternativos ou rotativos. Se as vibrações assim produzidas, mesmo as de pequena amplitude, puderem excitar as frequências de ressonância de outras partes do equipamento, darão origem a importantes fontes produtoras de vibrações de maior amplitude e ruído [13] [14].

No contexto de prevenção de falhas, a manutenção preditiva por análise de vibrações, baseada no conhecimento do estado da máquina através de medições periódicas e contínuas de um ou mais parâmetros significativos, evitaria paradas inesperadas e substituição de peças desnecessárias. Com esta finalidade, um sensor remoto e autônomo poderia fornecer dados continuamente sobre o estado da máquina e/ou processo.

Um grande número de investigações tem sido conduzido para o desenvolvimento de métodos e sistemas de geração de energia elétrica a partir de vibrações mecânicas.

Três alternativas de conversão de energia vibracional para elétrica têm sido estudadas: conversão eletromagnética (indutiva), conversão eletrostática

(capacitiva) e conversão piezoelétrica (através de materiais piezoelétricos). A Tabela 3 mostra uma comparação entre densidade de energia associada a essas três formas de conversão de energia vibracional [1].

Tabela 3: Densidade de energia para três transdutores vibracionais.

Tipo	Valor Prático mJ/cm ³	Valor Teórico mJ/cm ³
Piezoelétrico	17,7	335
Eletrostático	4	44
Eletromagnético	4	400

A determinação do método de conversão mais adequado depende da aplicação desejada. Sobre estes três tipos de conversores de energia vibracional pode-se fazer as seguintes considerações:

a) Transdutores eletrostáticos são construídos em sistemas microeletromecânicos (MEMS)¹. A principal desvantagem é que estes sistemas requerem uma fonte de energia auxiliar para iniciar o processo de conversão. Uma segunda desvantagem é que, devido às dimensões reduzidas, as frequências de ressonâncias são de ordem de vários kHz, muito mais altas que as apresentadas pelos equipamentos industriais (Tabela 2), diminuindo sua eficiência para estas aplicações.

b) Transdutores eletromagnéticos: A conversão eletromagnética é resultante do movimento de um condutor dentro de um campo magnético. Tipicamente, o condutor é montado na forma de uma bobina para formar um indutor. O movimento relativo entre a bobina e o campo magnético provoca o aparecimento de corrente elétrica na bobina. Tipicamente, estes transdutores geram tensões elétricas AC com amplitudes da ordem de dezenas a poucas centenas de milivolts [1].

c) Transdutores piezoelétricos podem gerar sinais AC (vibração constante) ou DC (pulsos) em função do tempo de aplicação da força [15]. Os geradores piezoelétricos utilizam o fenômeno da piezoelectricidade, para a conversão de esforços mecânicos em energia elétrica.

As estruturas mais comuns para a conversão da vibração em eletricidade são as membranas e as estruturas em balanço chamadas *cantilevers*.

As cerâmicas piezoelétricas disponíveis no mercado têm custos médios da ordem de dezenas a centenas de reais, dependendo da escala de produção e do tamanho da peça.

¹Sistema Microeletromecânico: sistemas fabricados em escala micrométrica, podendo ser integrados num circuito integrado.

O princípio básico de construção de um gerador piezoelétrico consiste no acoplamento de uma massa conhecida em determinado ponto do *cantilever* ou da membrana, constituindo um sistema massa-mola, cujas frequências naturais de oscilação são determinadas pelas propriedades e dimensões dos materiais utilizados, e pela forma construtiva do gerador. A fixação da massa na estrutura vibrante aumenta a energia captada pelo sistema e, também, diminui sua frequência de ressonância, aumentando a sintonização do gerador à frequência oscilante desejada [16].

O desenvolvimento de sistemas para microgeração de energia baseados em transdutores piezoelétricos de baixo custo (*buzzers*) é uma alternativa quando o baixo custo for um requisito do projeto. Normalmente, as *buzzers* são utilizadas como sinalizadores sonoros em equipamentos como computadores, eletroeletrônicos, alarmes, etc. Entretanto, sua utilização na geração de energia elétrica a partir da energia vibracional é incomum. Os ressonadores são, frequentemente, comercializados com as *buzzers* a custos bastante baixos (<3 US\$).

Anderson [17] apresentou um trabalho utilizando um gerador piezoelétrico, alimentado por vibrações de um motor AC trifásico de dois polos e 20 HP de potência. A vibração medida foi de 80 mG ($G = 9.8m/s^2$) para uma frequência de 60 Hz. O gerador piezoelétrico tipo bimorfo (composto de dupla cerâmica piezoelétrica separada por um *layer* metálico) montado na configuração *cantilever*, produziu um pico de potência de $195\mu W$ para uma carga puramente resistiva de 450 k Ω . O desenvolvimento, caracterização e o teste deste tipo de gerador piezoelétrico são algumas das contribuições desta tese para a área de microgeração.

No mercado internacional, existem várias empresas fabricando produtos para captar energia vibracional com cerâmica piezoelétricas. Pode-se citar como exemplos: AdaptivEnergy (www.adaptivenergy.com), Midé Engineering Technology (www.mide.com), Advanced Cerametrics Inc. (www.advancedcerametrics.com), KCF Technology (www.kcftech.com), PGM Perpetuum (www.perpetuum.co.uk) e Advanced Linear Devices (www.aldinc.com). Estes fabricantes possuem produtos com preços desde US\$ 500,00 (conversor simples) até US\$ 4.800,00 (composto por sensor com comunicação sem fio, *software* dedicado ao controle de redes de sensores autônomos ou remotos).

Pelos dados até aqui apresentados sobre as diferentes fontes disponíveis, possíveis aplicações e, principalmente, os dados das Tabelas 3 e 1, considerando uma vida útil superior a um ano, pode-se citar como vantagens do aproveitamento da energia das vibrações de equipamentos industriais por

meio de cerâmica piezoelétrica de baixo custo (*buzzers*):

- a) boa densidade energética,
- b) flexibilidade de projeto. A cerâmica piezoelétrica pode ser utilizada como gerador de energia elétrica e ao mesmo tempo, como sensor de vibração, estabelecendo-se uma relação entre amplitude de vibração e tensão gerada,
- c) economia,
- d) disponibilidade na maioria dos ambientes,
- e) não necessita de fonte externa,
- b) vários fornecedores mundiais,
- d) não necessita de manutenção,
- e) vida útil ilimitada,
- f) níveis de tensão gerada adequados para tecnologias CMOS convencionais. Entretanto, essa tensão é dependente da amplitude de vibração como será exposto posteriormente.

1.2.2 Energia eletromagnética

O sistema de identificação por radiofrequência (RFID) é constituído por leitores (também chamado de interrogadores ou *readers*) e os receptores (*tags* ou *transponders*). Um leitor se comunica com os *tags* sem fio (*wireless*), enviando um sinal de RF para coletar informações dos objetos aos quais os *tags* são anexados.

Dependendo de seu princípio de funcionamento, os *tags* são classificados em três categorias: passivos, semipassivos e ativos. Um *tag* passivo é o menos complexo e, portanto, mais barato. Ele não tem fonte de alimentação interna, usando a energia eletromagnética (EM) transmitida por um leitor para alimentar seu circuito interno. Ele não dispõe de um circuito transmissor, mas utiliza um circuito de "retroespalhamento" (*backscattering*) para transmitir dados de volta para o leitor. Um *tag* semipassivo tem sua própria fonte de energia, mas não um transmissor próprio, utilizando também o princípio do "retroespalhamento". Um *tag* ativo tem fonte de alimentação interna e um transmissor próprio.

Existem diversas frequências utilizadas nos dispositivos de RFID. A Figura 2 mostra o globo terrestre dividido em regiões segundo normalização da *International Telecommunication Union* (ITU) para normatização do uso de radiofrequência. As frequências apresentadas seguem normalizações (quando existentes), como as definidas nos EUA através da FCC (*Federal Communi-*

communications Commission), ou na Europa através da ETSI (*European Telecommunications Standards Institute*) e informações contidas em [18].

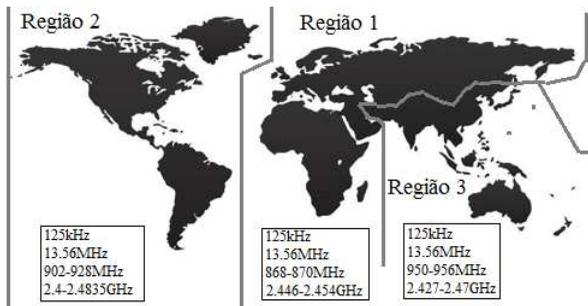


Figura 2: Faixas de frequência para RFID por regiões.

[19]

A Tabela 4 mostra um resumo das principais características de *tags* e normas aplicáveis para RFID.

Tabela 4: Características e normas aplicáveis para *tags* de RFID.

Faixa Freq. (Hz)	< 136k (LF)	13.56M (HF)	860-960 M (UHF)	2.45G (Micro-ondas)
Normas Relev.	ISO 11784, ISO 11785, ISO/IEC 18000-2, ISO 14223-1	ISO/IEC 18000-2, EPC classe 1, ISO 15693, ISO 14443 (A/B)	ISO/IEC 18000-6, EPC classe 6, EPC classe 1	ISO/IEC 18000-4
Distância de leitura	< 0,5m	1m	4-6m	1m
Tipo de tag	Acopl. passivo-indutivo	Acopl. passivo-indutivo	Passivo ou ativo	Passivo ou ativo
Aplic. típicas	Controle de acesso, monit. animal, imobiliz. veicular	Controle de acesso, cartão intelig., bibliotecas, biometria, transporte, identifi. pagamento	Controle de armazenamento, cobrança eletrônica de pedágios, museio de bagagens	Cobrança eletrônica de pedágios, monitoramento ambiental, monitoram. da cadeia de congelados
Taxa leitura múlt. tags	Lenta	→	→	Mais Rápida
Capac. leitura próx. metal ou superf. molhada	Melhor	→	→	Pior
Tamanho tag passivo	Maior	→	→	Menor

A Tabela 5 mostra um resumo das principais características de *tags* de RFID classificadas pela funcionalidade. Os *tags* de RFID podem ser classificados pela funcionalidade como: EAS (*Electronic Article Surveillance*: Artigos para vigilância eletrônica), EPC (*Electronic Product Code*: Código eletrônico de produto), somente leitura EPC, *tag* sensor e *motes*.

Os *tags* EPC somente leitura contêm algumas informações de identificação. A EPCglobal² se refere a esses *tags* como *tags* de classe B. Essa

²EPCglobal gerencia a rede de tags EPC e suas normatização, sendo fundada em outubro de 2003.

Tabela 5: Características de tags de RFID classificados pela funcionalidade.

Classe	Nome	Memória	Alimentação	Aplicações
A	EAS	—	Passivo	prod. vigilância
B	Somente leitura EPC	Somente leitura	Passivo	identificação
C	EPC	Leitura/escrita	Passivo	Armaz. dados
D	Tag sensor	Leitura/escrita	Semi-passivo	Sensores amb.
E	Motes	Leitura/escrita	Ativo	Redes Ad Hoc

informação pode ser um código de produto ou um identificador exclusivo. *Tags* EPC somente-leitura têm um identificador único que é escrito uma vez quando o *tag* é fabricado. O *tag* classe B, provavelmente, será alimentado de forma passiva. Entretanto, podem ser semipassivos ou ativos. Como o nome sugere, *tags* EPC são utilizados em aplicações de rastreamento básicos. No entanto, muitas outras aplicações práticas podem ser citadas tais como cartões inteligentes (*smart cards*) ou cartões de proximidade. *Tags* EPC somente leitura são bastante simples e podem mesmo ser *chipless*³.

A tensão recebida pelo *tag* é uma onda senoidal oriunda da energia de radiofrequência (RF) transmitida pelo leitor, sendo necessário um conversor AC/DC para alimentar o *tag*. Segundo o órgão norte-americano FCC (*Federal Communication Commission*), a máxima potência de transmissão permitida na banda de 902-928 MHz é de 36 dBm (ou $4WP_{EIR}$), sendo 30 dBm de potência máxima transmitida e 6 dBi de ganho da antena.

A Tabela 6 mostra o valor da potência recebida e a tensão de antena equivalente como função da distância. Nesta tabela, v_{ant} é a tensão equivalente na antena para a potência apresentada na tabela 6 para a resistência de antena de $R_{ant} = 50\Omega$. Os dados da potência recebida foram conseguidos utilizando-se equação de Friis, onde a potência recebida é:

$$P_{rec} = S \left(\frac{\lambda^2}{4\pi} \right) G_r = P_{EIR} G_r \left(\frac{\lambda}{4\pi r} \right)^2 \quad (1)$$

onde P_{EIR} é a potência equivalente isotropicamente irradiada; r é a distância da fonte transmissora, G_r é o ganho da antena e λ é o comprimento de onda do sinal de radiofrequência (RF).

³*Tags* de RFID de baixo custo sem o uso do caro processo de fabricação em silício. A maioria dos sistemas RFID *chipless* usa as propriedades eletromagnéticas dos materiais e/ou *design* de leiautes de diversos condutores/formas para alcançar propriedades/comportamento eletromagnético especial

Tabela 6: Potência disponível e tensão de antena em função da distância. $R_{ant} = 50\Omega$, $P_{EIR} = 4\text{ W}$, $G_r=1$, $f=915\text{ MHz}$.

Distância (m)	Potência disp. (μW)	Pot. (dBm)	v_{ant} (mV_{pico})
1	2700	4,3	1040
3	295	-5,3	343
6	75	-11,3	173
10	27	-15,7	104
15	12	-19,2	69
20	6.8	-21,7	52
25	4.3	-23,7	42
30	3	-25,2	35

1.3 TOPOLOGIA DO MULTIPLICADOR

Para expandir o universo de aplicação de um sistema de captação de energia, o conversor AC/DC deve ser capaz de operar com baixos valores de tensão de entrada. Além disso, como a potência disponível é, em geral, pequena (normalmente da ordem de dezenas a poucas centenas de microwatts), técnicas de maximização do fluxo de potência devem ser empregadas. Essas técnicas, conhecidas como MPPT (*Maximum Power Point Transfer*), buscam constantemente o ponto onde se encontra a máxima transferência de potência.

Usualmente, os sistemas de captação de energia utilizam multiplicadores de tensão que possibilitam alimentação de um circuito eletrônico com uma tensão da ordem de 1 V ou maior, a partir de uma tensão na entrada do conversor da ordem de poucas dezenas ou centenas de milivolts.

Diversos artigos referenciados na bibliografia e vários outros propuseram topologias de conversores AC/DC, sendo os principais artigos [20] [21] [22] [23] [24] [25]. Em [26] foi apresentado um método para gerar novas topologias de multiplicadores de tensão.

A Figura 3 apresenta duas topologias de multiplicadores de tensão desenvolvidos por Cockcroft e Walton em 1932 [27]. Esses multiplicadores tinham como objetivo gerar tensões da ordem de 800 kV para um acelerador de partículas, mas, devido à sua praticidade, esses circuitos tiveram as mais diversas aplicações com alta e baixa tensão de operação.

Descrição do funcionamento idealizado

Para esta análise, será desconsiderada a queda de tensão nos diodos.

Estrutura da Figura 3(a)

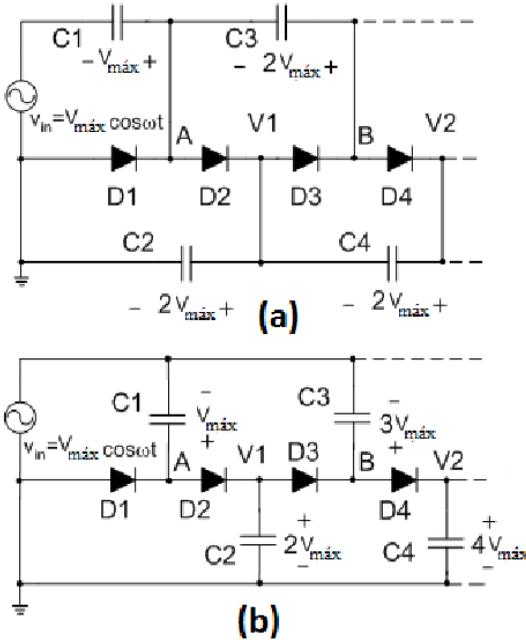


Figura 3: Topologia de multiplicadores de tensão tipo Cockcroft Walton.

[27]

1) No semiciclo negativo, o capacitor C1 é carregado via diodo D1, sendo a queda de tensão entre seus terminais em regime permanente igual à tensão de pico da entrada V_{max} .

2) No semiciclo positivo seguinte, a tensão da fonte muda o sinal em seus terminais e a tensão no ponto A será a soma da tensão no capacitor C1 mais a da fonte. O capacitor C2 se carregará através de D2, com $2V_{max}$.

3) No próximo semiciclo negativo, o capacitor C3 se carregará com uma tensão $V_B - V_A$, igual a V_{max} .

4) No semiciclo positivo seguinte, a tensão no ponto B será a soma das tensões da fonte e dos capacitores C1 e C3, ou seja, aproximadamente três vezes a tensão de pico da fonte. O capacitor C4 se carregará com uma tensão que será igual à diferença entre V_B e V_1 , ou seja, aproximadamente igual à tensão de pico da fonte V_{max} .

5) No semiciclo negativo seguinte, a tensão de saída V_2 será a soma das tensões da fonte, saída V_1 e da tensão no capacitor C4, ou seja, aproxima-

damente quatro vezes a tensão de pico da fonte.

Estrutura da Figura 3(b):

1) No semiciclo negativo, o capacitor C1 é carregado via diodo D1, sendo a queda de tensão entre seus terminais em regime permanente igual à tensão de pico da entrada V_{max} .

2) No semiciclo positivo seguinte, a tensão da fonte muda o sinal em seus terminais e, no terminal de catodo do diodo D1 (ponto A), aparece uma tensão que será a soma da tensão da fonte mais a tensão adquirida pelo capacitor. Essa tensão, será entregue ao capacitor (C2) na saída do primeiro estágio (V_1) e assim, $V_1 = 2V_{max}$.

3) No próximo semiciclo negativo, o capacitor C3 será carregado com a diferença de tensão entre V_1 e a tensão de pico negativa da fonte, ou seja $V_B = 3V_{max}$.

4) No passo seguinte, a fonte inverte a polaridade e a tensão no ponto B será a soma da fonte mais a tensão no capacitor C3, ou seja, $V_B = 4V_{max}$. Essa tensão será entregue à saída do segundo estágio ($V_2 = 4V_{max}$).

Algumas considerações sobre características e aplicações das topologias da Figura 3 são dadas a seguir.

Topologia a: É indicada para geração de altas tensões na saída para pequenas correntes. Nessa estrutura, como os capacitores estão em série, são necessários valores menores de tensão DC nos capacitores, se comparados à estrutura **b**. Na **topologia a**, a maior tensão que os capacitores experimentam é igual a duas vezes o pico de tensão da fonte (desconsiderando-se as perdas nos diodos). Nesta topologia uma multiplicação eficiente somente ocorrerá quando os capacitores possuírem valores muito superiores às capacitâncias parasitas presentes em cada nó. O efeito da divisão capacitiva reduz a tensão em cada etapa. Além disso, a impedância de saída aumenta rapidamente com o acréscimo do número de estágios do multiplicador. Esse tipo de topologia de multiplicador se mostra inadequado para sua realização como circuito integrado, pois, na prática, os capacitores integrados são limitados a uns poucos picofarads, com capacitâncias parasitas ao substrato com valores relativamente altos [28] [29].

Topologia b: É recomendada para geração de baixas tensões com altas correntes. Os capacitores desta topologia necessitam de tensão de trabalho mais elevadas se comparadas à **estrutura a**. Como exemplo, num multiplicador de dois estágios, o capacitor de saída C_4 possuirá uma tensão de aproximadamente quatro vezes a tensão de pico da fonte, enquanto o mesmo capacitor C_4 , na **topologia a**, possuirá uma tensão de duas vezes a tensão de pico da fonte (desconsiderando-se as perdas nos diodos em ambos os casos). Esta

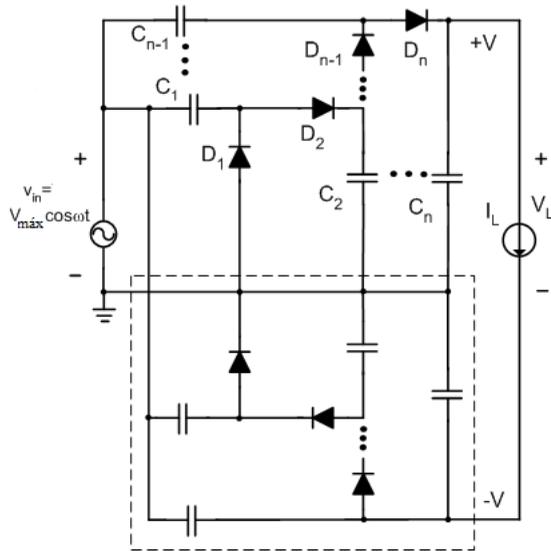


Figura 5: Multiplicador de tensão de onda completa.

[2]

1.4 CONTRIBUIÇÕES DESTA TRABALHO

Consideramos como principais contribuições deste trabalho de tese:

a) O desenvolvimento do modelo do retificador/multiplicador de tensão válido até para tensões inferiores à tensão térmica. Com efeito, muitos modelos analíticos dos retificadores anteriormente publicados foram baseados no modelo de queda de tensão constante (V_{on}) no diodo em polarização direta, não podendo ser aplicado nos circuitos operando com tensão de entrada muito baixa.

b) Correção do cálculo do ângulo de condução em retificadores usualmente apresentado em livros-texto de eletrônica.

c) A metodologia para o projeto de conversores AC/DC de ultrabaixa tensão de operação com e sem rede de adaptação de impedâncias.

d) O programa numérico, incluindo traçado de gráficos, para o projeto do conversor AC/DC com redes de adaptação de impedâncias.

2 MODELAGEM BÁSICA DO CONVERSOR AC/DC

Este capítulo destina-se ao estudo do circuito responsável pela conversão da onda alternada gerada pela piezocerâmica, no caso da utilização de um gerador piezoelétrico, ou pela onda eletromagnética nos casos de dispositivos de RFID, para corrente contínua. Inicialmente, o conversor fará uso de diodos. O uso de transistores MOS conectados como diodos será discutido no capítulo 3.

A modelagem apresentada neste capítulo e no seguinte foram apresentadas em artigos publicados em periódico [35] e e em congressos [36] e [37], sendo aqui apresentadas com maior detalhamento.

2.1 RETIFICADOR DE MEIA ONDA

Para efeito de simplificação, a análise será iniciada por um retificador de meia onda. Num segundo momento será realizado o estudo para um dobrador de tensão, a partir do qual os resultados podem ser extrapolados para um multiplicador de N -estágios.

2.1.1 Modelo da queda de tensão constante

As técnicas de análise de circuitos não lineares em livros-texto introdutórios são inapropriadas quando as tensões são menores algumas centenas de milivolts. O modelo clássico da queda de tensão constante do diodo [38], [39], [40], o qual assume que a queda de tensão em polarização direta do diodo é, por exemplo, de 600 mV, obviamente não pode ser utilizado para circuitos de baixa tensão.

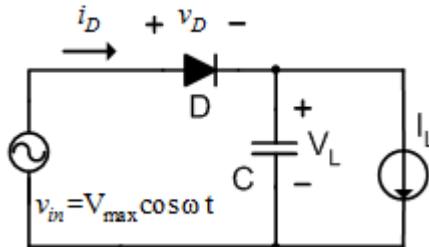


Figura 6: Retificador de meia onda com fonte senoidal.

Como exemplo da inadequação do modelo da queda de tensão constante na análise de circuitos de baixa tensão, apresentamos o retificador mosstrado na Figura 6. As fórmulas para os valores da corrente de pico e do ângulo de condução do diodo apresentadas em alguns livros [39] [38], reescritas por conveniência, são

$$\theta_C = \sqrt{\frac{2\Delta V}{V_{max}}} \quad (1)$$

$$I_P = I_L \left(\frac{4\pi}{\theta_C} + 1 \right) \quad (2)$$

onde θ_C é o ângulo de condução da corrente no diodo, ΔV é a tensão de *ripple*, V_{max} é a tensão de pico na entrada e I_L é a corrente média na carga.

Para o caso limite de muito baixo *ripple* de tensão ($\Delta V \rightarrow 0$), a máxima corrente no diodo $I_P \rightarrow \infty$ (eq. 2), que é obviamente um resultado não físico, consequência do modelo de queda de tensão constante, o qual não impõe limite para a máxima corrente no diodo.

As Figuras 7, 8 e 9 ilustram a operação em regime permanente do retificador de meia onda da Figura 6, com tensão de pico na entrada de 4,5 V, para diferentes valores do capacitor C e corrente de carga constante. Estes gráficos foram gerados no simulador SPICE ADS (Advanced Design Systems da Agilent Technologies) usando um diodo 1N4148 e considerando $V_{max} = 4,5V$, $f=120\text{ Hz}$ e $I_L = 4\mu\text{A}$. Os parâmetros do diodo descrito pela relação I-V

$$I_D = I_o \left[e^{\frac{V_D}{n\phi_t}} - 1 \right] \quad (3)$$

são ϕ_t , a tensão térmica, n , o fator de inclinação e I_o a corrente de saturação do diodo.

Para as simulações apresentadas (salvo indicado em contrário) a seguir foram utilizados $I_o = 4,5\text{ nA}$ e $n\phi_t = 45\text{ mV}$.

Na Figura 7 a tensão de *ripple* é grande (1 V) e o diodo se comporta como esperado na análise clássica, isto é, o pico de corrente no diodo coincide com o instante em que o diodo entra em condução. O ângulo de condução usando a equação (1) é de 38° e o pico de corrente usando a equação (2) é de $75\mu\text{A}$, ambos resultados bem próximos dos valores obtidos da simulação mostrada na Figura 7. Nas Figuras 7 a 12, $\Delta\phi$ é a diferença angular entre os picos de tensão de entrada e da corrente do diodo.

O *ripple* na Figura 8 é reduzido em cinco vezes em relação ao da Fi-

gura 7, mas se pode observar um aumento moderado na corrente de pico do diodo. A diferença de fase $\Delta\phi$ entre os picos da corrente no diodo e da tensão de entrada é reduzida na comparação com a diferença de fase mostrada na Figura 7. Na Figura 9 a tensão na carga é praticamente constante e, como consequência, o pico da corrente no diodo ocorre simultaneamente com o pico da tensão de entrada, como era esperado. A corrente máxima no diodo tem aproximadamente o mesmo valor que o da Figura 8. Pode-se concluir, a partir da Figura 9, que, para *ripple* de tensão pequeno, o ângulo de condução do diodo e o pico de corrente no mesmo são independentes do *ripple* de tensão, em contradição com as equações (1) e (2).

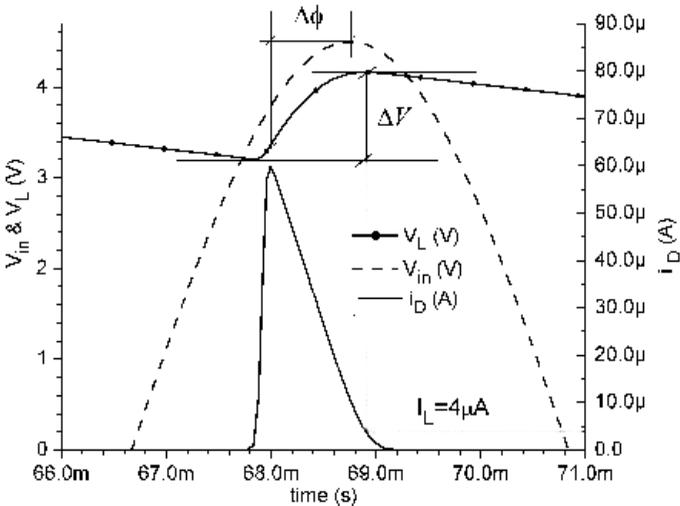


Figura 7: Tensões de entrada e de saída e corrente do diodo do retificador de meia onda para $C=30\text{ nF}$, $I_o=4,5\text{ nA}$, $I_L = 4\text{ }\mu\text{A}$, $V_{max}=4,5\text{ V}$, $n\phi_t=45\text{ mV}$, $f=120\text{ Hz}$.

As Figuras 10, 11 e 12 mostram, também, o ângulo de condução, mas variando-se a corrente de carga. Na Figura 10 a tensão na carga é praticamente constante e, como consequência, o pico da corrente no diodo ocorre simultaneamente ao pico da tensão de entrada. Para a operação em baixa tensão ilustrada nas Figuras 10, 11 e 12, o modelo de queda de tensão constante do diodo é, claramente, inadequado, devendo-se utilizar o modelo de Shockley do diodo dado pela relação (3), com $v_D = V_{max}\cos\omega t - V_L$.

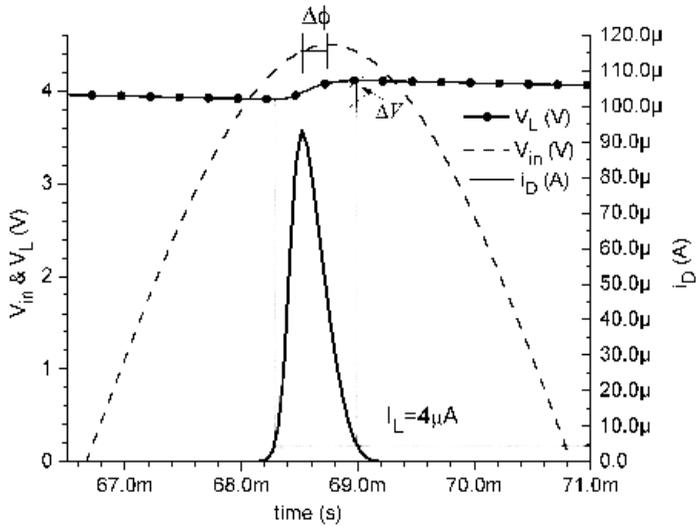


Figura 8: Tensões de entrada e de saída e corrente do diodo do retificador de meia onda para $C=150$ nF, $I_o=4,5$ nA, $I_L = 4$ μ A, $V_{max}=4,5$ V, $n\phi_t=45$ mV, $f=120$ Hz.

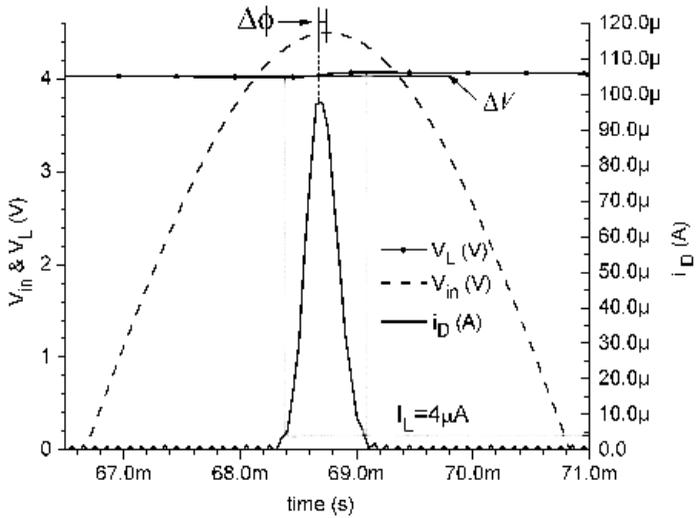


Figura 9: Tensão de entrada e de saída e corrente do diodo do retificador de meia onda para $C=600 \text{ nF}$, $I_o=4,5 \text{ nA}$, $I_L = 4 \mu A$, $V_{max}=4,5 \text{ V}$, $n\phi_t=45 \text{ mV}$, $f=120 \text{ Hz}$.

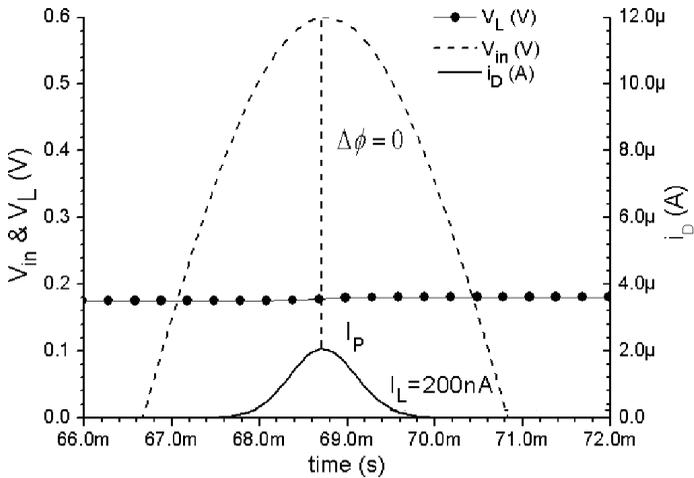


Figura 10: Tensão de entrada e de saída e corrente do diodo do retificador de meia onda para $C=150 \text{ nF}$, $I_o=4,5 \text{ nA}$, $I_L=200 \text{ nA}$, $V_{max}=600 \text{ mV}$, $n\phi_t=45 \text{ mV}$, $f=120 \text{ Hz}$.

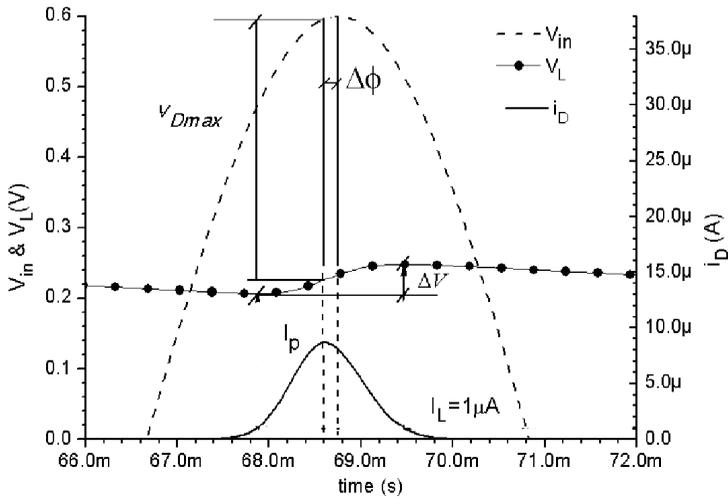


Figura 11: Tensão de entrada e de saída e corrente do diodo do retificador de meia onda para $C=150$ nF, $I_o=4,5$ nA, $I_L = 1 \mu\text{A}$, $V_{max}=600$ mV, $n\phi_t=45$ mV, $f=120$ Hz.

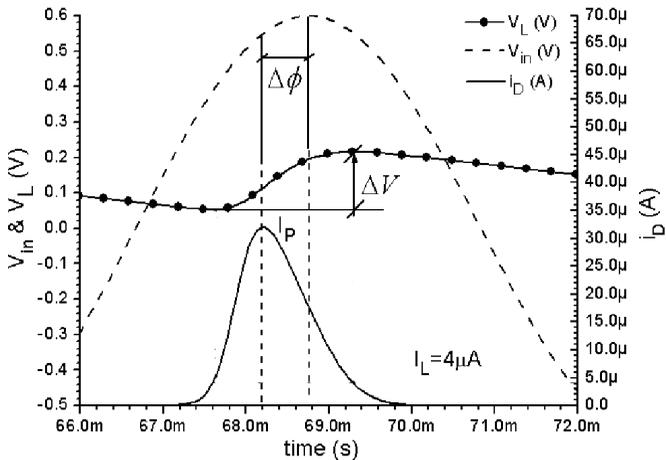


Figura 12: Tensão de entrada e de saída e corrente do diodo do retificador de meia onda para $C=150$ nF, $I_o=4,5$ nA, $I_L = 4 \mu\text{A}$, $V_{max}=600$ mV; $n\phi_t=45$ mV; $f=120$ Hz.

2.1.2 Modelo proposto para corrente de pico e ângulo de condução do diodo

Um circuito retificador operando com *ripple* de tensão de pequeno valor foi analisado em [36]. Definimos em nossas publicações o ângulo de condução do diodo como o ângulo para o qual a carga que flui pelo diodo é de 95% da carga total em um ciclo. A Figura 13 mostra a definição do ângulo de condução adotado nesta tese.

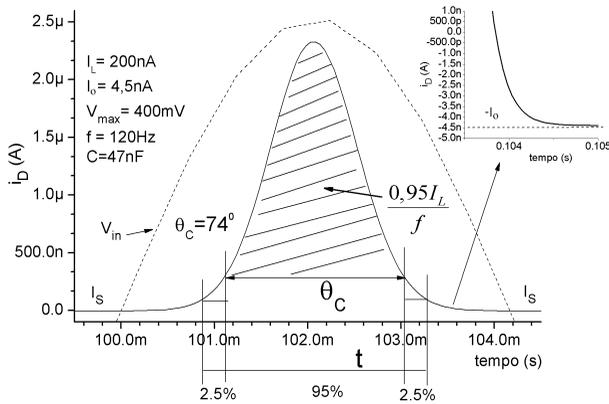


Figura 13: Ângulo de condução do diodo do retificador de meia onda para $C=47 \text{ nF}$; $I_o=4,5 \text{ nA}$; $I_L=200 \text{ nA}$; $V_{max}=400 \text{ mV}$; $n\phi_t=48,5 \text{ mV}$; $f=120 \text{ Hz}$.

O ângulo de condução deduzido usando o modelo exponencial do diodo e conservação de carga é [36]:

$$\theta_C \triangleq 4\sigma = 4\sqrt{\frac{n\phi_t}{V_{max}}} \quad (4)$$

Para evitar a singularidade nesta função, podemos escrever:

$$\theta_C \cong 4\sqrt{\frac{n\phi_t}{V_{max} \left[1 + \frac{4}{\pi^2} \frac{n\phi_t}{V_{max}} \right]}} \quad (5)$$

Para valores de $V_{max}/n\phi_t \gg 1$ a corrente de pico no diodo é dada por:

$$I_P \cong I_o \left(e^{\frac{V_{max}-V_L}{n\phi_t}} - 1 \right) \cong I_L \sqrt{\frac{2\pi V_{max}}{n\phi_t}} \quad (6)$$

Para pequenos valores de tensão de entrada $V_{max}/n\phi_t \ll 1$ e da corrente média na carga I_L , $I_L/I_o \ll 1$, a relação (6) pode ser reescrita como

$$\frac{I_P}{I_o} \cong \frac{V_{max}}{n\phi_t} + \frac{I_L}{I_o} \quad (7)$$

Aplicando as equações 4 e 6 ao exemplo da Figura 9, obtém-se $I_P = 100 \mu\text{A}$ e $\theta_C = 23^\circ$, sendo um bom resultado na comparação com a simulação. Dessa forma, para calcular a corrente de pico no diodo num retificador é adequado considerar, numa primeira aproximação, o caso cujo *ripple* é zero. O modelo clássico (2) e o modelo da equação (6) fornecem resultados similares no caso de tensão de *ripple* da ordem de $12n\phi_t$, para tensões de entrada superiores a algumas centenas de milivolts. Para baixas tensões de operação, da ordem de dezenas de milivolts, o modelo apresentado em [36] pode ser utilizado.

Como mostrado na Figura 14, o ângulo de condução do diodo depende do valor de pico da tensão de entrada sendo tipicamente, pouco sensível à corrente de carga. Para tensão de entrada do circuito retificador muito baixa, o ângulo de condução do diodo é relativamente grande e a aproximação utilizada na derivação de (4) não é válida.

A Figura 15 apresenta uma comparação entre o modelo apresentado, o modelo de livros-texto e simulações elétricas para a corrente de pico. Para a simulação elétrica foi utilizado o diodo 1N4148 com as propriedades indicadas na Figura 15. Observamos na Figura 15 uma excelente concordância entre o modelo proposto neste trabalho e os resultados de simulação.

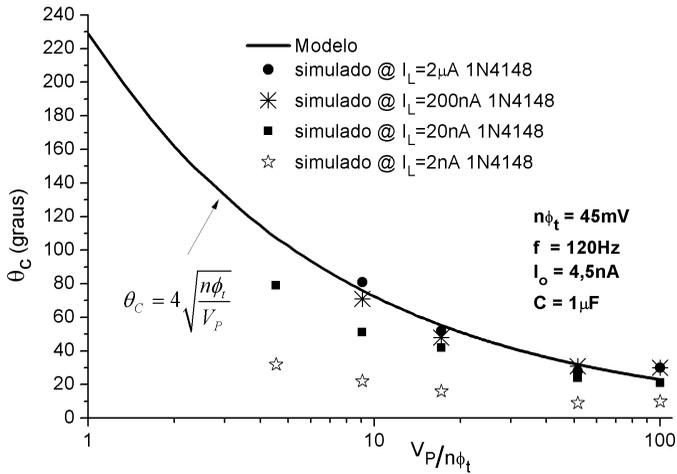


Figura 14: Comparação entre ângulo de condução do diodo simulado e calculado e modelo (4) proposto para o retificador de meia onda vs tensão de entrada normalizada.

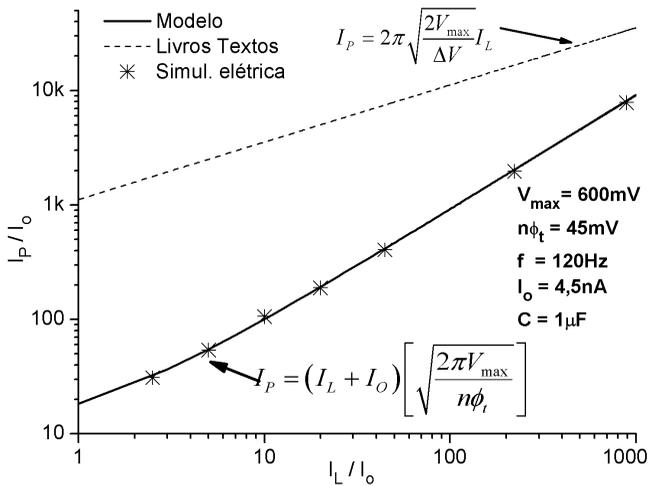


Figura 15: Corrente de pico vs. corrente de carga do diodo do retificador de meia onda.

2.2 CONVERSOR AC/DC - MULTIPLICADOR DE TENSÃO

Como já mencionado, o retificador é o estágio básico do multiplicador de tensão. Para realizar o estudo do mesmo serão assumidas as seguintes

premissas:

- a tensão AC na entrada do conversor será uma onda quadrada alterada e simétrica,
- o diodo é descrito pela equação de Shockley,
- a corrente na carga é constante.

Será assumida uma entrada em onda quadrada, pois torna os cálculos da tensão DC na saída e do *settling time* durante a inicialização (*startup*) mais simples. Além disso, os resultados obtidos para uma entrada de onda quadrada são similares aos de uma onda senoidal de entrada, como será mostrado nesta tese. Será assumido que o sinal de entrada é uma onda quadrada com razão cíclica (*duty cycle*) de 50%, conforme mostrado na Figura 17. Nesta figura, V_L representa o nível DC da tensão V_o da Figura .

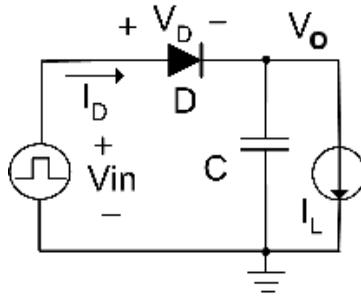


Figura 16: Retificador de meia onda com sinal em onda quadrada.

Também se assume que o diodo da Figura 16 é caracterizado pelo modelo Shockley (exponencial), ou seja:

$$I_D = I_o [e^{\frac{V_D}{n\phi_t}} - 1] \quad (8)$$

onde $V_D = V_{in} - V_o$.

O valor médio da corrente do diodo num ciclo completo do sinal de entrada é igual à corrente média na carga, isto é:

$$\frac{1}{T} \int_{-T/2}^{T/2} I_D dt = I_L \quad (9)$$

$$\int_{-T/2}^0 \exp\left(\frac{-V_P - V_o}{n\phi_t}\right) dt + \int_0^{T/2} \exp\left(\frac{V_P - V_o}{n\phi_t}\right) dt = \left(1 + \frac{I_L}{I_o}\right) T \quad (10)$$

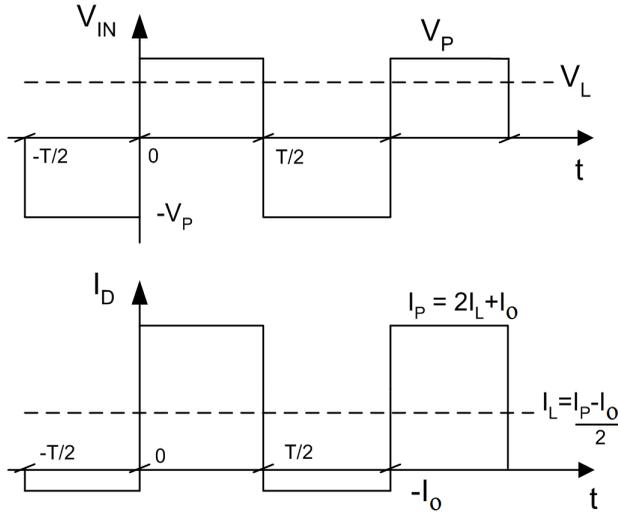


Figura 17: Formas de onda para análise do retificador de meia onda.

Assumindo que o valor do capacitor de carga é grande o suficiente para manter a tensão na carga constante, a solução da equação (10) é dada por:

$$\frac{V_o}{n\phi_t} = \frac{V_L}{n\phi_t} = \ln \left[\frac{\cosh(V_P/n\phi_t)}{1 + I_L/I_o} \right] \quad (11)$$

onde V_L representa o valor DC de V_o . Para pequenos valores da tensão de entrada, $V_P/n\phi_t < 1$ e corrente média na carga normalizada por I_o $I_L/I_o \ll 1$, a equação (11) pode ser reduzida para:

$$\frac{V_L}{n\phi_t} \cong \frac{1}{2} \left(\frac{V_P}{n\phi_t} \right)^2 \quad (12)$$

Para pequenos valores de tensão de entrada, o retificador opera como um detector de potência [41]. Para valores mais elevados de sinal de entrada, isto é, $V_P/n\phi_t > 1$, a tensão DC de saída pode ser aproximada como:

$$V_L \cong V_P - n\phi_t \ln [2(1 + I_L/I_o)] \quad (13)$$

Portanto, para valores elevados da entrada, o retificador opera como detector de pico.

A tensão de carga será igual à tensão de entrada V_P menos a queda de tensão direta através do diodo D , pelo qual flui uma corrente igual a I_P . Note que, para o detector de pico, $I_L = 0$. Quando o diodo está polarizado diretamente, existe uma queda de tensão no diodo de valor $n\phi_t \ln 2$ devido à corrente que flui através do mesmo, que é neste caso igual à corrente reversa do diodo I_o .

Esse modelo é muito simples, mostrando-se válido numa faixa bastante grande de variações de tensão de entrada e de corrente de carga, com elevada precisão conforme será mostrado na seção 2.6. Conhecendo-se a corrente de saturação do diodo I_o , a qual depende das dimensões do diodo e da tecnologia empregada, e as variáveis de projeto: tensão térmica, corrente média na carga I_L e a tensão de entrada V_P , facilmente se encontra a tensão de carga. Pode-se citar que este modelo é mais simples e mais preciso, numa faixa de variação maior de corrente de carga e tensão de entrada, do que diversos modelos apresentados anteriormente [2], [31], [32], [33], [34].

2.3 MULTIPLICADOR DE TENSÃO

A análise será realizada por meio do estudo do dobrador de tensão e, como no caso do retificador de meia onda, assume-se que as capacitâncias são suficientemente grandes para evitar mudanças significativas nas cargas armazenadas. A Figura 18 mostra o diagrama do dobrador de tensão para uma onda quadrada como tensão de entrada.

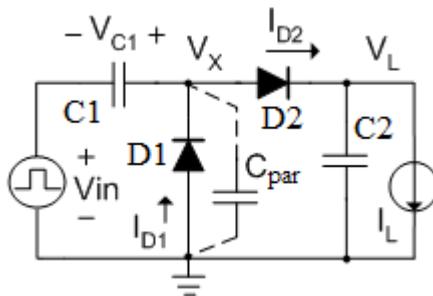


Figura 18: Diagrama elétrico do dobrador de tensão

Como as correntes médias que fluem através dos capacitores são iguais a zero, as correntes DC que fluem através dos diodos D_1 e D_2 são ambas iguais à corrente de carga I_L . A malha composta de D_1 , C_1 e o gerador de

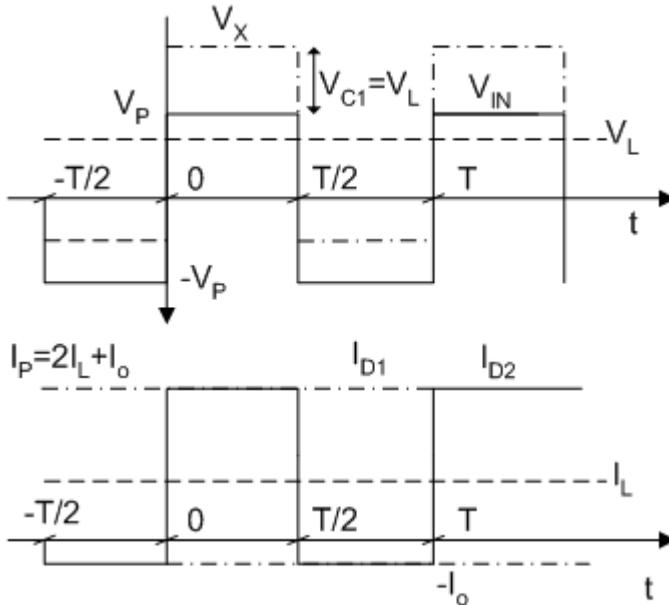


Figura 19: Formas de onda para análise do dobrador de tensão.

o sinal é um retificador de meia onda onde a corrente média de D_1 é igual a I_L . Dessa forma, a tensão V_{C1} armazenada em C_1 tem tensão média dada pela equação (11), ou seja:

$$\frac{V_{C1}}{n\phi_t} = \ln \left[\frac{\cosh(V_P/n\phi_t)}{1 + I_L/I_o} \right] \quad (14)$$

A tensão no nó V_X é igual à soma do sinal da onda quadrada e a tensão V_{C1} . Por esta razão, a tensão DC de saída do dobrador é igual ao valor calculado para o retificador de meia onda mais V_{C1} . Para diodos idênticos a tensão DC na saída será

$$\frac{V_L}{n\phi_t} = 2 \ln \left[\frac{\cosh(V_P/n\phi_t)}{1 + I_L/I_o} \right] \quad (15)$$

Pode-se estender esse resultado para um retificador de N -diodos ($N/2$ estágios). Assumindo, para efeito de simplificação, que todos os diodos no retificador são idênticos, tem-se:

$$\frac{V_L}{n\phi_t} = N \ln \left[\frac{\cosh(V_P/n\phi_t)}{1 + I_L/I_o} \right] \quad (16)$$

Para $V_P/n\phi_t > 1$ a equação (16) simplifica-se para:

$$V_L \cong N [V_P - n\phi_t \ln [2(1 + I_L/I_o)]] \quad (17)$$

2.3.1 Degradação da performance no dobrador de tensão devido às capacitâncias parasitas

Inicialmente, foi negligenciada a capacitância parasitária associada ao nó V_X . Entretanto, numa situação real, as capacitâncias parasitárias no nó X (fig. 18) contribuem para reduzir a tensão efetiva no diodo D1 [29] e, por consequência, reduzem a tensão DC na carga. Para efeito de simplificação, assume-se que a capacitância parasitária C_{par} no nó V_X é constante. Para calcular o efeito na tensão DC na carga usamos o princípio da conservação de carga, que resulta em

$$\frac{V_L}{n\phi_t} = 2 \ln \left[\frac{\cosh(\alpha_P V_P/n\phi_t)}{1 + I_L/I_o} \right] \quad ; \quad \alpha_P = \frac{C_1}{C_1 + C_{par}} \quad (18)$$

Observando-se a equação (18), o efeito da capacitância parasita na tensão de carga é equivalente a uma redução na tensão de entrada, proporcional a um fator de atenuação α_P [29], [32]. Então, deve-se ter $C_1 \gg C_{par}$ para reduzir o efeito da capacitância parasita. Jung Yi *et al* [34] apresentou um artigo mostrando que a capacitância de acoplamento C_1 deveria ser escalada com a corrente de carga numa razão C/I para aumentar a eficiência da conversão de potência. Entretanto, o capacitor integrado consome muita área de silício. Então, concluiu que uma razão entre 0,1 pF/1 μ A a 1 pF/1 μ A é uma boa relação entre eficiência e consumo de área para uma tecnologia CMOS 180 nm.

2.3.2 Eficiência de conversão de potência

A eficiência na conversão de potência - PCE (*Power Conversion Efficiency*) é uma variável importante a ser determinada, pois como será apresentado, esta é dependente do valor da tensão de entrada e da relação entre

as correntes de carga e de saturação do diodo. Desta forma, em função do sinal de entrada disponível e da corrente de carga necessária, pode-se determinar a máxima eficiência como função da corrente de saturação do diodo. Como exemplo, para conseguir uma eficiência na conversão de potência de 70%, seria necessário uma relação de tensão de entrada de $V_P/n\phi_t = 12$ (se $n\phi_t = 45 \text{ mV} \rightarrow V_P = 540 \text{ mV}$), com relação entre as correntes de carga e de saturação do diodo da ordem de 10 vezes.

A eficiência na conversão de potência do dobrador de tensão é a potência de saída dividida pela potência de entrada. Esta última é a soma da potência de saída e da perda de potência devido aos diodos D_1 e D_2 (Figura 18). A perda de potência devido aos diodos D_1 e D_2 é:

$$P_{loss} = \frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} (P_{D1} + P_{D2}) dt \quad (19)$$

$$P_{loss} = \frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} [-V_X I_{D1} + (V_X - V_L) I_{D2}] dt \quad (20)$$

Observando que:

$$V_X = V_{in} + \frac{V_L}{2} \quad (21)$$

$$I_{D1} = I_o \left(e^{-\frac{V_X}{n\phi_t}} - 1 \right) \quad (22)$$

$$I_{D2} = I_o \left(e^{\frac{V_X - V_L}{n\phi_t}} - 1 \right) \quad (23)$$

Substituindo as equações (21) a (23) na equação (20) tem-se:

$$P_{loss} = \frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} \left(-V_{in} - \frac{V_L}{2} \right) I_o \left(e^{\frac{-V_{in} - \frac{V_L}{2}}{n\phi_t}} - 1 \right) + \left(V_{in} - \frac{V_L}{2} \right) I_o \left(e^{\frac{V_{in} - \frac{V_L}{2}}{n\phi_t}} - 1 \right) dt \quad (24)$$

Para $-T/2 < t < 0 \rightarrow V_{in} = -V_P$ a integral acima escreve-se:

$$\begin{aligned} & \frac{1}{T} \int_{-\frac{T}{2}}^0 \left(V_P - \frac{V_L}{2} \right) I_o \left(e^{\frac{V_P - \frac{V_L}{2}}{n\phi_r}} - 1 \right) + \\ & + \left(-V_P - \frac{V_L}{2} \right) I_o \left(e^{\frac{-V_P - \frac{V_L}{2}}{n\phi_r}} - 1 \right) dt \end{aligned} \quad (25)$$

Para $0 < t < T/2 \rightarrow V_{in} = V_p$ a integral é:

$$\begin{aligned} & \frac{1}{T} \int_0^{\frac{T}{2}} \left(-V_P - \frac{V_L}{2} \right) I_o \left(e^{\frac{-V_P - \frac{V_L}{2}}{n\phi_r}} - 1 \right) + \\ & + \left(V_P - \frac{V_L}{2} \right) I_o \left(e^{\frac{V_P - \frac{V_L}{2}}{n\phi_r}} - 1 \right) dt \end{aligned} \quad (26)$$

O termo de P_{D1} para $-T/2 < t < 0$ é igual ao termo de P_{D2} para $0 < t < T/2$, e o termo de P_{D1} para $0 < t < T/2$ é igual ao termo de P_{D2} para $-T/2 < t < 0$, ou seja, os diodos consomem a mesma potência em um ciclo.

Lembrando que V_L é considerada constante e integrando no período t a equação (24) pode-se escrever

$$\begin{aligned} P_{loss} = I_o & \left[\left(V_P - \frac{V_L}{2} \right) \left(e^{\frac{V_P - \frac{V_L}{2}}{n\phi_r}} - 1 \right) \right] + \\ & + I_o \left[\left(-V_P - \frac{V_L}{2} \right) \left(e^{\frac{-V_P - \frac{V_L}{2}}{n\phi_r}} - 1 \right) \right] \end{aligned} \quad (27)$$

$$\begin{aligned} P_{loss} = I_o & \left(V_P - \frac{V_L}{2} \right) \left(e^{\frac{V_P - \frac{V_L}{2}}{n\phi_r}} - 1 \right) + \\ & + \left(-V_P - \frac{V_L}{2} \right) \left(e^{\frac{-V_P - \frac{V_L}{2}}{n\phi_r}} - 1 \right) \end{aligned} \quad (28)$$

$$P_{loss} = I_o V_L + I_o \left[\left(V_P - \frac{V_L}{2} \right) e^{\frac{V_P}{n\phi_r}} - \left(V_P + \frac{V_L}{2} \right) e^{-\frac{V_P}{n\phi_r}} \right] e^{-\frac{V_L}{2n\phi_r}} \quad (29)$$

$$P_{loss} = I_o V_L + I_o \left[V_P \left(e^{\frac{V_P}{n\phi_t}} - e^{-\frac{V_P}{n\phi_t}} \right) - \frac{V_L}{2} \left(e^{\frac{V_P}{n\phi_t}} + e^{-\frac{V_P}{n\phi_t}} \right) \right] e^{-\frac{V_L}{2n\phi_t}} \quad (30)$$

ou, equivalentemente

$$P_{loss} = I_o V_L + I_o \left[2V_P \sinh \left(\frac{V_P}{n\phi_t} \right) - V_L \cosh \left(\frac{V_P}{n\phi_t} \right) \right] e^{-\frac{V_L}{2n\phi_t}} \quad (31)$$

Manipulando a equação do dobrador de tensão temos

$$e^{-\frac{V_L}{2n\phi_t}} = \frac{1 + \frac{I_L}{I_o}}{\cosh \left(\frac{V_P}{n\phi_t} \right)} \quad (32)$$

Substituindo a equação (32) na equação (31) obtemos

$$P_{loss} = I_o V_L + (I_L + I_o) \left[2V_P \frac{\sinh \left(\frac{V_P}{n\phi_t} \right)}{\cosh \left(\frac{V_P}{n\phi_t} \right)} - V_L \right] \quad (33)$$

Logo:

$$P_{loss} = -V_L I_L + 2(I_L + I_o) V_P \tanh \left(\frac{V_P}{n\phi_t} \right) \quad (34)$$

Definimos a eficiência de conversão de potência como

$$PCE = \frac{P_{out}}{P_{in}} = \frac{P_{out}}{P_{out} + P_{loss}} \quad (35)$$

Sabendo que:

$$P_{out} = V_L I_L \quad (36)$$

A eficiência na conversão de potência será

$$PCE = \frac{V_L I_L}{2V_P (I_L + I_o) \tanh \left(\frac{V_P}{n\phi_t} \right)} \quad (37)$$

Substituindo V_L por meio da equação do dobrador de tensão (15):

$$PCE = \frac{\frac{n\phi_t}{V_P}}{\left(1 + \frac{I_o}{I_L}\right) \tanh\left(\frac{V_P}{n\phi_t}\right)} \ln \left[\frac{\cosh\left(\frac{V_P}{n\phi_t}\right)}{1 + \frac{I_L}{I_o}} \right] \quad (38)$$

Se $V_P/n\phi_t > 1$

$$PCE \cong \frac{\frac{n\phi_t}{V_P}}{\left(1 + \frac{I_o}{I_L}\right)} \ln \left[\frac{\frac{e^{\frac{V_P}{n\phi_t}}}{2}}{1 + \frac{I_L}{I_o}} \right] \quad (39)$$

$$PCE \cong \frac{1}{\left(1 + \frac{I_o}{I_L}\right)} \left[1 - \frac{n\phi_t}{V_P} \ln \left[2 \left(1 + \frac{I_L}{I_o}\right) \right] \right] \quad (40)$$

Nas Figuras 20 e 21 são mostradas as dependências de ambos PCE e V_L com a corrente de carga para alguns valores de magnitude do sinal de entrada. Deve-se notar que a tensão DC de saída e a corrente de carga estão normalizadas por $n\phi_t$ e I_o , respectivamente. Os resultados mostrados nas Figuras 20 e 21 podem ser utilizados para determinar as dimensões dos diodos para uma dada tecnologia. Este tema será mais bem abordado no capítulo 3.

Para uma tensão de entrada fixa, o PCE atinge seu máximo para um dado valor da razão entre as correntes de carga e de saturação. Como exemplo, para $V_P/n\phi_t = 6$, o PCE máximo de aproximadamente 50% é obtido para para $I_L/I_o \cong 4$. Atingir o valor de PCE máximo é o ideal no projeto de um multiplicador eficiente. Entretanto, para operação com menores potências na entrada (e menores tensões também), o PCE será reduzido conforme mostrado nas Figuras 20 e 21. Da equação (39) pode-se encontrar o valor de I_L/I_o para o qual tem-se o valor de PCE máximo atingível, dado por:

$$\left(\frac{I_L}{I_o}\right)_{PCE_{\max}} = \ln \left[\frac{\cosh\left(\frac{V_P}{n\phi_t}\right)}{1 + \left(\frac{I_L}{I_o}\right)_{PCE_{\max}}} \right] \quad (41)$$

ou, equivalentemente

$$\left(\frac{I_L}{I_o}\right)_{PCE_{\max}} = \frac{V_L}{2n\phi_t} \quad (42)$$

A equação (42) mostra que o dobrador de tensão tem sua máxima eficiência para uma corrente de carga igual à corrente de saturação do diodo vezes um fator que é a tensão DC na carga normalizada por um fator $2n\phi_t$.

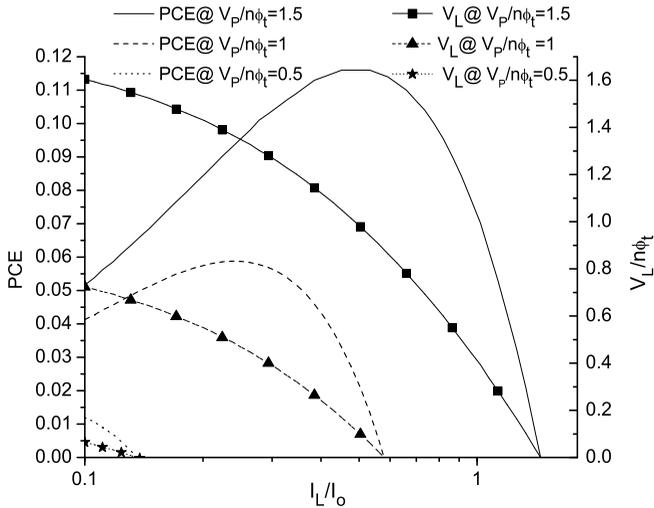


Figura 20: Eficiência de conversão de potência e tensão na carga do dobrador vs. corrente média na carga normalizada para valores de $V_P/n\phi_t$ de 0.5, 1 e 1.5.

Este resultado pode ser extrapolado para o multiplicador de N -estágios por meio da modificação do fator de normalização de $2n\phi_t$ para $Nn\phi_t$. Esta equação é importante, pois relaciona as correntes de carga e de saturação do diodo. Como exemplo, se $V_L/2n\phi_t = 16,7$ ($V_L=1\text{V}$ e $n\phi_t = 60\text{mV}$), a corrente de saturação do diodo deverá ser igual à corrente de carga dividida por 16,7 para máxima PCE.

Inserindo os valores de I_L/I_o dados pela equação (41) na relação (37), e a relação entre V_L e V_P dados pela equação (16), pode-se plotar o PCE máximo em termos de V_P , como mostrado no gráfico da Figura 22. O dobrador pode operar com uma eficiência de 10% para uma tensão de entrada pequena da ordem de $1,5n\phi_t$. Entretanto, a corrente média na carga disponível neste caso seria de 40% da corrente de saturação do diodo. Para operar eficientemente com uma corrente média na carga da ordem de várias vezes a corrente de saturação, a tensão de entrada deve ser da ordem de várias dezenas de milivolts. Uma possibilidade para aumentar a eficiência do retificador é a escolha de um diodo com o fator de não idealidade próximo a um ($n \cong 1$). Também, sempre que possível, a corrente de saturação do diodo deve ser escolhida para que o dobrador (multiplicador) opere próximo ao ponto de PCE máximo dado pela equação (42) (para um multiplicador de N -estágios sim-

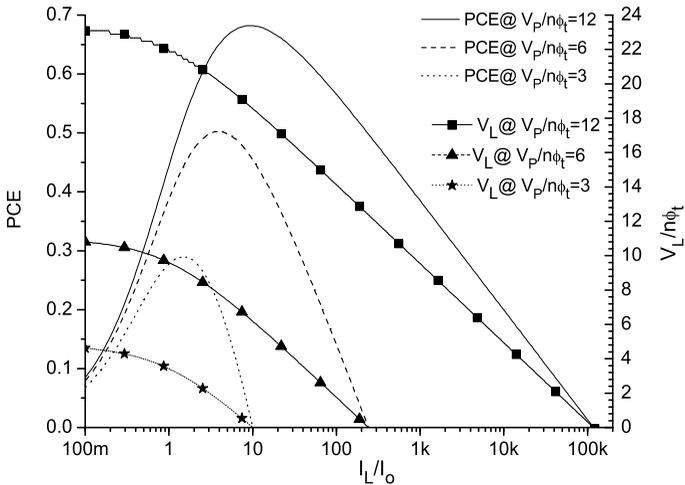


Figura 21: Eficiência de conversão de potência e tensão na carga do dobrador vs. corrente média na carga normalizada para valores de $V_P/n\phi_t$ de 1.5, 3, 6 e 12.

plesmente substitui-se 2 por N na equação (42)). Essa escolha pode, entretanto, dependendo do caso, causar um aumento na capacitância parasita do diodo, desfazendo o benefício inicial [32].

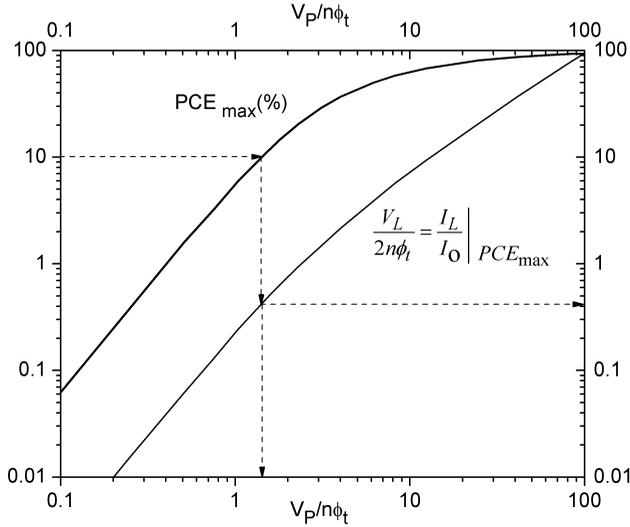


Figura 22: Máxima eficiência de conversão de potência e tensão DC de carga do dobrador vs. amplitude da tensão de entrada.

2.4 RESPOSTA TRANSIENTE E TENSÃO DE RIPPLE

2.4.1 Retificador de meia onda durante a inicialização (*startup*)

Para a análise transiente, assume-se que o capacitor na saída do retificador está inicialmente descarregado e que a corrente na carga é zero durante o *startup*. Em cada ciclo, a carga ΔQ transferida da fonte para o capacitor é:

$$\Delta Q = \int_{t-T/2}^{t+T/2} I_D dt = I_o \left[\int_{t-T/2}^t e^{\left(\frac{-V_P-V_o}{n\phi_t}\right)} dt + \int_t^{t+T/2} e^{\left(\frac{V_P-V_o}{n\phi_t}\right)} dt - T \right] \quad (43)$$

Assumindo que a variação na tensão de saída num ciclo é muito menor que $n\phi_t$, a equação (43) pode ser simplificada como

$$\frac{\Delta Q}{I_o T} \cong \frac{e^{\left(\frac{-V_P-V_o}{n\phi_t}\right)} + e^{\left(\frac{V_P-V_o}{n\phi_t}\right)}}{2} - 1 \quad (44)$$

Portanto, após um ciclo, a variação na tensão do capacitor torna-se

$$V_o(t+T) = V_o(t) + \frac{\Delta Q}{C} \cong V_o(t) + \frac{I_o T}{C} \left[\frac{e^{\left(\frac{-V_P - V_o}{n\phi_t}\right)} + e^{\left(\frac{V_P - V_o}{n\phi_t}\right)}}{2} - 1 \right] \quad (45)$$

A equação que descreve o comportamento transiente é

$$\frac{\Delta V_o}{T} = \frac{V_o(t+T) - V_o(t)}{T} \cong \frac{dV_o}{dt} = \frac{I_o}{C} \left[\frac{e^{\left(\frac{-V_P - V_o}{n\phi_t}\right)} + e^{\left(\frac{V_P - V_o}{n\phi_t}\right)}}{2} - 1 \right] \quad (46)$$

A solução da equação (46), uma equação diferencial linear em $e^{-V_o/n\phi_t}$ é:

$$e^{(V_o/n\phi_t)} - 1 = [\cosh(V_P/n\phi_t) - 1] [1 - e^{-t/\tau_0}] \quad (47)$$

onde $\tau_0 = C/g_{d0}$; $g_{d0} = I_o/n\phi_t$ é a condutância do diodo para $I_D = 0$.

O tempo T_S requerido para carregar o capacitor até uma tensão V_{fin} , de acordo com a equação (47) será:

$$e^{T_S/\tau_0} = \frac{\cosh(V_P/n\phi_t) - 1}{\cosh(V_P/n\phi_t) - e^{(V_{fin}/n\phi_t)}} \quad (48)$$

Agora, assumindo que a tensão final $V_{fin} = V_L$ e com V_L dado pela equação (11) (isto corresponde à carga do capacitor de 0 até V_L) e fazendo uso de um circuito de *wake-up*¹, o qual conecta a carga diretamente imediatamente após a tensão de saída chegar ao valor de V_L . Neste caso, o tempo de *settling time* T_S para o retificador de meia onda será:

$$\begin{aligned} \frac{T_S}{\tau_0} &= \ln \frac{(1 + I_o/I_L)[\cosh(V_P/n\phi_t) - 1]}{\cosh(V_P/n\phi_t)} = \\ &= \ln \left[1 + \frac{I_o}{I_L} \right] \left(1 - \frac{I_o}{I_o + I_L} e^{-V_L/n\phi_t} \right) \end{aligned} \quad (49)$$

¹Wake-up: assume-se que o dispositivo já foi preparado e colocado em um estado de hibernação, geralmente para preservar energia enquanto ele não estiver sendo usado. Ele geralmente permite um início mais rápido porque a inicialização já foi feita. Normalmente, é utilizado em computadores portáteis para que eles possam hibernar quando a tampa é fechada, mas estar prontos para uso assim que for aberta novamente.

Para $I_L/I_o \gg 1$ e $V_L > n\phi_t$, o *settling time* torna-se:

$$T_s \cong \tau_0 \frac{I_o}{I_L} = C \frac{n\phi_t}{I_L} \quad (50)$$

O *settling time* dado pela equação (50) é igual ao produto da capacitância de carga e da resistência dinâmica do diodo pelo qual passa uma corrente DC igual à corrente que flui pela carga.

A Figura 23 mostra a tensão de saída como função do tempo nas condições de medida, simulada e o modelo apresentado para um retificador de meia onda da Figura 16. Para as medidas foram utilizados geradores de função HP 4114 e osciloscópio Tektronix TDS 2014. Para as simulações elétricas foi utilizado o *software* ADS SPICE. Na Figura 23, a linha tracejada horizontal $V_o = 0.16V$ corresponde a $I_L/I_o \cong 8.2$. O tempo de *settling time* medido neste caso é, aproximadamente, de 52ms, enquanto o *settling time* teórico é $T_s \cong \tau/8.2 \cong 57ms$, mostrando uma ótima precisão do modelo (equação (50)).

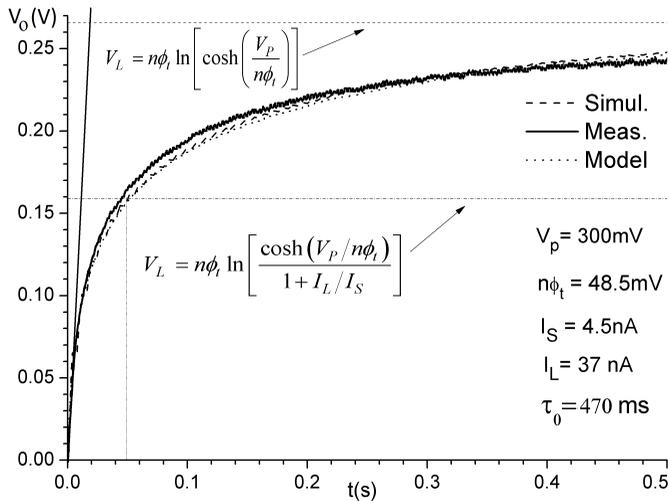


Figura 23: Resposta transiente do retificador de meia onda para $V_p/n\phi_t = 6.2$, capacitor $C=47nF$.

A Tabela 7 mostra uma comparação entre o modelo para o *settling time*, medidas e simulações para o retificador de meia onda.

Tabela 7: Settling time do retificador de meia onda. $I_o = 4,5 \text{ nA}$, $n\phi_t = 48,5 \text{ mV}$ e $C_{out} = 47 \text{ nF}$. T_S está em ms.

$V_P(\text{mV})$	$I_L(\text{mA})$	$T_S(\text{simul.})$	$T_S(\text{eq. 49})$	$T_S(\text{experim.})$
100	10	43	42	-
150	10	146	140	120
200	20	91	86	-
300	37	62	56	52

2.4.2 Ripple de tensão de saída do retificador de meia onda

Para a análise assume-se inicialmente que, para o retificador de meia onda, a tensão de saída V_o não é constante. De acordo com as Figuras 16 e 17, durante o semiciclo negativo do sinal de entrada, o capacitor descarrega-se a uma taxa igual à corrente média na carga somada à corrente reversa do diodo I_o . Portanto, a tensão *ripple* é

$$\Delta V \cong \frac{I_o + I_L}{2fC} \quad (51)$$

A equação (51) é o resultado esperado para o *ripple* de um capacitor descarregado por uma corrente constante igual a $I_L + I_o$ durante um intervalo de tempo igual a $T/2$. No anexo A encontra-se o desenvolvimento das equações para cálculo da tensão de *ripple*.

2.5 EQUIVALÊNCIA ENTRE TENSÕES DE ENTRADA SENOIDAIS E QUADRADAS PARA O RETIFICADOR

Até aqui, as análises foram realizadas considerando-se uma onda quadrada como sinal de entrada do retificador. Em muitos casos, o sinal de entrada se assemelha a uma onda senoidal. Com o objetivo de fazer uso da análise apresentada até este momento, vamos introduzir uma definição de equivalência entre ondas quadrada e senoidal na entrada do retificador. Assume-se que uma onda senoidal com valor de pico igual a V_A é equivalente a uma onda quadrada de amplitude V_P se, sob mesma condição de carga, elas produzirem a mesma tensão de saída DC. Para uma entrada senoidal, a corrente média na carga é

2.5 Equivalência entre tensões de entrada senoidais e quadradas para o retificador69

$$\frac{1}{T} \int_0^T i_D dt = \frac{1}{2\pi} \int_{-\pi}^{\pi} I_o e^{(V_A \cos\theta - V_L)/n\phi_t} d\theta - I_o = I_L \quad (52)$$

A equação (52) pode ser reescrita como

$$\frac{V_L}{n\phi_t} = \ln \left[\frac{I_0(V_A/n\phi_t)}{1 + I_L/I_o} \right] \quad (53)$$

onde

$$I_0(z) = \frac{1}{2\pi} \int_{-\pi}^{\pi} e^{z \cos\theta} d\theta \quad (54)$$

$I_0(z)$ é a função de Bessel modificada de primeira ordem [42]. Assume-se, para derivar a equação (53), que a tensão de saída V_o é constante. Comparando as equações (53) e (11) e aplicando a definição de equivalência entre ondas senoidais e quadradas, tem-se

$$I_0(V_A/n\phi_t) = \cosh(V_P/n\phi_t) \quad (55)$$

Dessa forma, uma onda senoidal é equivalente a uma onda quadrada se a relação entre suas amplitudes for dada pela equação (55). Essa relação é mostrada na Figura 24, assim como os resultados experimentais que verificam a validade da equação (55).

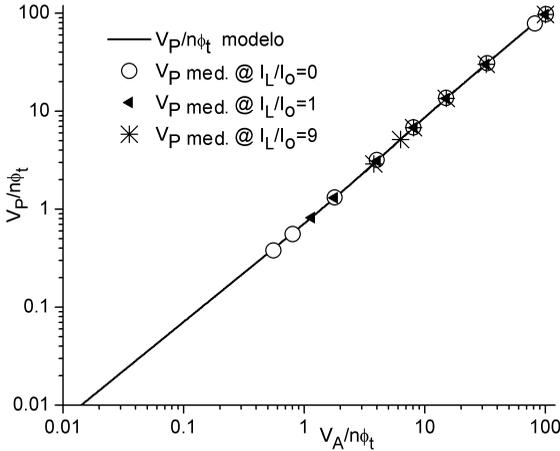


Figura 24: Equivalência entre onda senoidal e quadrada. V_A é o valor de pico da senóide e V_P é a amplitude da onda quadrada.

É interessante notar que, para $V_A/n\phi_t \ll 1$

$$V_A/n\phi_t \cong \sqrt{2}V_P/n\phi_t \quad (56)$$

Se $V_A/n\phi_t \gg 1$:

$$\frac{V_A}{n\phi_t} - \frac{\ln(V_A/n\phi_t)}{2} \cong \frac{V_P}{n\phi_t} + \ln(\sqrt{\pi/2}) \quad (57)$$

A última aproximação é consequência das aproximações assintóticas $I_0(z) \cong e^z/\sqrt{2\pi z}$ e $\ln[\cosh(z)] \cong z - \ln 2$ para valores elevados de z .

2.6 SIMULAÇÕES E EXPERIMENTOS

Para verificar a validade do modelo, foi simulado e medido o desempenho do retificador de meia onda e do dobrador de tensão. Para as medidas foram utilizados diodos 1N4148 e capacitores de 470 nF. Os parâmetros do diodo, $I_o = 4.5$ nA e $n\phi_t = 48,5$ mV, foram extraídos experimentalmente. A temperatura no momento das medidas foi de aproximadamente 25°C

As Figuras 25 e 26 mostram a dependência da tensão de saída do retificador de meia onda, com a corrente de carga para vários valores de amplitude de sinal de entrada. Nestas figuras, a linha sólida representa o modelo da

equação (11). Esses parâmetros foram inseridos no simulador ADS para gerar as curvas referentes às simulações. Como se pode perceber, o modelo apresenta uma precisão muito boa, na comparação com as medidas e simulações.

A tensão de *ripple* é, exceto para correntes de carga muito elevadas, uma pequena fração de $n\phi_t$, pois foi utilizada uma capacitância de elevado valor. Para $V_P/n\phi_t > 1$, a tensão de saída é igual ao valor de pico da tensão de entrada reduzida pelo termo $n\phi_t \ln [2(1 + I_L/I_o)]$ como previsto pela equação (13). Por outro lado, para $V_P/n\phi_t < 1$ a tensão DC de saída é proporcional ao quadrado do sinal de entrada [41], reduzido pelo termo $n\phi_t \ln(1 + I_L/I_o)$. Quando $I_L/I_o \ll 1$, $V_L \cong V_P^2 / (2n\phi_t)$, o qual para $V_P = 25$ mV, fornece $V_L = 6.4$ mV, um valor muito próximo do valor experimental mostrado na Figura 25.

As Figuras 27 e 28 mostram a dependência da tensão de saída do dobrador de tensão com a corrente média na carga para vários valores de amplitude de sinal de entrada. A linha sólida representa a equação (15).

Como se pode verificar nas Figuras 25 a 28, o modelo das equações 11 e 15 é muito preciso e válido até para tensões de entrada inferiores à tensão térmica.

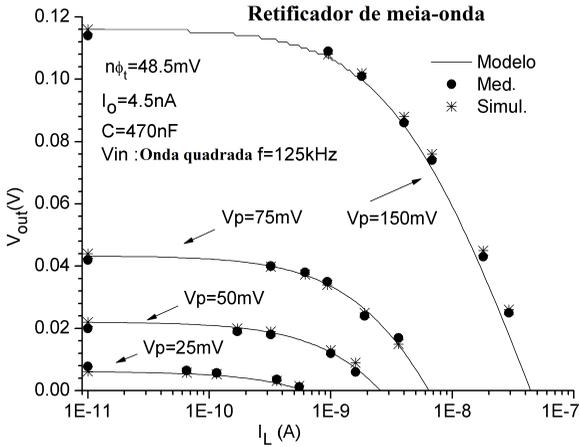


Figura 25: Tensão de saída do retificador de meia onda vs. corrente média na carga para $V_p = 25\text{ mV}$, 50 mV , 75 mV e 150 mV , onda quadrada na entrada, $f = 125\text{ kHz}$.

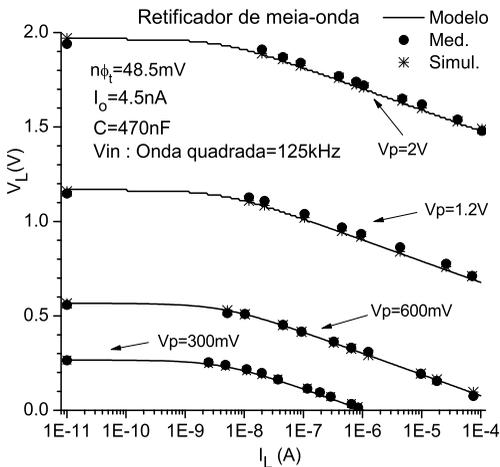


Figura 26: Tensão de saída do retificador de meia onda vs. corrente média na carga para $V_p = 300\text{ mV}$, 600 mV , $1,2\text{V}$ e 2V , onda quadrada na entrada, $f = 125\text{ kHz}$.

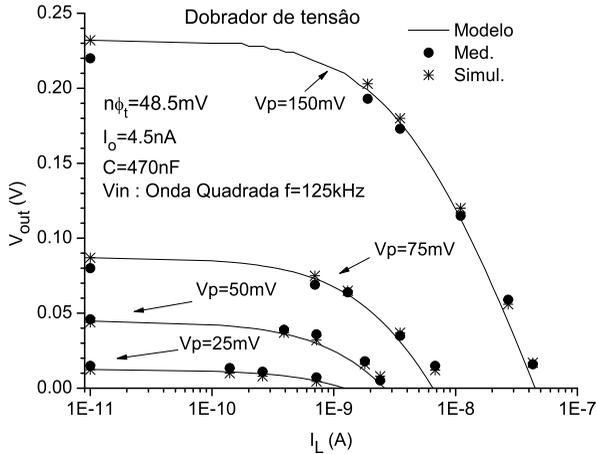


Figura 27: Tensão de saída do dobrador vs. corrente média na carga para $V_p = 25$ mV, 50 mV, 75 mV e 150 mV, onda quadrada na entrada, $f = 125$ kHz.

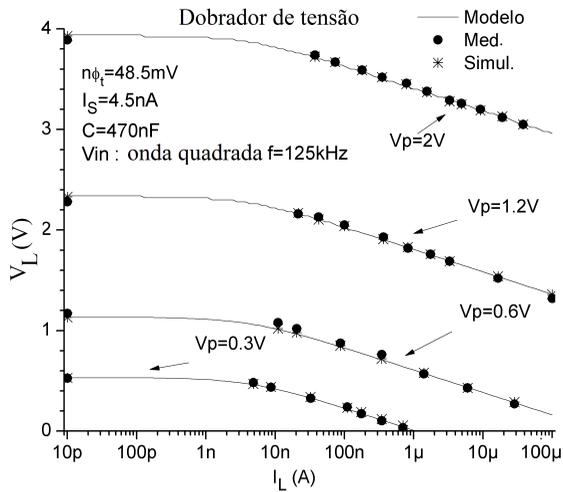


Figura 28: Tensão de saída do dobrador vs. corrente média na carga para $V_p = 300$ mV, 600 mV, 1,2V e 2V, onda quadrada na entrada, $f = 125$ kHz.

2.7 IMPEDÂNCIA DE ENTRADA DO CONVERSOR AC/DC

Uma antena é ligada ao retificador, que contém dispositivos não lineares. Consequentemente, o retificador apresenta impedância de entrada dependente do nível de sinal. Por sua vez, a tensão de entrada do retificador vai depender da composição resultante entre as impedâncias da antena e da entrada do retificador, conforme figura 29 [2].

A impedância de entrada do retificador possui uma componente real e uma imaginária formada pelas capacitâncias parasitárias dos diodos, estando ambas em paralelo na entrada do retificador. A parte real é dependente basicamente da tensão de entrada, das correntes média na carga e de saturação do diodo. A parte imaginária é dependente das dimensões do diodo e da frequência do sinal de entrada. Ambas as partes (real e imaginária) da impedância de entrada diminuem com o acréscimo do número de estágios do conversor AC/DC. Desta forma, a impedância de entrada é uma variável essencial para a maximização da potência disponível (e até mesmo para o correto funcionamento do conversor). A amplitude do sinal de entrada também tem algum efeito na parte imaginária, em consequência da variação de algumas capacitâncias com o nível de tensão aplicado.

2.7.1 Resistência de entrada do conversor AC/DC

A Figura 29 mostra o circuito equivalente da antena (a) e do conversor AC/DC (b) [2]:

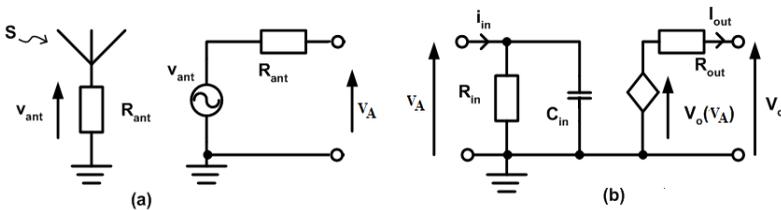


Figura 29: Circuito equivalente da antena (a) e do conversor AC/DC (b).

Devido ao comportamento não linear do diodo, a corrente que flui pelo diodo é pulsada (Figuras 7, 8 e 9). Por esse motivo, a impedância de entrada não pode ser definida rigorosamente. Mesmo assim, vamos definir uma resistência de entrada R_{in} que representa a potência média que entra no

retificador em um período do sinal de entrada [2]. A antena é modelada como uma fonte de tensão $v_{ant} = V_{max} \cos \theta$ em série com a resistência equivalente de radiação R_{ant} .

2.7.1.1 Entrada com sinal quadrado

Inicialmente, será realizada a análise com um sinal de entrada em onda quadrada, pois torna os cálculos mais simples. O diagrama elétrico é mostrado na Figura 30.

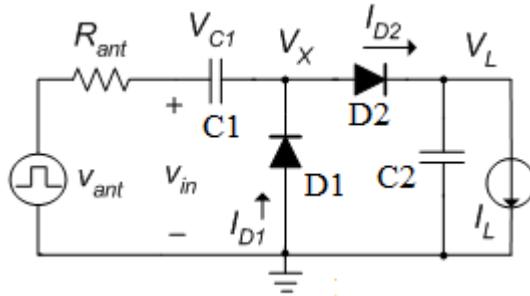


Figura 30: Diagrama elétrico do dobrador de tensão com antena e onda quadrada associada.

Onda quadrada na entrada:

$$v_{in} = -V_P \quad nT - T/2 < t \leq nT$$

$$v_{in} = V_P \quad nT < t \leq nT + T/2$$

A tensão de entrada V_P como função da potência disponível e da resistência de antena será:

$$V_P = 2\sqrt{R_{ant}P_{AV}} \frac{R_{in}}{R_{in} + R_{ant}} \quad (58)$$

Alternativamente, a potência média disponível:

$$P_{AV} = \frac{V_P^2}{4R_{ant}} \left(1 + \frac{R_{ant}}{R_{in}}\right)^2 \quad (59)$$

Recordando a equação da dissipação de potência nos diodos (eq. 34) com N substituindo o número 2:

$$P_{loss} = -V_L I_L + N(I_L + I_o) \alpha_P V_P \frac{\sinh(\alpha_P V_P / n\phi_t)}{\cosh(\alpha_P V_P / n\phi_t)} \quad (60)$$

A potência de entrada pode ser calculada como:

$$P_{in} = N(I_L + I_o) \alpha_P V_P \frac{\sinh(\alpha_P V_P / n\phi_t)}{\cosh(\alpha_P V_P / n\phi_t)} \quad (61)$$

Então, pode-se escrever a resistência de entrada

$$R_{in} = \frac{V_P^2}{P_{in}} = \frac{V_P}{\alpha_P N(I_L + I_o)} \frac{\cosh(\alpha_P V_P / n\phi_t)}{\sinh(\alpha_P V_P / n\phi_t)} \quad (62)$$

Recordando a equação da tensão DC na saída normalizada por $Nn\phi_t$

$$\frac{V_L}{Nn\phi_t} = N \ln \left[\frac{\cosh(V_P / n\phi_t)}{1 + I_L / I_o} \right] \quad (63)$$

obtemos a Tabela 8, que expressa as equações do multiplicador de tensão com onda quadrada de entrada.

Tabela 8: Resumo das equações para R_{in} , P_{in} e V_L para entrada em onda quadrada.

$V_P / n\phi_t$	< 1	> 1
P_{in}	$\cong N(I_L + I_o) (\alpha_P V_P)^2 / n\phi_t$	$\cong N(I_L + I_o) \alpha_P V_P$
$V_L / Nn\phi_t$	$\cong \frac{1}{2} \left(\frac{\alpha_P V_P}{n\phi_t} \right)^2 - \ln[1 + I_L / I_o]$	$\cong \frac{\alpha_P V_P}{n\phi_t} - \ln[2(1 + I_L / I_o)]$
R_{in}	$\cong \frac{n\phi_t}{\alpha_P^2 N(I_L + I_o)}$	$\frac{V_P}{\alpha_P N(I_L + I_o)}$

2.7.1.2 Entrada com sinal senoidal

Onda senoidal na entrada:

A tensão de entrada do multiplicador V_A como função da potência disponível, da resistência de antena e considerando a capacitância parasitária do retificador $C_{in} = 0$ será:

$$V_A = 2\sqrt{2R_{ant}P_{AV}} \frac{R_{in}}{R_{in} + R_{ant}} \quad (64)$$

Alternativamente, a potência média disponível:

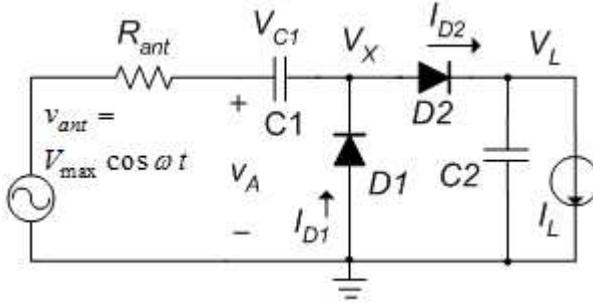


Figura 31: Diagrama elétrico do dobrador de tensão com antena e onda senoidal associada.

$$P_{AV} = \frac{V_A^2}{8R_{ant}} \left(1 + \frac{R_{ant}}{R_{in}} \right)^2 \quad (65)$$

A equação da dissipação de potência nos diodos para entrada senoidal será:

$$P_{loss} = -V_L I_L + N(I_L + I_o) \alpha_P V_A \frac{I_1(\alpha_P V_A / n\phi_t)}{I_0(\alpha_P V_A / n\phi_t)} \quad (66)$$

onde

$$I_0(z) = \frac{1}{2\pi} \int_{-\pi}^{\pi} e^{z \cos \theta} d\theta \quad (67)$$

$$I_1(z) = \frac{1}{2\pi} \int_{-\pi}^{\pi} e^{z \cos \theta} \cos \theta d\theta \quad (68)$$

A potência de entrada pode ser calculada como:

$$P_{in} = N(I_L + I_o) \alpha_P V_A \frac{I_1(\alpha_P V_A / n\phi_t)}{I_0(\alpha_P V_A / n\phi_t)} \quad (69)$$

A equação da tensão DC na saída normalizada por $Nn\phi_t$

$$\frac{V_L}{Nn\phi_t} = \ln \left[\frac{I_0(\alpha_P V_A / n\phi_t)}{1 + I_L / I_o} \right] \quad (70)$$

Então, pode-se escrever a resistência de entrada como sendo:

$$R_{in} = \frac{V_A^2}{2P_{in}} = \frac{V_A}{2\alpha_p N (I_L + I_o)} \frac{I_o (\alpha_p V_A / n\phi_t)}{I_1 (\alpha_p V_A / n\phi_t)} \quad (71)$$

A Tabela 9, que expressa as equações do multiplicador de tensão com onda senoidal de entrada.

Tabela 9: Resumo das equações para R_{in} , P_{in} e V_L para entrada em onda senoidal.

$V_A/n\phi_t$	< 1	> 1
P_{in}	$\cong N (I_L + I_o) (\alpha_p V_A)^2 / n\phi_t$	$\cong N (I_L + I_o) \alpha_p V_A$
$V_L/Nn\phi_t$	$\cong \frac{1}{4} \left(\frac{\alpha_p V_A}{n\phi_t} \right)^2 - \ln [1 + I_L/I_o]$	$\cong \frac{\alpha_p V_A}{n\phi_t} - \ln [2 (1 + I_L/I_o)]$
R_{in}	$\cong \frac{n\phi_t}{\alpha_p^2 N (I_L + I_o)}$	$\frac{V_A}{2\alpha_p N (I_L + I_o)}$

A aproximação para a resistência de entrada mostrada nas Tabelas 8 e 9 facilita a determinação da resistência de entrada do multiplicador de tensão. Essa simplificação é importante para o cálculo em primeira ordem para obter o casamento da antena com a entrada do retificador.

Para o caso da capacitância parasitária C_{in} não desprezível, ou melhor para $Q_{retif} = \omega C_{in} R_{in} > 1$, temos

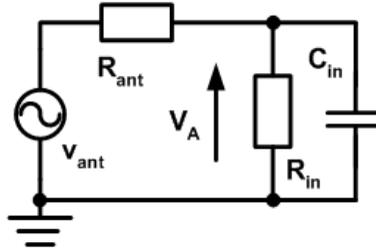


Figura 32: Circuito equivalente da antena com o retificador.

A tensão V_A é a tensão de pico na entrada do retificador.

$$\frac{V_A}{v_{ant}} = \frac{\frac{R_{in}}{R_{in}C_{in}s+1}}{R_{ant} + \frac{R_{in}}{R_{in}C_{in}s+1}} \quad (72)$$

A relação da potência disponível com a tensão e resistência de antena para sinal senoidal é

$$P_{AV} = \frac{V_{ant}^2}{8R_{ant}} \quad (73)$$

e substituindo-a na equação 72, temos

$$V_A = 2 \sqrt{\frac{2P_{AV}}{R_{ant} \left[\left(1 + \frac{R_{in}}{R_{ant}}\right)^2 + Q_{retif}^2 \right]}} R_{in} \quad (74)$$

O passo seguinte é estudar o transistor MOS ligado como diodo, a fim de projetar o multiplicador de tensão utilizando a tecnologia CMOS. Se o transistor MOS conectado como diodo seguir aproximadamente o modelo (exponencial) *Shockley* do diodo, o modelo apresentado nesta tese será válido também para predizer a tensão de saída DC do multiplicador de tensão projetado com transistores MOS. Mesmo que o transistor opere em regime não exponencial, ainda assim podemos utilizar os métodos aqui apresentados para fazer análise e projeto do conversor AC/DC.

3 PROJETO DE CONVERSORES AC/DC EM TECNOLOGIA CMOS

Como já discutido anteriormente, um dos desafios para circuitos de captação de energia é proporcionar alimentação para um sensor remoto e autônomo, ou um *tag* de RFID, quando a tensão na entrada do conversor AC/DC é de algumas dezenas de milivolts. Nesse caso, os diodos a serem utilizados, sejam eles diodos de junção PN, diodos Schottky ou transistor MOS conectado como diodo na região de inversão fraca, estarão operando abaixo de sua tensão de limiar (ou *threshold*). Na revisão bibliográfica foram encontradas diversas formas para ligar transistores MOS conectados como diodos ou associações/circuitos para realizar a função de um diodo.

3.1 TRANSISTOR MOS CONECTADO COMO DIODO

A Figura 33 mostra duas possíveis topologias para o transistor MOS conectado como diodo. É importante notar que a corrente é composta pela corrente de canal do transistor MOS mais a corrente nos diodos de junção. A desvantagem do transistor MOS na conexão usual, com o substrato (*bulk*)(B) ligado à fonte (S) (Fig. 33(a)), é que o diodo MOS e o diodo de junção estão conectados em antiparalelo. Conseqüentemente, quando o diodo MOS está polarizado em reverso, o diodo de junção está em polarização direta. Como resultado temos uma corrente que aumenta exponencialmente com a tensão reversa. Para evitar a alta corrente devido à polarização direta do diodo de junção, a conexão DTMOS (Dynamic Threshold Voltage MOSFET) pode ser usada. Na ligação DTMOS, a porta (*gate*) (G) é ligada ao substrato (33(b)) e, desta forma, os diodos de canal e de junção estão em paralelo. A conexão DTMOS pode ser usada para transistores canal p em um processo *n-well* ou para os transistores canal n em processos de *p-well* ou poço triplo (*triple well*). Para modelar os diodos MOS vamos usar por simplicidade, o modelo de inversão fraca, apropriado para operação em baixa tensão.

Na região de inversão fraca, a corrente de dreno para fonte é expressa por [43]

$$I_{DS} = \mu_0 n C'_{ox} \phi_t^2 e^1 \frac{W}{L} e^{\frac{V_{GB} - V_{TO}}{n\phi_t}} \left[e^{\frac{-V_{SB}}{\phi_t}} - e^{\frac{-V_{DB}}{\phi_t}} \right] \quad (1)$$

Denominando

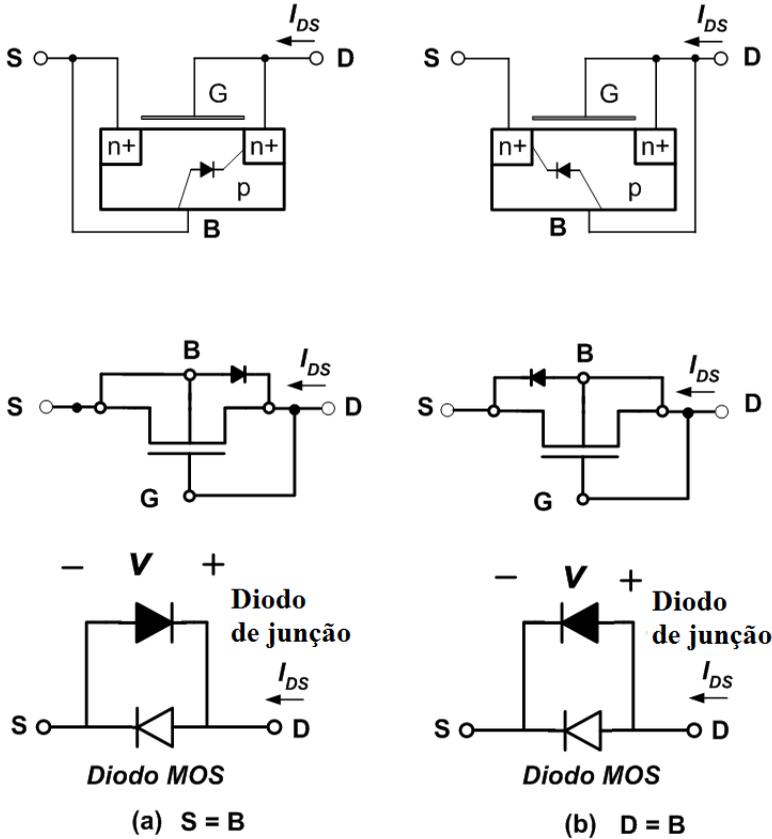


Figura 33: Transistor MOS conectado como diodo: (a) Ligação S=B (b) Ligação D=B

$$I_o = \mu_0 n C'_{ox} \phi_t^2 e^1 \frac{W}{L} e^{\frac{-V_{T0}}{n\phi_t}} = 2I_{SQ} e^1 \frac{W}{L} e^{\frac{-V_{T0}}{n\phi_t}} \quad (2)$$

a equação (1) é reescrita como

$$I_{DS} = I_o e^{\frac{V_{GB}}{n\phi_t}} \left[e^{\frac{-V_{SB}}{\phi_t}} - e^{\frac{-V_{DB}}{\phi_t}} \right] \quad (3)$$

μ_0 é a mobilidade dos portadores, W/L é a razão de aspecto do transistor, n é fator de inclinação, V_{T0} é a tensão de limiar (*threshold*) e C'_{ox} é a

capacitância do óxido por unidade de área.

Para a ligação convencional (Fig. 33 (a)) a corrente de dreno do diodo MOS é

$$I_{DS} = I_o \left[e^{\frac{v}{n\phi_t}} - e^{\frac{-(n-1)v}{n\phi_t}} \right] \quad (4)$$

onde, v é a tensão sobre o diodo.

A equação 4 mostra que a corrente reversa aumenta exponencialmente com a tensão reversa aplicada ao dispositivo e que o diodo extrínseco também contribui para o aumento da corrente reversa.

Para a ligação DTMOS, usando a equação (1) com $V_{GB} = 0$, $-V_{SB} = -v$ e $V_{DB} = 0$,

$$I_{DS} = I_o \left[e^{\frac{v}{\phi_t}} - 1 \right] \quad (5)$$

Como mostrado na equação (5), o diodo DTMOS se comporta como um diodo ideal com fator de idealidade $n = 1$ para operação em baixa tensão (inversão fraca). É interessante observar que a corrente I_o (dada pela equação (2)) corresponde à corrente de dreno saturada do transistor com $V_{GS} = V_{SB} = 0$. Como fica claro a partir da equação (2), para obter um diodo de alta corrente de saturação, para a operação eficiente em tensão baixa, deve-se utilizar uma tecnologia com um V_{TO} baixo e projetar uma razão de aspecto W/L adequada.

Um dos principais problemas dos transistores ligados como diodos (assim como em diodos comuns) é a sua tensão mínima de operação. Há diversos artigos publicados, com circuitos e/ou processos, com o intuito de reduzir/cancelar a tensão de limiar [20], [21], [23] e [44]. Estes circuitos foram estudados para avaliar sua aplicação nesta tese. Como exemplo, o diodo composto apresentado por Levaq [44], proposto inicialmente na tecnologia SOI (silício sobre isolante) foi adaptado para avaliação em tecnologia CMOS convencional. Comparando-se dados de simulação elétrica e de viabilidade das opções de conexão do transistor MOS conectado como diodo e estes diodos/processos especiais, optou-se pela utilização do transistor MOS conectado como diodo, sem a utilização de circuitos adicionais ou processos especiais e verificar as suas potencialidades para o trabalho desta tese.

Neste contexto, optou-se pela utilização da tecnologia IBM 130nm CM8RF, pois é uma tecnologia recente, e pode-se usar a integração gratuita com o programa universitário da MOSIS¹. Essa tecnologia fornece diversos

¹MOSIS é um serviço de produção de protótipo de baixo custo e pequeno volume de desen-

dispositivos interessantes para a utilização no projeto desta tese.

Um dispositivo interessante disponível nesta tecnologia, para ser utilizado quando se necessita de uma tensão de limiar pequena, é o transistor de zero V_T . A Figura 34 mostra algumas características deste dispositivo. Na tecnologia IBM 130nm CM8RF, este transistor está disponível somente na configuração de transistor NMOS, sem a opção de poço triplo (ligação DTMOS). Os dispositivos zero VT NMOS estão disponíveis em versões de óxidos fino e grosso.

A baixa tensão de limiar do dispositivo é conseguida através do bloqueio dos implantes *p-well*. A colocação da máscara zero VT mantém o implante p ao longo do perímetro do dispositivo. Isto é necessário para evitar a alta fuga de dreno para fonte através das bordas do dispositivo, que tem uma tensão de limiar menor do que a região central do canal.

Por causa da baixa dopagem p, o efeito de canal curto na tensão de limiar será maior do que em um dispositivo padrão. É necessário um comprimento de canal mínimo maior em comparação com dispositivo padrão para prevenir o efeito *punch-through*².

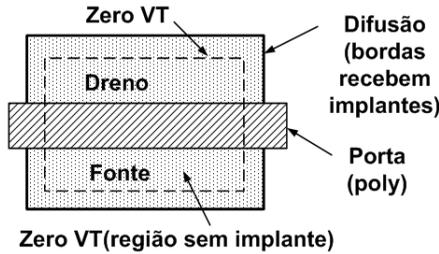
A Figura 35 mostra a curva g_m/I_D do transistor zero VT extraída via simulação elétrica no simulador *Spectre*, da Cadence. Utilizando a curva g_m/I_D e o procedimento apresentado por [45], pode-se encontrar a tensão de limiar (*threshold*), que apresenta os valores de 60 mV e 105 mV aproximadamente, para transistores zero VT óxido fino e espesso, respectivamente, como indicado na Figura 35.

Os diodos (transistores conectados como diodos) no conversor AC/DC de N estágios possuem tensões diferentes em seus terminais em relação ao terra dependendo do estágio onde estão inseridos. Os potenciais diferentes poderiam conduzir ao entendimento de se realizar o projeto com diodos de dimensões distintas nos diferentes estágios. Com o intuito de conhecer o efeito da tensão terminal, foi elaborada uma simulação conforme configuração apresentada na Figura 36. Nesta mesma figura são apresentados os resultados da simulação. Percebe-se que o transistor não apresenta uma variação significativa na tensão V_{GS} (para a mesma corrente $I_{DS} = I$); consequentemente, pode-se utilizar transistores com as mesmas dimensões em todos os estágios.

A Tabela 10 mostra dados de simulação para os transistores disponíveis na tecnologia alvo desta trabalho de tese com as seguintes características:

volvimento circuitos para VLSI. www.mosis.com/about/whatis.html

²*Punch-through* ocorre quando as regiões de depleção da fonte e de dreno se encontram. Quando as regiões de depleção se encontram, corrente flui entre o dreno e a fonte, não sendo mais controlada pela polarização de porta.



Parâmetro	ZVT óxido fino	ZVT óxido grosso
Máxima tensão (V)	1.60	2.70
T_{ox} (Å)	22	52
$L_{mínimo}$ (μm)	0.42	0.56
$L_{efetivo}$ (μm)	0.39	0.532
I_{on} ($\mu\text{A}/\mu\text{m}$)	410	520
V_{Tsat} (mV)	$V_{DS}=1.2\text{V}$ 5	$V_{DS}=2.5\text{V}$ 70

Figura 34: Leiaute e características de um transistor zero VT.

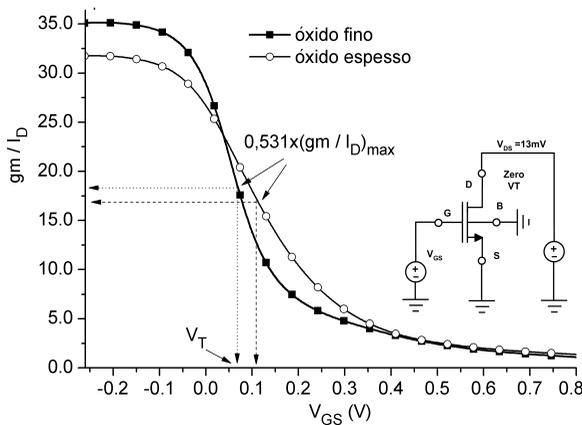


Figura 35: Curva g_m/I_D vs. V_{GS} . Trans. zero VT, $W_Z = 6\mu\text{m}$, $L_Z = 0,5\mu\text{m}$.

- a) Tecnologia IBM 130nm CM8RF;
- b) Características principais dos transistores disponíveis: convencional (*standard*), poço triplo (*triple well*), baixo VT (*Low VT*), zero VT e baixa potência (*low power*);
- c) Medidas de V_T e I_S - método g_m/I_D [45]. Foram extraídos pa-

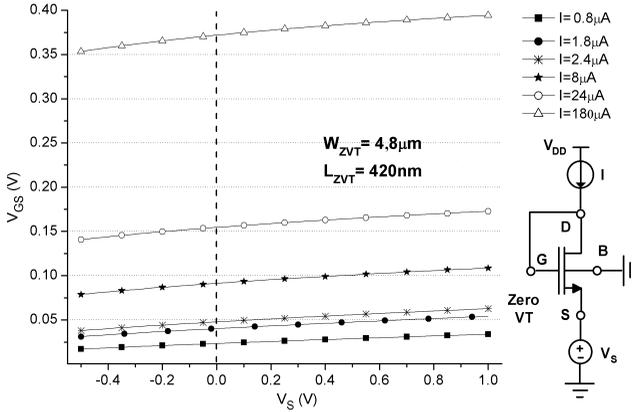


Figura 36: Simulação do efeito da polarização no transistor zero VT óxido fino.
 $W_Z = 4,8 \mu\text{m}$, $L_Z = 0,42 \mu\text{m}$.

râmetros, usando o modelo BSIM3v3, considerando quatro transistores com a mesma razão W/L , porém com dimensões W_{min}/L_{min} , $2W_{min}/2L_{min}$, $4W_{min}/4L_{min}$ e $16W_{min}/16L_{min}$.

Na Tabela 10, I_S é a corrente específica do transistor MOS, definida como $I_S = \mu C'_{ox} n \frac{\phi_T^2}{2} \frac{W}{L}$.

O valor da tensão de limiar varia principalmente com o comprimento do canal, ou seja, para conseguir uma tensão de limiar menor, necessita-se aumentar o comprimento do canal. Entretanto, este aumento traz, como consequência, aumento da capacitância parasitária, que degrada a eficiência do conversor AC/DC.

Foram realizadas diversas simulações para verificar qual seria o comprimento de canal mais adequado a nossa aplicação, tendo como figura de mérito a relação entre a corrente no dispositivo e sua capacitância para valores de tensão de até algumas unidades de $n\phi_T$. Os valores adequados para o comprimento de canal foram de 480 nm para ambos os transistores NMOS poço tripla e PMOS baixo VT. Para os transistores zero VT de óxido fino, o comprimento de canal de 500 nm é adequado à aplicação em vista. Para o retificador operar com tensões de entrada inferiores a 100 mV, a tensão de limiar deve ser baixa para que a queda de tensão no transistor configurado como diodo seja também pequena.

Tabela 10: Tensão de limiar e corrente específica dos transistores NMOS disponíveis na tecnologia IBM 130nm.

Standard NMOS				
	W_{\min}/L_{\min}	$2W_{\min}/2L_{\min}$	$4W_{\min}/4L_{\min}$	$16W_{\min}/16L_{\min}$
	160 nm/120 nm	320 nm/240 nm	640 nm/480 nm	2.56 $\mu\text{m}/1.92 \mu\text{m}$
V_{T0} (mV)	377,2	304,4	258,26	204,5
I_S (nA)	222,64	200,69	241,26	266,27
Poço Triplo				
	W_{\min}/L_{\min}	$2W_{\min}/2L_{\min}$	$4W_{\min}/4L_{\min}$	$16W_{\min}/16L_{\min}$
	160 nm/120 nm	320 nm/240 nm	640 nm/480 nm	2.56 $\mu\text{m}/1.92 \mu\text{m}$
V_{T0} (mV)	378,10	307,20	259,17	205,30
I_S (nA)	225,87	203,87	244,71	269,00
Baixo-VT				
	W_{\min}/L_{\min}	$2W_{\min}/2L_{\min}$	$4W_{\min}/4L_{\min}$	$16W_{\min}/16L_{\min}$
	160 nm/120 nm	320 nm/240 nm	640 nm/480 nm	2.56 $\mu\text{m}/1.92 \mu\text{m}$
V_{T0} (mV)	325,00	230,39	166,91	113,34
I_S (nA)	131,43	244,25	310,20	381,59
Zero-VT				
	W_{\min}/L_{\min}	$2W_{\min}/2L_{\min}$	$4W_{\min}/4L_{\min}$	$16W_{\min}/16L_{\min}$
	3,2 $\mu\text{m}/0,42 \mu\text{m}$	6,4 $\mu\text{m}/0,84 \mu\text{m}$	12,8 $\mu\text{m}/1,68 \mu\text{m}$	51,2 $\mu\text{m}/6,72 \mu\text{m}$
V_{T0} (mV)	87,95	41,28	16,40	-5,83
I_S (nA)	960,06	1332,27	1558,13	1775,47
Baixa potência				
	W_{\min}/L_{\min}	$2W_{\min}/2L_{\min}$	$4W_{\min}/4L_{\min}$	$16W_{\min}/16L_{\min}$
	160 nm/120 nm	320 nm/240 nm	640 nm/480 nm	2.56 $\mu\text{m}/1.92 \mu\text{m}$
V_{T0} (mV)	575,29	649,00	642,00	571,80
I_S (nA)	157,54	164,58	173,66	192,95

A Figura 37 mostra curvas de corrente, obtidas por simulação, como função da tensão aplicada para os diodos NMOS poço triplo DTMOS, PMOS e PMOS baixo VT e zero VT. Nesta figura percebe-se que o transistor NMOS poço triplo DTMOS comporta-se como um diodo exponencial (comparação com a curva do diodo (exponencial) Shockley curva tracejada) até próximo de sua tensão de limiar ($\cong 270$ mV para este caso). Entretanto, para conseguir uma corrente de saturação de 380 nA, a largura do transistor seria muito elevada ($W_N = 970 \mu\text{m}$ e $L_N = 0,48 \mu\text{m}$). Por outro lado, o transistor zero VT não possui uma relação corrente-tensão (curva I-V Fig. 37) que corresponda a um diodo exponencial. Entretanto, para tensões pequenas ($\cong 100$ mV ou

menores) ele se mostra como o mais adequado, pois para estes níveis de tensões os demais transistores necessitariam de área muito maiores para conduzir a mesma corrente, aumentando as capacitâncias parasitárias. Na tecnologia IBM 130nm a largura mínima do canal do transistor zero VT óxido fino é $3,2\mu\text{m}$ e o comprimento de canal mínimo é de $0,42\mu\text{m}$, proporcionando corrente de saturação da ordem de 370 nA .

Na Figura 37), I_o é a corrente de saturação do diodo exponencial utilizada na equação do diodo exponencial $I_D = I_o [e^{\frac{V_D}{n\phi_t}} - 1]$.

A Figura 38 mostra a mesma curva da Figura 37, mas dividindo a corrente I_D pela área de porta ($W \times L$). O transistor zero VT, até tensões da ordem de 150 mV , fornece uma relação corrente/área muito superior aos demais diodos apresentados. O diodo PMOS baixo VT descreve o comportamento de um diodo (exponencial) Shockley somente para tensões pequenas, até aproximadamente $\cong 100\text{ mV}$ ou menores (tensão de limiar $\cong 170\text{ mV}$), sendo suas dimensões muito superiores às do zero VT ($W_P = 90\mu\text{m}$ e $L_P = 0,48\mu\text{m}$) para obter correntes da mesma ordem de grandeza.

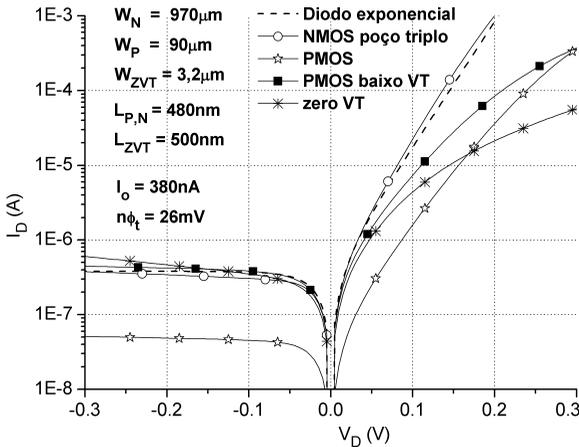


Figura 37: Característica I-V dos diodos zero VT, dos diodos na configuração DTMOS: NMOS, PMOS, PMOS baixo VT e eq. diodo exponencial. $W_N = 970\mu\text{m}$, $W_P = 90\mu\text{m}$, $W_{ZVT} = 3,2\mu\text{m}$, $L_{N,P} = 0,48\mu\text{m}$, $L_{ZVT} = 0,5\mu\text{m}$

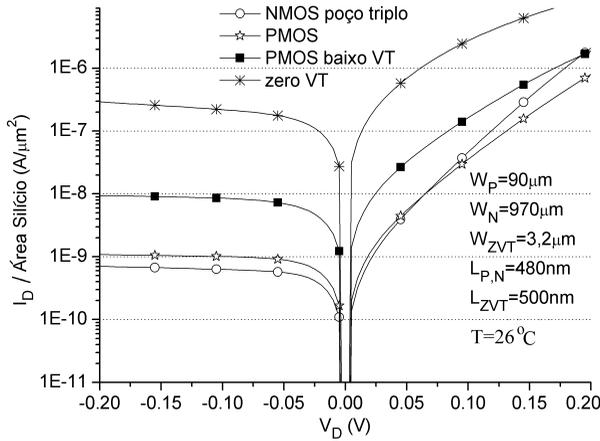


Figura 38: Característica I_D vs área de silício vs V_D dos diodos NMOS-DTMOs, PMOS-DTMOs, PMOS baixo VT -DTMOs. $W_N = 970\mu\text{m}$, $W_P = 90\mu\text{m}$, $W_{ZVT} = 3,2\mu\text{m}$, $L_{N,P} = 0,48\mu\text{m}$, $L_{ZVT} = 0,5\mu\text{m}$

3.1.1 Estimativa das capacitâncias dos transistores conectados como diodos

Para operação do conversor AC/DC em frequências mais elevadas, como 900 MHz ou superiores, é necessário estimar as capacitâncias parasitárias do transistor MOS. Com este intuito, serão apresentadas simulações realizadas no *Spectre* da Cadence. A Figura 39 mostra um diodo de circuito integrado com as capacitâncias associadas a seus terminais.

Para extrair os valores das capacitâncias do transistor zero VT, foram simulados os circuitos da Figura 40. O terminal de *bulk* está conectado ao terra, pois na tecnologia IBM130nm o transistor zero VT não possui opção de poço triplo.

Para determinar as capacitâncias C_{AK} , C_A e C_K , utilizam-se os resultados do circuito da Figura 40, e as equações:

$$C_{AK} + C_A = \left. \frac{dQ_A}{dv_A} \right|_{dv_K=0} \quad (6)$$

$$C_{AK} + C_K = \left. \frac{dQ_K}{dv_K} \right|_{dv_A=0} \quad (7)$$

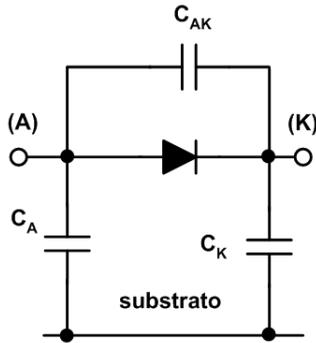


Figura 39: Transistor MOS com as capacitâncias parasitas C_{AK} e C_K .

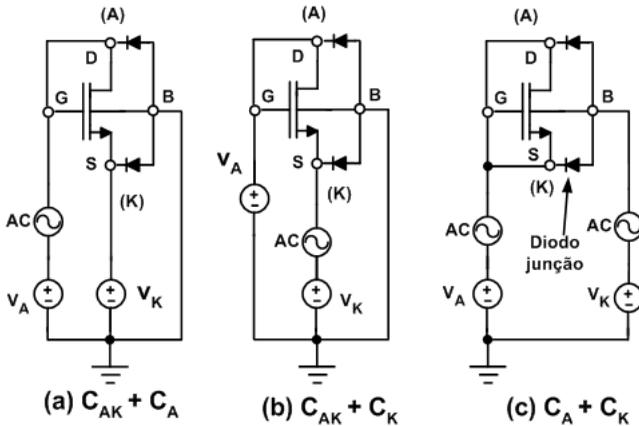


Figura 40: *Setup* para extrair capacitâncias parasitas C_{AK} , C_A e C_K do zero VT.

$$C_A + C_K = \left. \frac{dQ_A}{dv_A} \right|_{dv_A=dv_K} \quad (8)$$

As capacitâncias parasitas do transistor zero VT conectado como diodo para óxido de porta fino e espesso são mostradas na figura 41.

A Figura 42 mostra o *setup* para estimativa das capacitâncias parasitárias $C_{AK} + C_A$ dos diodos PMOS e NMOS na configuração DTMOS. Numa aproximação de primeira ordem, estes dispositivos se comportam como um diodo de dois terminais.

Na Figura 43 é apresentado o resultado de simulação para estimativa

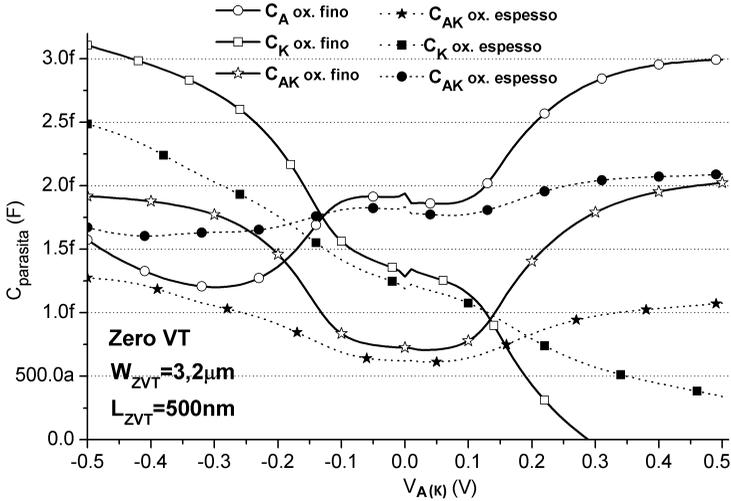


Figura 41: Capacitâncias parasitárias do transistor zero VT. $W_{ZVT} = 3,2\mu\text{m}$, $L_{ZVT} = 0,5\mu\text{m}$.

das capacitâncias parasitas $C_{AK} + C_A$ para os diodos zero VT, PMOS baixo VT, NMOS poço triplo (numa primeira aproximação é a capacitância parasita mais importante). A curva indicada como NMOS poço triplo com poço conectado significa que o poço foi ligado ao maior potencial (neste caso o potencial de dreno). Para esta ligação, as capacitâncias parasitas $C_{AK} + C_A$ são significativamente superiores sem a ligação do poço ao dreno. Também percebe-se que o NMOS poço triplo tem uma capacitância muito maior que os demais diodos. Observa-se também que os diodos zero VT e PMOS baixo VT apresentam capacitâncias parasitas da mesma ordem de grandeza. Entretanto, o diodo zero VT tem uma relação corrente de saturação por área de silício significativamente maior que a do PMOS (Fig. 38).

A Figura 44 mostra o diagrama elétrico do dobrador com as capacitâncias parasitárias C_{AK} , C_A e C_K . No nó V_X a capacitância parasitária será a soma de C_{K1} e C_{A2} . Como apresentado na seção 2.3.1, o capacitor de acoplamento C_{acop} (Fig. 44), o qual é o mesmo capacitor $C1$ da equação 18 e da Figura 18, deve possuir valor de capacitância muito maior que a da capacitância parasitária no nó V_X , para evitar degradação da performance do conversor AC/DC. As capacitâncias C_{K2} (e as subsequentes correspondentes para número maior de estágios) pouco influenciam no desempenho do multiplicador de tensão, pois estão conectados à saída DC. A capacitância C_{AK}

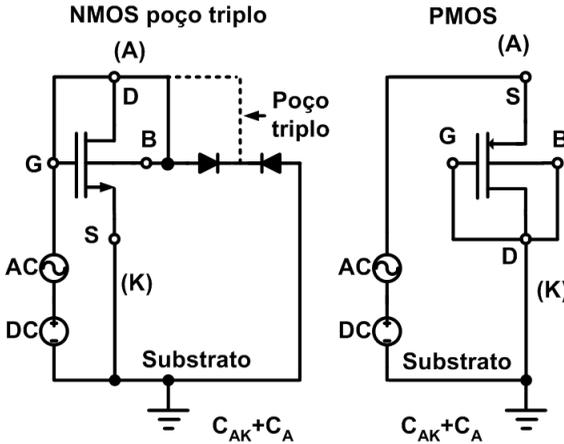


Figura 42: Setup para extrair capacitâncias parasitas $C_{AK} + C_A$ dos diodo NMOS poço triplo e PMOS baixo VT na configuração DTMOS.

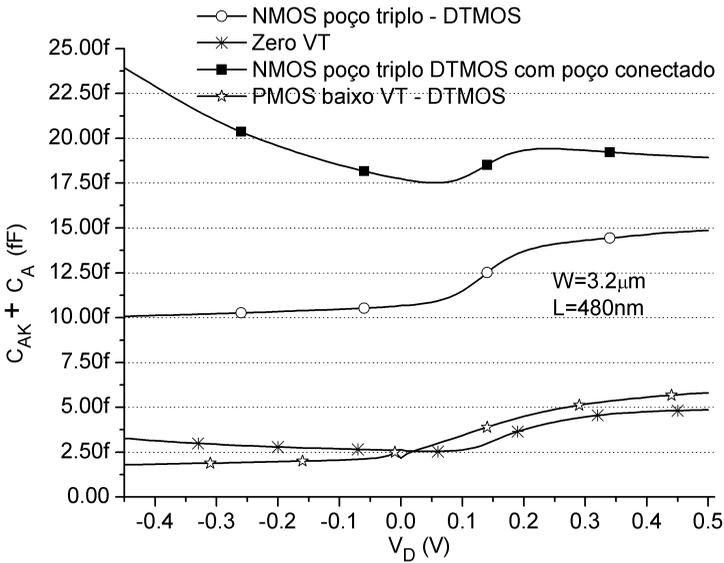


Figura 43: Capacitância parasita C_{AK} dos diodo NMOS poço triplo, PMOS baixo VT e zero VT. $W = 3,2 \mu\text{m}$, $L = 480 \text{ nm}$.

atua reduzindo a tensão sobre o diodo, reduzindo sua eficiência. Entretanto, seu valor é significativamente menor que as outras capacitâncias, para tensões sobre o diodo da ordem de 100 mV. A tensão instantânea sobre o diodo é $v_D = V_{max} \cos \omega t - V_L/N$. Desta forma, para $V_L=1$ V, $V_{max}=100$ mV e $N=24$, o diodo teria em seus terminais tensões entre +58 mV e -142 mV. Desta forma, para estimar a capacitância parasita total do dispositivo e também a do conversor de N -estágios, será considerado o valor da capacitância parasita com valor médio de 1,3 fF por μm de largura de canal, para comprimento de canal fixo de 500 nm (considerando um intervalo de tensão +/-150 mV).

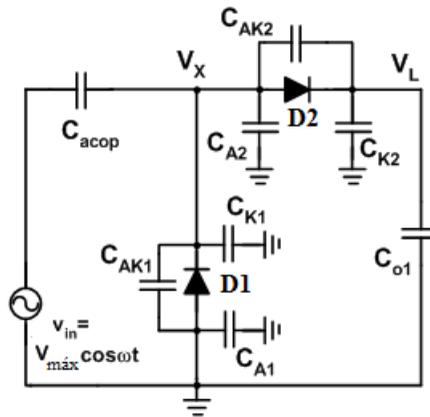


Figura 44: Diagrama dobrador com capacitâncias parasitárias.

3.2 PROJETO DO MULTIPLICADOR DE TENSÃO NA TECNOLOGIA IBM 130NM

As especificações de nosso projeto são as seguintes:

- Tensão DC de saída de 1V;
- Corrente média na carga de $1 \mu\text{A}$;
- Frequência de operação: 900 MHz. Mas, se possível, operar entre 868 MHz e 956 MHz para atuar nas três regiões globais (fig. 2);
- Potência disponível na antena da ordem de -20 dBm ou menor.

A tensão de 1 V é suficiente para aplicações com tecnologias mais recentes como a de 130 nm [5] [6] [7]. A potência de $1 \mu\text{W}$ é referenciada como a obtida pelo conversor AC/DC de [46], como potência consumida

pelo sensor autônomo publicado em [8] (excetuando-se o consumo na transmissão/recepção) e também por *tags* apresentados em [47] e [48].

Foram realizadas simulações no *Spectre* com diodos PMOS baixo VT, NMOS poço triplo e zero VT. Foram estudadas outras configurações do transistor MOS conectado como diodo [20], [21], [23], [44]. Considerando o objetivo de alcançar os parâmetros de projeto citados acima, o transistor zero VT mostrou-se como a melhor opção.

3.2.1 Projeto do multiplicador de tensão sem rede de adaptação

Para os dispositivos de RFID, existem várias frequências de operação possíveis, como apresentado na Figura 2. Para os dispositivos que operem em frequências baixas como 125 kHz e potência de sinal de entrada relativamente alta, o multiplicador pode ser projetado sem uma rede de adaptação. Neste caso, pode-se utilizar outros transistores, como o NMOS poço triplo, por exemplo. Entretanto, os capacitores de acoplamento terão valores impraticáveis para integração.

Para o projeto do multiplicador de tensão consideremos o circuito da Figura 45, repetida por conveniência. V_A é tensão de pico do retificador.

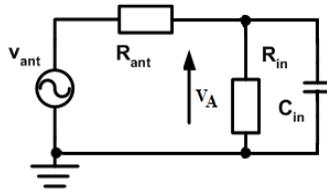


Figura 45: Circuito equivalente da antena com o retificador.

Para projetar o multiplicador e gerar as curvas da Figura 47 foram utilizadas as seguintes equações, repetidas aqui por conveniência:

$$v_{ant} = V_{max} \cos \omega t \tag{9}$$

$$V_{max} = 2 \sqrt{2 R_{ant} P_{AV}} \tag{10}$$

$$R_{in} = \frac{V_A^2}{2P_{in}} = \frac{V_A}{2\alpha_P N (I_L + I_o)} \frac{I_0 (\alpha_P V_A / n \phi_t)}{I_1 (\alpha_P V_A / n \phi_t)} \tag{11}$$

$$\frac{V_L}{Nn\phi_t} = \ln \left[\frac{I_0 (\alpha_P V_A / n\phi_t)}{1 + I_L / I_o} \right] \quad (12)$$

$$V_A = 2\sqrt{2R_{ant}P_{AV}} \left(\frac{R_{in}}{R_{in} + R_{ant}} \right) \quad (13)$$

$$I_0(z) = \frac{1}{2\pi} \int_{-\pi}^{\pi} e^{z \cos \theta} d\theta \quad (14)$$

$$I_1(z) = \frac{1}{2\pi} \int_{-\pi}^{\pi} e^{z \cos \theta} \cos \theta d\theta \quad (15)$$

A Figura 46 mostra o fluxograma e as equações utilizadas para o projeto do conversor sem rede de adaptação de impedâncias.

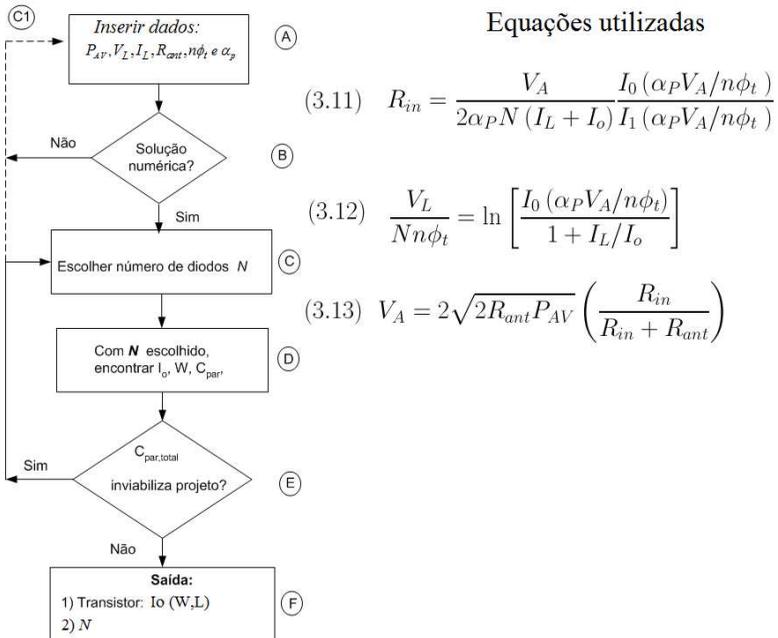


Figura 46: Fluxograma para projeto sem rede de adaptação.

Os parâmetros que foram inseridos no programa de simulação numé-

rica Matlab são:

- a) $R_{ant} = 50 \Omega$
- b) $n\phi_t = 26 \text{ mV}$
- c) $P_{AV} = -8 \text{ dBm}, -11 \text{ dBm}, -13 \text{ dBm}, -15 \text{ dBm}, -17 \text{ dBm}$ e $-18,93 \text{ dBm}$,
- d) $V_L = 1 \text{ V}$,
- e) $I_L = 1 \mu\text{A}$.

O projeto do conversor AC/DC foi realizado no ambiente do simulador numérico Matlab segundo os procedimentos descritos a seguir:

(i) Inicialmente são introduzidas as especificações dadas pela carga, isto é, a corrente I_L e a tensão V_L . São também fornecidos ao programa no Matlab os valores de $n\phi_t$ e o valor da resistência da antena R_{ant} . O valor do coeficiente de degradação α_P devido às capacitâncias parasitas (seção 2.3.1) é igual a 1 na inicialização do projeto. Posteriormente, é modificado levando em conta a capacitância parasita dos diodos.

(ii) Arbitra-se um valor para a potência disponível P_{AV} , por exemplo, de -8 dBm e calcula-se o valor máximo V_{max} dado pela relação 10.

(iii) É feita uma varredura de V_A desde zero até V_{max} . Para cada valor de V_A no intervalo especificado, fazemos uso das relações 11, 12 e 13 associadas a três incógnitas, a saber N , I_o e R_m . Com este conjunto de equações são então achados dois pares de valores (solução possível) ou nenhum valor (solução impossível) para N e I_o . A varredura de V_A desde zero até V_{max} para P_{AV} de -8 dBm gera um conjunto de soluções, mostrado na Figura 47 (condição de "olho" bem aberto). De forma semelhante, é possível gerar um conjunto de curvas de nível correspondente a outros valores de P_{AV} , como mostradas na Fig. 47. Pode-se reduzir o valor de P_{AV} até que o programa encontre apenas uma solução possível para os parâmetros de projeto desejados. Esta é a condição em que o conversor opera na condição nominal da carga com o mínimo valor de potência disponível que, em nosso caso específico, foi de $-18,93 \text{ dBm}$ (ver a condição de "olho" praticamente fechado na Fig. 47).

(iv) Uma vez conhecido o valor de I_o , determina-se a largura dos diodos, implementados com um tipo de MOSFET (zero V_T , em nosso caso) com comprimento de canal previamente estabelecido. O conjunto de soluções ou a condição de ótimo ("olho" praticamente fechado) pode ser recalculado atualizando o valor de α_P nas relações 11 e 12) a partir do conhecimento da capacitância (calculada através do valor da largura dos transistores) dos diodos e da capacitância de acoplamento.

A Figura 47 mostra curvas de isotensão disponível para fins de projeto de um multiplicador de N estágios obtidas por simulação numérica. As variáveis a serem determinadas são o número de estágios (diodos) e a corrente

de saturação do diodo para diferentes potências disponíveis.

Foram realizadas diversas simulações elétricas, com diferentes valores de I_o e N obtidos da Figura 47, utilizando-se diodos comuns 1N4148 e transistores NMOS poço tripla na ligação DTMOS. Para as simulações com o diodo utilizou-se o simulador ADS SPICE e para as simulações com o transistor o simulador *Spectre*. A tensão de saída do conversor AC/DC apresentou variação da ordem de 5% com relação à tensão desejada de 1 V com corrente de carga de $1\mu\text{A}$.

Na Figura 47 está marcado o ponto onde $N=30$. Como exemplo, para operação com potência disponível de -17 dBm seria necessário que o diodo possuísse uma corrente de saturação de, aproximadamente, duas vezes a corrente de carga. Uma vez determinada a corrente de saturação, o efeito das capacitâncias parasitárias dos diodos pode ser avaliado e, caso necessário, o algoritmo será novamente executado. Para operação com potências menores pode-se recorrer ao uso de redes de adaptação de impedâncias, como será visto em seguida.

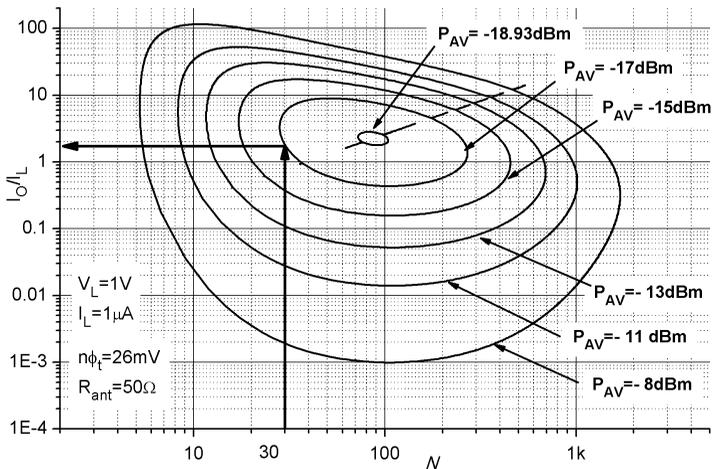


Figura 47: Corrente de saturação do diodo normalizada em relação à corrente de carga vs. número de estágios para diferentes potências disponíveis. $R_{ant} = 50\Omega$, $V_L = 1\text{ V}$, $n\phi_t = 26\text{ mV}$, $\alpha_p = 1$.

3.2.2 Projeto do multiplicador com rede de adaptação

Uma estratégia importante para aumentar a eficiência da conversão RF para DC é a maximização da tensão de entrada do retificador de tensão [21], como foi apresentado na Figura 22. Isto pode ser conseguido introduzindo um ressonador com alto fator de qualidade entre a antena e a entrada do conversor AC/DC. Para assegurar que a máxima potência disponível seja transferida para o circuito retificador devemos utilizar uma rede de adaptação para proporcionar o casamento de impedâncias entre a antena e a entrada do retificador. Embora o uso de ressonadores com alto fator de qualidade pareça uma boa opção (maior ganho de tensão [21]), uma desvantagem do uso dos mesmos é a redução da banda de operação como indicado abaixo:

$$\Delta F = f_c / Q \quad (16)$$

onde f_c é a frequência central de operação.

Se o fator de qualidade do bloco constituído pela rede de adaptação e do retificador for da ordem de 10, obtém-se um banda de operação da ordem de 100 MHz (deseja-se em torno de 900 MHz e entre 868-956 MHz), podendo-se operar nas três regiões globais (Fig. 2). Quanto maior o fator de qualidade da rede mais seletivo será o circuito, e pequenas variações nos componentes podem reduzir a eficiência da rede de adaptação. Para ressonadores de alto fator de qualidade ($Q > 15$), um descasamento de impedâncias entre a antena e o retificador maior que 15% não promove nenhum ganho de tensão, podendo se tornar um atenuador se o fator de qualidade aumentar [21].

Para operação do conversor AC/DC com níveis de potência inferiores a -18 dBm, a adaptação de impedância entre a antena e a entrada do multiplicador, no caso em análise, é essencial. Como exemplo, podemos ver na Figura 47, que para potência da ordem de -19 dBm, o multiplicador necessitaria aproximadamente de 100 diodos ($N=100$) com corrente de saturação da ordem de duas vezes a corrente de carga. Potências inferiores não seriam suficientes para atender os requisitos de projeto especificados nesta tese, caso não seja utilizada rede de adaptação de impedâncias entre a antena e o retificador.

A Figura 48 mostra o diagrama de blocos do sistema de conversão de sinal RF para sinal DC. A potência máxima que pode ser transmitida, segundo a FCC, é de 4W (P_{EIR}). Utilizando-se a equação de Friis pode-se estimar a potência que será recebida na antena receptora.

A aplicação é que vai definir a distância do *tag* à fonte de RF. Como exemplo, se a utilização for para rede de sensores, possivelmente uma maior

distância entre a fonte e o *tag* é o desejado. Neste caso, uma maior distância entre os sensores reduz a quantidade e o custo de implantação para monitoramento de uma determinada área, como exemplo, no monitoramento de uma área de reflorestamento, ou numa indústria. Por outro lado, se a aplicação for um leitor próximo ao *tag*, como no caso de leitura de dados de materiais em estoque, provavelmente a distância será pequena ($d < 3$ m).

Quanto menor a distância entre o *tag* e a fonte de RF maior será a potência recebida e, conseqüentemente, maior será a potência disponível (e maior será a tensão na entrada do multiplicador). Então, para obter-se um projeto mais robusto, capaz de atender uma maior quantidade de aplicações em termos de distância entre a fonte de RF e o *tag*, pode-se utilizar um circuito limitador de tensão de saída DC. No caso deste projeto de tese, quando a tensão fornecida pelo multiplicador for de 1 V o limitador deve consumir o mínimo possível. À medida que P_{AV} aumenta, o consumo deste circuito aumenta, tendendo a limitar a tensão na carga.

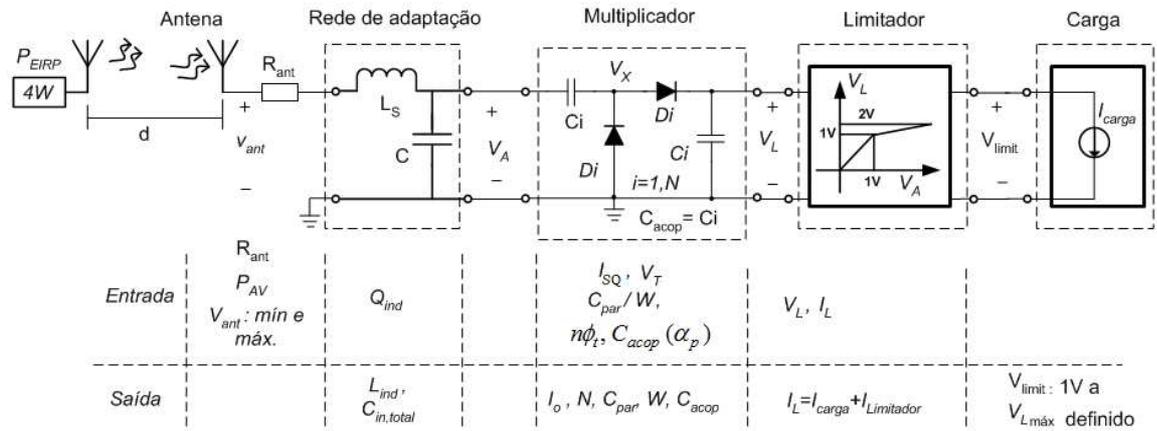


Figura 48: Diagrama de blocos do sistema de conversão RF/DC.

Quando do uso de redes de adaptação de impedâncias, o aumento da resistência de antena promove um aumento do valor do indutor da rede de adaptação. Considerando este fato e que uma resistência de antena de 50Ω facilita o processo de medidas, pois tipicamente os instrumentos de medidas possuem entrada/saída com este valor, decidiu-se utilizar o valor de 50Ω de resistência de antena para o projeto do conversor.

Esta seção apresentará o estudo e projeto da rede de adaptação utilizando uma metodologia simples e gráfica para o dimensionamento dos seus componentes, fornecendo também as dimensões dos transistores e dos capacitores de acoplamento. O comprimento do canal dos transistores foi fixado, pois as capacitâncias parasitárias e a tensão de limiar são afetadas pelo valor do comprimento do canal. Necessita-se conhecer algumas variáveis da tecnologia utilizada, como a variação da tensão de limiar como função do comprimento do canal, a variação das capacitâncias parasitárias como função da largura do canal, o fator de não idealidade n , a corrente de normalização de folha I_{SQ} para o transistor MOS, e a tensão máxima de operação (importante para definir o projeto do limitador de tensão).

Uma variável de saída importante é o valor do capacitor de acoplamento C_{acop} do multiplicador de tensão, pois os capacitores ocupam muita área de silício (na comparação com os transistores). Desta forma, o programa para simulação numérica prevê a determinação deste valor, utilizando-se a capacitância parasitária do transistor e a especificação do coeficiente de degradação devido às capacitâncias parasitas α_p (seção 2.3.1).

Existem diversas redes de adaptação que se pode utilizar como, por exemplo, a rede LC, *tapped inductor*, *tapped capacitor*, PI, entre outras. A adaptação de impedância proporciona maior nível de tensão na entrada do retificador, o que pode promover uma redução na dimensão dos transistores e/ou o número de estágios.

A seguir, algumas considerações sobre algumas redes de adaptação de impedâncias são apresentadas.

A rede de adaptação LC (Fig. 49) para a aplicação desejada, pode ser construída de duas formas: indutor em paralelo com a entrada do retificador (conhecendo-se a capacitância de entrada do retificador, este indutor pode reduzir/eliminar o efeito da reatância capacitiva) ou capacitor em paralelo com a entrada do retificador.

A rede *tapped inductor* (Fig. 50) e a rede PI permitem ao projetista um grau de liberdade a mais que a rede LC, sendo possível estabelecer o fator de qualidade do conversor AC/DC. O valor do fator de qualidade da rede encontra-se em um intervalo de valores possíveis, usando-se o valor cal-

culado utilizando-se a rede LC, como valor inicial. O capacitor C_{comp} atua para compensar (aumentar) o capacitor necessário na rede, caso a capacitância equivalente na entrada do conversor AC/DC $C_{in,total}$ não atinja o valor necessário).

Na rede de adaptação PI (Fig. 51), a capacitância total do conversor AC/DC é utilizada para realizar a adaptação de impedância. Se a capacitância de entrada do retificador ultrapassar a capacitância da rede de adaptação, ainda se pode utilizar um indutor em paralelo com a entrada do retificador para reduzir/anular o efeito capacitivo. Entretanto, as perdas do indutor, principalmente quando integrado, devem ser observadas.

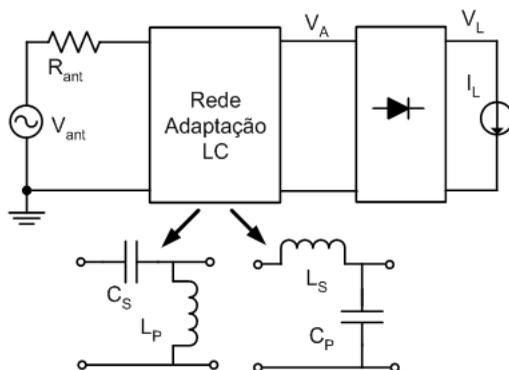


Figura 49: Rede de adaptação LC ideal.

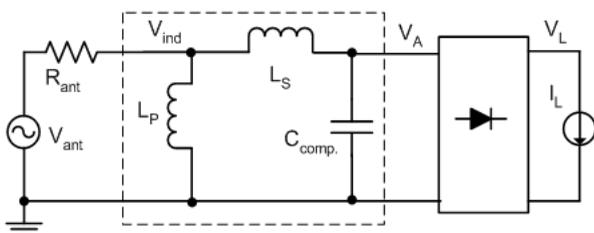


Figura 50: Rede de adaptação tapped inductor ideal.

A rede de adaptação de impedância pode ser interna (integrada) ou externa ao chip. Na adaptação integrada, tem-se entre outras características, o limite do tamanho dos indutores ($\cong 90$ nH na tecnologia IBM 130 nm) e o fator de qualidade dos indutores da ordem de 10 (ou menor). Por outro lado, na adaptação externa, os indutores podem possuir indutância (muito)

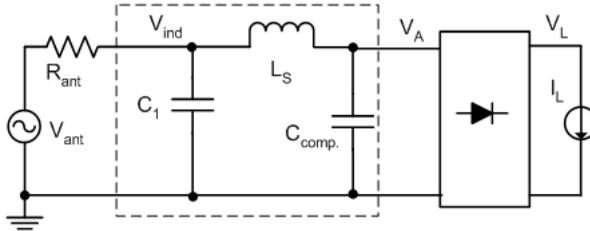


Figura 51: Rede de adaptação PI ideal.

superior a 90 nH, com fator de qualidade maior que 50 para frequência da ordem de 900 MHz. Com esse valor de fator de qualidade, é possível operar com potência mínima de entrada menor do que na adaptação integrada. Em artigos recentes utilizando a tecnologia 90 nm, foram apresentados tanto projetos com rede de adaptação externa [49] quanto integrada ao chip (com a rede *tapped inductor*) [50].

Neste trabalho foram realizadas diversas simulações com diferentes tipos de rede de adaptação, com os diodos NMOS, PMOS baixo V_T e zero V_T e para diferentes valores de resistência de antena. Constatou-se que, mesmo com a utilização da rede de adaptação de impedâncias, o transistor zero V_T é a melhor opção.

3.2.3 Cálculo da rede de adaptação LC

A figura 52 mostra o diagrama elétrico da adaptação de impedância com a rede LC, com o indutor em série. Esta foi a opção escolhida, pois a capacitância parasita do conversor AC/DC pode ser utilizada para a adaptação de impedâncias entre a antena e o conversor AC/DC.

Para o equacionamento será considerado que $Z_{in} = Z_{ant}$.

$$Q_{retif} = \frac{R_{in}}{X_C} \quad (17)$$

onde $X_C = \frac{1}{\omega(C_{in} + C_{comp})}$ e Q_{retif} é o fator de qualidade do retificador.

Por sua vez, o fator de qualidade do indutor é

$$Q_{ind} = \frac{X_{LS}}{R_S} ; \quad X_{LS} = \omega L_S \quad (18)$$

e a impedância do indutor não ideal pode ser reescrita como

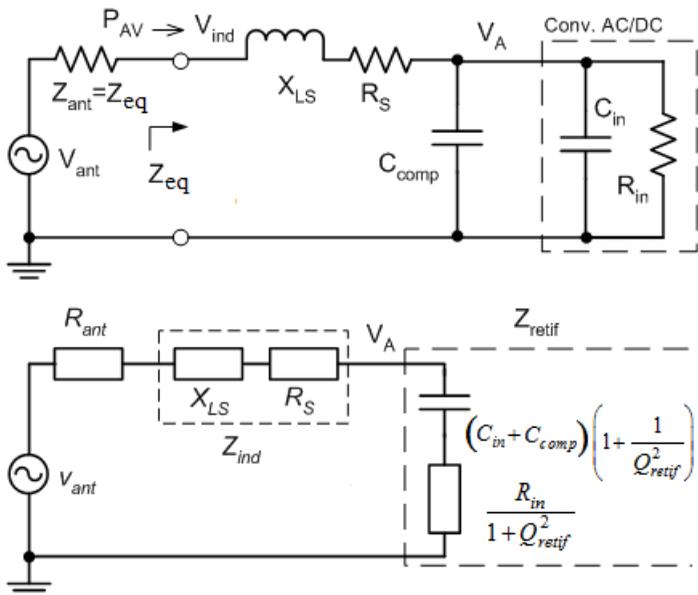


Figura 52: Circuito da rede de adaptação LC com perdas.

$$Z_{ind} = \frac{1 + jQ_{ind}}{Q_{ind}} X_{LS} \quad (19)$$

Por sua vez, a impedância do retificador é

$$Z_{retif} = \frac{R_{in}}{1 + jQ_{retif}} \quad (20)$$

A impedância vista pela antena é

$$Z_{eq} = Z_{ind} + Z_{retif} = \frac{Q_{ind}R_{in} + [(j - Q_{retif})Q_{ind} + 1 + jQ_{retif}]X_{LS}}{Q_{ind}(1 + jQ_{retif})} \quad (21)$$

Considerando o casamento de impedâncias, isto é

$$Im\{Z_{eq}\} = \frac{(Q_{retif}^2 + 1)X_{LS} - Q_{retif}R_{in}}{Q_{retif}^2 + 1} = 0 \quad (22)$$

$$Re \{Z_{eq}\} = \frac{R_{in}}{Q_{retif}^2 + 1} + \frac{X_{LS}}{Q_{ind}} = R_{ant} \quad (23)$$

chegamos às seguintes relações

$$R_{in} = \frac{(Q_{retif}^2 + 1) Q_{ind}}{Q_{retif} + Q_{ind}} R_{ant} \quad (24)$$

e

$$X_{LS} = \frac{Q_{retif} Q_{ind}}{Q_{retif} + Q_{ind}} R_{ant} \quad (25)$$

É interessante observar que se $Q_{ind} \gg Q_{retif}$, a equação 24 se simplifica como

$$R_{in} = R_{ant} (1 + Q_{retif}^2) \quad (26)$$

Por sua vez, com o casamento de impedâncias e conforme relações (24) e (25) temos

$$V_A = \frac{V_{max} |Z_{in}|}{2 R_{ant}} = \frac{V_{max} Q_{ind} \sqrt{Q_{retif}^2 + 1}}{2 (Q_{retif} + Q_{ind})} \quad (27)$$

sendo a potência entregue P_{in} ($P_{in} = \frac{V_A^2}{2R_{in}}$) ao retificador dada por

$$P_{in} = P_{AV} \frac{Q_{ind}}{Q_{ind} + Q_{retif}} \quad (28)$$

válido quando $Z_{in} = Z_{ant}$.

Da equação (28), e se o fator de qualidade do indutor $Q_{ind} \gg Q_{retif}$, então $P_{in} = P_{AV}$.

As equações (12), (14), (15), (17), (18), (24), (25) e (27) são inseridas em um programa de simulação numérica, gerando as curvas das Figuras 54 e 57 a 61 (exceto Fig. 56). Conforme os valores dos parâmetros de entrada do projeto é possível que existam dois pontos (ou nenhum) para a solução. Nestas figuras, quando se escolhe uma das curvas, por exemplo, a curva marcada com o símbolo de um círculo, deve-se utilizar a mesma para todas as outras variáveis, pois cada curva (marcada com círculo ou quadrado cheio) é o resultado da resolução de uma das funções utilizadas para resolver as equações não lineares, como havia sido comentado na seção 3.2.1. Em cada uma

destas figuras estão marcados os pontos para $N=24$, que é o número de diodos utilizado no projeto desta tese. O contorno representado é uma curva de nível para uma dada potência disponível, frequência e resistência de antena. Naturalmente, há flexibilidade para escolher novos parâmetros que podem dar origem a outras curvas como as da Figura 47.

A seguir inicia-se o projeto da rede de adaptação. Os dados inseridos no programa de simulação numérica para gerar os componentes da rede de adaptação considerando o uso do transistor zero VT são:

- a) $Q_{ind} = 8$,
- b) $R_{ant} = 50 \Omega$,
- c) $P_{AV} = -20,4 \text{ dBm}$,
- d) $f = 900 \text{ MHz}$,
- e) $I_{SQ} = 202 \text{ nA}$,
- f) $V_T = 35 \text{ mV}$,
- g) $n\phi_t = 36 \text{ mV}$
- h) $C_{par} = \frac{1,3 \text{ fF}}{\mu\text{m de } W}$

No projeto utilizado o transistor zero VT óxido fino. Entretanto, foi realizado o projeto e leiaute também o MOSFET zero VT de óxido espesso. Os conversores projetados apresentam resultados semelhantes para estes dois dispositivos.

A potência de $-20,4 \text{ dBm}$ foi escolhida com base em diversos artigos pesquisados, em especial Papotto [50] ($-18,8 \text{ dBm}$ na tecnologia 90 nm), Shu [51] ($-20,36 \text{ dBm}$ na tecnologia 90 nm) e Reinish [8] ($-14,3 \text{ dBm}$ na tecnologia 130 nm), por serem tecnologias equivalentes e relativamente recentes. Além disso, buscou-se otimizar o conversor com a rede de adaptação de impedâncias para alcançar a menor potência de entrada possível com uma banda de operação entre 868 MHz a 956 MHz (o qual é um diferencial em relação aos outros trabalhos citados anteriormente). Para inicialização do projeto o fator de qualidade do indutor da rede de adaptação foi arbitrado em oito, que é próximo ao valor esperado (ver Figura 56).

A potência de $-20,4 \text{ dBm}$ está referenciada à adaptação integrada, limitada principalmente pelo fator de qualidade do indutor da rede de adaptação. Realizou-se também o projeto para uma rede de adaptação externa, alcançando uma potência na entrada de $-22,5 \text{ dBm}$, para os mesmos parâmetros de projeto. Esta melhoria foi conseguida com um fator de qualidade do indutor igual a cinquenta. Este valor de fator de qualidade é conseguido com indutores comerciais, como por exemplo, os fornecidos pela empresa Coilcraft, disponíveis em <http://www.coilcraft.com/0603ct.cfm>

e as curvas do fator de qualidade como função da frequência disponível em <http://www.coilcraft.com/misc/0603ctq.html>.

Para o projeto de adaptação utilizando a rede *tapped inductor* ou a PI capacitor, o fator de qualidade do retificador (o qual é um grau de liberdade a mais na comparação com a rede LC) pode ser estimado utilizando-se como valor inicial o valor encontrado no projeto da rede LC. Esta estratégia é necessária, pois não se pode inferir *a priori* o valor do fator de qualidade do retificador.

3.2.4 Fluxograma para projeto da rede de adaptação de impedâncias

Alguns artigos fornecem uma metodologia para projetar o multiplicador de tensão e a rede de adaptação [46], [50]. Neste trabalho de tese um dos objetivos é apresentar uma metodologia gráfica e simples para determinar os principais componentes/variáveis do projeto.

A Figura 53 apresenta o fluxograma utilizado para determinar os valores dos componentes da rede LC de adaptação de impedâncias, o número de estágios N , a corrente de saturação dos diodos (e por consequência, a razão de aspecto W/L) e a capacitância de acoplamento. Apresenta-se na Figura 61 a curva do fator de qualidade do retificador (relacionado à impedância de entrada do conversor AC/DC).

Descrição das etapas:

O projeto inicia com a inserção dos parâmetros **passo A**: tensão e corrente DC na carga V_L e I_L , fator de qualidade do indutor, frequência de operação, resistência da antena, tensão de limiar V_{TO} , corrente de normalização de folha I_{SQ} para o transistor MOS e $n\phi_t$, potência disponível P_{AV} e o fator de degradação em função das capacitâncias parasitas α_p ($\alpha_p = \frac{C_{acop}}{C_{acop} + C_{par}}$).

O projetista pode alterar o fator α_p modificando o valor da capacitância de acoplamento C_{acop} e, por consequência, a área de silício necessária. Inicia-se o projeto com $\alpha_p = 1$, e verifica-se quais os valores encontrados para os elementos do projeto. Depois pode-se, corrigir o valor de α_p para, por exemplo, $\alpha_p = 0.95$ e alterar o valor da capacitância de acoplamento e dos demais componentes determinados tendo em conta o novo valor de α_p . Através de aproximações sucessivas, chega-se ao valor final dos elementos do projeto.

A potência é especificada dependendo do projeto a ser realizado, pois nela estará também inserido a variável distância do dispositivo à fonte gera-

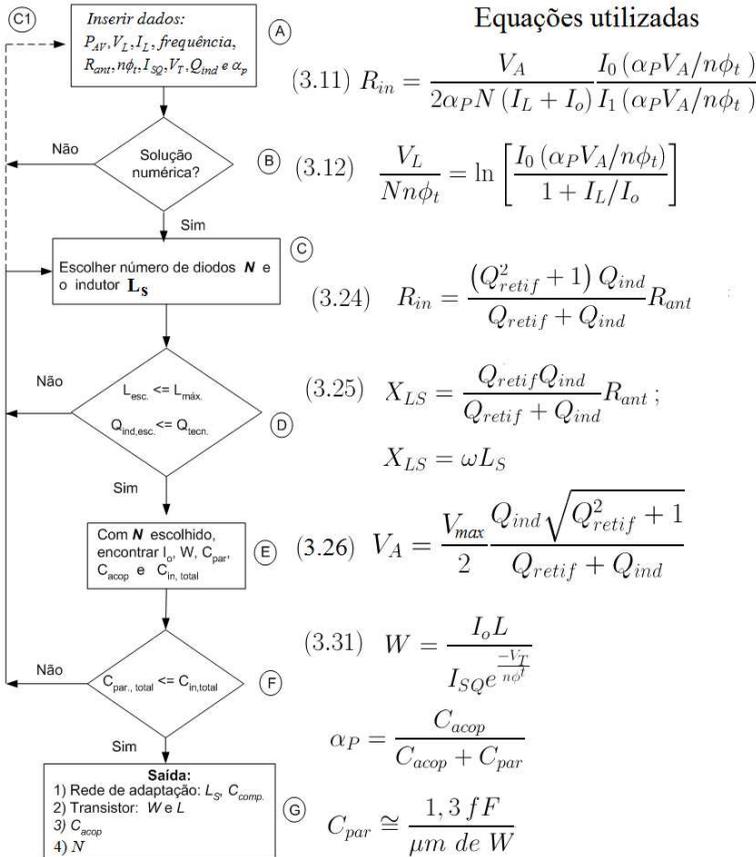


Figura 53: Fluxograma para o projeto da rede de adaptação LC.

dora de sinal RF, como apresentado na Tabela 6 (seção 1.2.2).

Este fluxograma difere daquele do conversor sem rede de adaptação pelo fato de iniciar os cálculos arbitrando-se o fator de qualidade do retificador entre um valor mínimo e máximo (no caso entre 2 e 20), e por realizar os cálculos para os elementos da rede de adaptação. No restante, o processo de cálculo é o mesmo daquele apresentado na seção 3.2.1.

Se executado o programa de simulação numérica (**passo B** do fluxograma) não se encontrar solução (se o programa não converge), pode-se, por exemplo, alterar a potência mínima disponível ou algum parâmetro de projeto, com exceção daqueles que são limites da tecnologia, como o fator de

qualidade do indutor (da ordem de 10 ou menor).

Encontrando-se solução (**letra C** do fluxograma), passa-se para a etapa de definição do indutor da rede de adaptação como função do número de diodos N , utilizando-se a Figura 54. Percebe-se nesta figura (e também nos outros elementos a serem determinados), que para o mesmo N , existem duas soluções possíveis (salvo alguns pontos únicos). Uma vez escolhido o número de diodos, deve-se mantê-lo para escolha de todos os outros componentes. Também, ao escolher este N , ele estará associado a uma curva, por exemplo, curva marcada com círculos (ou quadrados cheios). Esta escolha de curva deve ser mantida para os outros componentes, como explicado anteriormente. Optou-se pelo valor $N=24$, por corresponder ao menor valor do indutor. Com $N=24$, temos $L=36$ nH.

A Figura 55 é semelhante à Figura 54, mas com um pequeno aumento da potência P_{AV} de $-20,4$ dBm para $-20,3$ dBm, sendo apresentada com o objetivo de enfatizar que o ponto escolhido está dentro da região contida na curva correspondente a $-20,3$ dBm. É interessante notar que se houver alguma variação no valor da indutância, ainda assim o projeto pode ser executado se a potência disponível for da ordem de -20 dBm.

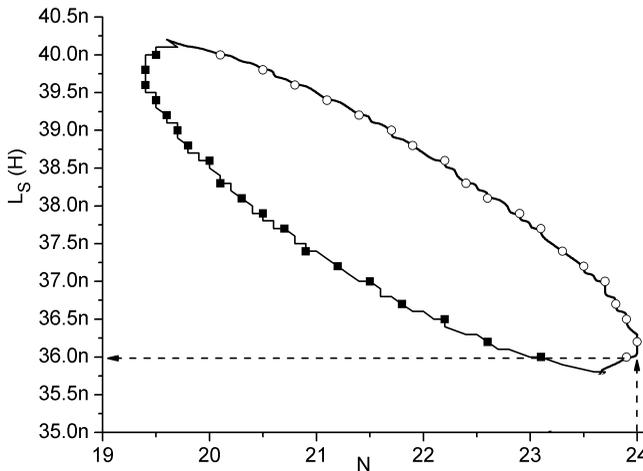


Figura 54: L_S vs. N , $R_{ant} = 50\Omega$, $P_{AV} = -20,4$ dBm, $f = 900$ MHz.

No **passo D** verifica-se se o valor do indutor escolhido é menor ou igual ao valor máximo permitido na tecnologia, ou menor que o valor má-

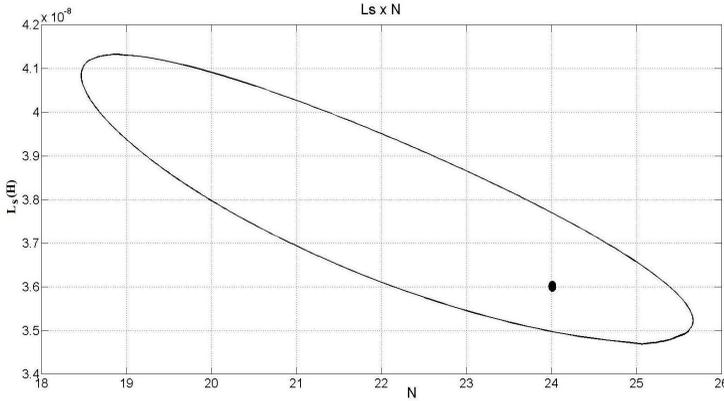


Figura 55: L_S vs. N , $R_{ant} = 50\Omega$, $P_{AV} = -20,3$ dBm, $f = 900$ MHz.

ximo definido pelo projetista. Com o valor do indutor escolhido verifica-se (por meio de dados do fabricante ou por simulação elétrica) se o fator de qualidade do mesmo é maior ou igual ao definido no início do projeto para a frequência de operação. Esta verificação é importante, pois após a confecção do leiaute (e também depois da fabricação) a tendência é que o fator de qualidade seja menor que o valor pré-leiaute. Caso o fator de qualidade ou o valor do indutor não seja adequado, escolhe-se um novo valor para o número de diodos. Caso não se encontre valores, deve-se alterar o valor da potência disponível (caminho indicado como **C1** no lado esquerdo do fluxograma), refazendo a simulação numérica.

A Figura 56 mostra o fator de qualidade como função da frequência para diferentes valores de indutores. Para $L=30$ nH em 900 MHz, o fator de qualidade é igual a 12,5.

Na seguinte etapa (**passo E** do fluxograma) encontram-se os valores da corrente de saturação do diodo. Nesta etapa do projeto são determinadas as variáveis $C_{in,total}$, C_{par} , W e C_{acop} .

A largura do canal do transistor MOS é estimada através da equação 29, sendo o resultado apresentado na Figura 57, utilizando-se a corrente de saturação escolhida anteriormente como função do número de diodos N (Fig. 57). Após a realização da simulação elétrica, pode ser necessário um ajuste do valor da largura do canal, pois como já foi comentado, este transistor conectado como diodo tem um equação característica diferente da equação do diodo exponencial.

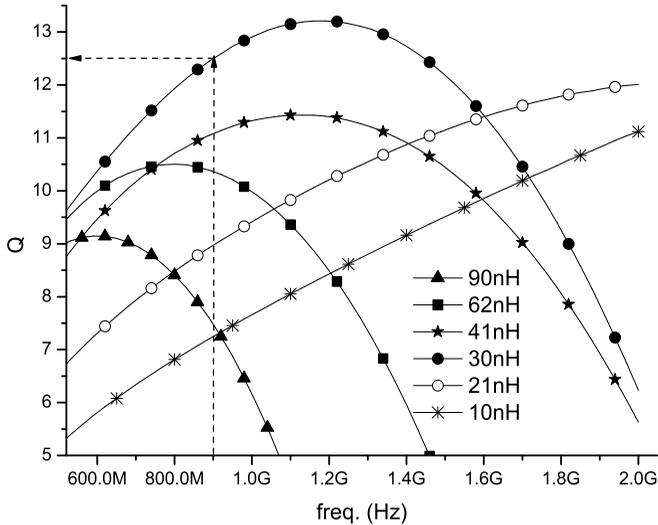


Figura 56: Fator de qualidade de alguns indutores na tecnologia IBM 130nm CM8RF.

$$W = \frac{I_o L e^{\frac{V_{T0}}{n\phi_r}}}{2e^1 I_{SQ}} \quad (29)$$

A capacitância parasitária do transistor é estimada como sendo aproximadamente $\frac{1.3\text{fF}}{\mu\text{m de } W}$ para o transistor zero VT para um comprimento de canal fixo de 500 nm. A capacitância parasita total $C_{par,total}$ na entrada do multiplicador é calculada multiplicando-se o valor de C_{par} pelo número de diodos escolhidos.

A Figura 57 mostra o resultado de I_o , da largura do canal do transistor e da capacitância parasitária do transistor como função do número de diodos. Percebe-se nesta figura, que para o mesmo N , existem duas soluções possíveis. Como exemplo, para $N=20$ seria possível $I_o=850\text{ nA}$ ou $I_o=680\text{ nA}$, aproximadamente. As simulações mostraram que, uma corrente de saturação maior reduz o valor do indutor, mesmo aumentando as capacitâncias parasitárias do transistor. Com $N=24$, temos $I_o=790\text{ nA}$ aproximadamente.

Comparando as Figuras 47 e 57 para as mesmas condições: $I_L = 1\ \mu\text{A}$,

$V_L = 1\text{ V}$, $N=24$, e $I_o = 790\text{ nA}$, podemos perceber que a rede de adaptação de impedâncias proporciona um ganho, pois pode operar com $-20,4\text{ dBm}$, contra $P_{AV} = -15\text{ dBm}$ sem a rede de adaptação. Se for considerado o projeto com adaptação externa ($P_{AV} = -22,5\text{ dBm}$), o ganho é ainda maior.

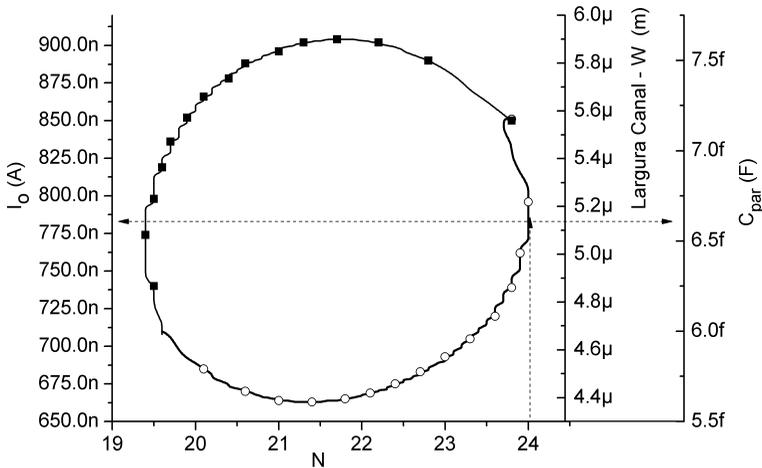


Figura 57: Corrente de saturação, largura do canal e capacitância parasitária vs. N , $R_{ant} = 50\Omega$, $f=900\text{ MHz}$, $P_{AV}=-20,4\text{ dBm}$.

A seguir temos o gráfico da capacitância da rede de adaptação $C_{in,total}$ apresentado na Figura 58. Esta capacitância inclui o valor da capacitância parasitária de entrada do conversor AC/DC e a de compensação C_{comp} , a ser acrescentada caso o valor das capacitâncias parasitárias totais do conversor AC/DC sejam menores que o valor encontrado para $C_{in,total}$.

A Figura 59 mostra o gráfico da capacitância de acoplamento C_{acop} como função do número de estágios.

Por este gráfico, considerando $N=24$ e $\alpha_p = 0,99$, e o valor da capacitância C_{par} determinada do gráfico da Figura 57, o valor da capacitância C_{acop} seria de 700 fF , aproximadamente.

A Figura 60 mostra a dependência da potência disponível P_{AV} como função da capacitância de acoplamento C_{acop} . Esta figura foi obtida, variando-se os valores de C_{acop} e medindo para qual valor de P_{AV} era mantido na carga 1 V e $1\mu\text{ A}$.

Como apresentado na seção 2.3.1, a capacitância de acoplamento

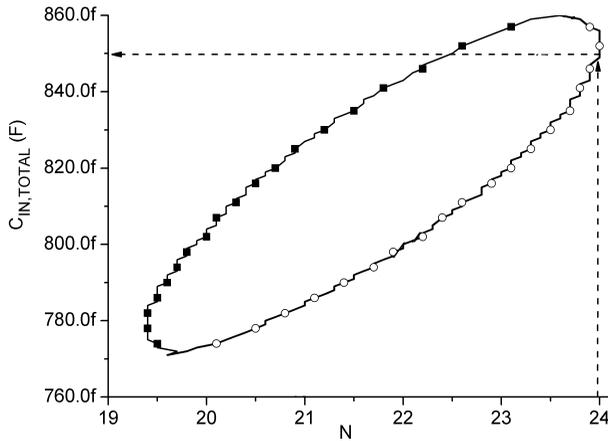


Figura 58: $C_{in,otal}$ vs. N , $R_{ant} = 50\Omega$, $f=900$ MHz, $P_{AV}=-20,4$ dBm.

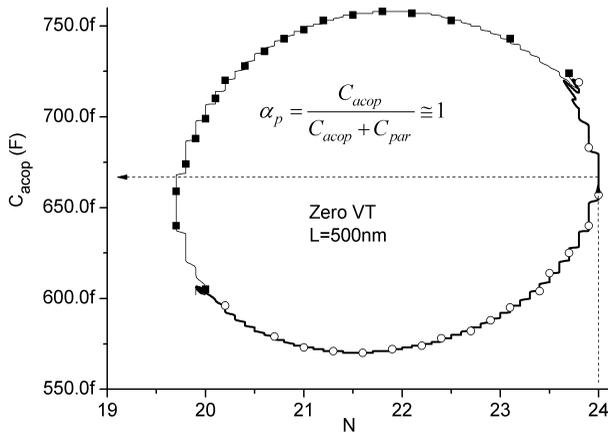


Figura 59: Capacitância C_{acop} vs. N , $R_{ant} = 50\Omega$, $f=900$ MHz, $P_{AV}=-20,4$ dBm, $\alpha_p = 0,99$.

C_{acop} deveria ser escalada com a corrente de carga numa razão C/I para aumentar a eficiência da conversão de potência [34]. Entretanto, o capacitor integrado consome muita área de silício. Então, Yi *et al* [34] concluíram que

uma razão entre 0,1 pF/1 μ A a 1 pF/1 μ A é uma boa relação entre eficiência e consumo de área para uma tecnologia CMOS 180 nm. Para otimizar o projeto em termos de eficiência e de consumo de área de silício foram realizadas simulações na Cadence para verificar a dependência da potência de entrada com o capacitor C_{acop} , mantendo os parâmetros de projeto ($V_L = 1$ V e $I_L = 1$ μ A).

Na tecnologia IBM 130 nm, para construir o capacitor pode-se utilizar o modelo MIMCAP e o DualMIMCap. A capacitância mínima para o MIMCAP é de 100 fF, enquanto para o DualMIMCap é de 680 fF. Analisando o gráfico da Figura 60 escolheu-se o valor de $C_{acop} = 350$ fF, pois um valor maior de capacitância não apresenta ganho significativo em termos de P_{AV} . Em termos de área de silício, um capacitor MIMCap de 350 fF ocupa aproximadamente $350 \mu\text{m}^2$, enquanto um de 100 fF ocupa aproximadamente $180 \mu\text{m}^2$. Então, ganha-se 1 dB em sensibilidade (-18,4 dBm para -19,4 dBm), gastando-se aproximadamente duas vezes a área de silício. Para este projeto de tese utilizou-se $C_{acop} = 350$ fF.

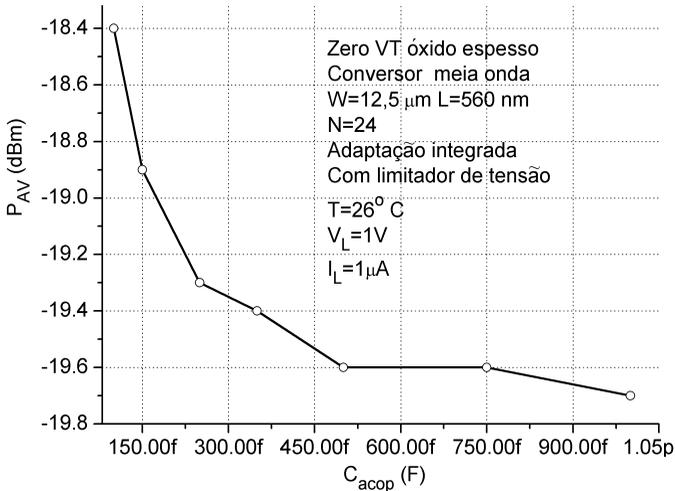


Figura 60: P_{AV} vs. C_{acop} . Transistor zero VT óxido espesso, $W = 12,5 \mu\text{m}$, $L = 560\text{nm}$, $N=24$, adaptação integrada, conversor de meia onda, $T = 26^\circ\text{C}$, $V_L = 1$ V, $I_L = 1 \mu\text{A}$.

O passo F indica que, se a capacitância parasitária total do retificador ($C_{par,total}$ a qual é o produto de $C_{par} \times N$) for maior que o valor encontrado no projeto (encontrada na curva de C_{in} vs. N (Fig. 58), pode-se colocar um

indutor em paralelo para reduzir/cancelar o efeito capacitivo, ou reiniciar o projeto definindo uma nova potência disponível P_{AV} , ou número de diodos (**passo C**). O uso de indutor integrado em paralelo com a entrada do retificador requer, em geral, um aumento na potência de entrada devido às perdas no indutor. Verificou-se, por meio de simulações elétricas, que este o aumento na potência de entrada devido à inclusão deste indutor é maior do que o aumento necessário da potência na entrada do conversor AC/DC sem a inclusão do indutor, para atender as especificações do projeto.

Para o projeto desta tese, utilizou-se $C_{in,total} > C_{par,total}$. O capacitor C_{comp} será adicionado para completar a diferença (positiva) entre $C_{in,total}$ e $C_{par,total}$. Se $C_{par,total} > C_{in,total}$, é realizado aumento da potência de entrada. Este aumento na potência de entrada reduz as dimensões dos transistores, e, por consequência, reduz o valor de $C_{par,total}$.

A Figura 61 mostra o resultado da simulação numérica do fator de qualidade do retificador como função do número de diodos. Como apresentado na seção 3.2.2, para que o conversor possa operar com uma banda de 100 MHz, o fator de qualidade do retificador deve ser da ordem de 10. Neste caso, com $N=24$, temos que um fator de qualidade de aproximadamente 8,4. O fator de qualidade escolhido nesta figura pode ser usado como valor inicial para o projeto das redes *tapped inductor* e PI, pois *a priori* não é possível especificar o fator de qualidade do conversor AC/DC.

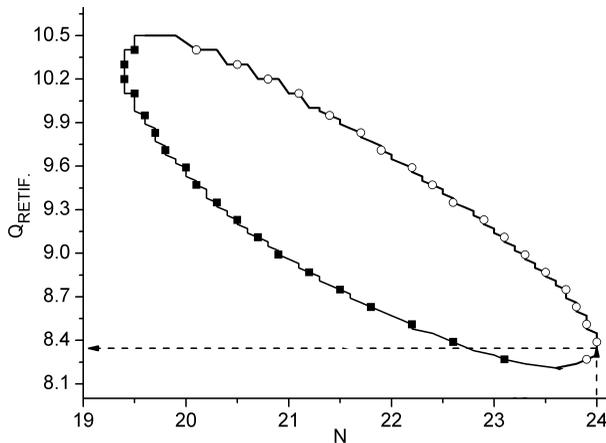


Figura 61: Q_{ret} vs. N , $R_{ant} = 50 \Omega$, $f=900$ MHz, $P_{AV}=20,4$ dBm.

O passo G do fluxograma é o encerramento do mesmo, onde o resultado de saída são os componentes da rede de adaptação de impedâncias, o número de estágios, as dimensões dos transistores conectados como diodos e o valor do capacitor de acoplamento C_{acop} .

De uma forma geral, a rede de adaptação reduz a corrente de saturação do diodo e o número de estágios, para uma mesma potência de entrada, na comparação com o conversor sem a rede de adaptação de impedâncias.

A seguir será apresentado o resumo do projeto com adaptação de impedâncias para as redes *tapped inductor*, PI e LC.

A Tabela 11 mostra o resumo do projeto para adaptação integrada, e a Tabela 12 para projeto com adaptação externa ao circuito integrado incluindo a capacitância de compensação C_{comp} . O capacitor $C_{in,total}$ é o valor da capacitância na entrada do multiplicador, encontrado nas curvas apresentadas em função do número de diodos escolhido. A capacitância $C_{par,total}$ é a capacitância parasita total do multiplicador, sendo função das dimensões do transistor e do número de diodos (N).

Tabela 11: Resumo comparativo de projeto para diferentes redes integradas de adaptação de impedâncias. $R_{ant} = 50\Omega$, $V_L = 1\text{ V}$, $I_L = 1\mu\text{A}$

Rede	Adaptação integrada		
	Tapped inductor	PI	LC
Pav	-20,4 dBm	-20,4 dBm	-20,4 dBm
Io	790 nA	790 nA	790 nA
N	24	24	24
Transistor	zero VT óx. fino	zero VT óx. fino	zero VT óx. fino
W/L	5,1 $\mu\text{m}/0,5\mu\text{m}$	5,1 $\mu\text{m}/0,5\mu\text{m}$	5,1 $\mu\text{m}/0,5\mu\text{m}$
Q_{retif}	8,3	8,3	8,3
Q_{ind}	8	8	8
L_p	41 nH	–	–
R_p	1861 Ω	–	–
L_s	34 nH	27,8 nH	36 nH
R_s	24 Ω	19,7 Ω	19 Ω
C_{acopl}	1 pF	1 pF	1 pF
$C_{in,total}$	850 fF	700 fF e $C_1=41\text{ fF (pad)}$	820 fF
$C_{par,total}$	159 fF	159 fF	159 fF
C_{comp}	691 fF	541 fF	661 fF
V_A	125 mV	125 mV	120 mV

De um modo geral, a rede LC mostrou-se mais adequada para o projeto pois necessita de apenas um indutor com valor não muito superior aos das outras redes e com potência de entrada mínima semelhante às redes *tapped inductor* e PI. Desta forma, optou-se pelo uso da rede de adaptação LC para

Tabela 12: Resumo comparativo de projeto para diferentes redes externas de adaptação de impedâncias. $R_{ant} = 50\Omega$, $V_L = 1\text{ V}$, $I_L = 1\mu\text{A}$

	Adaptação externa	
	Tapped inductor	LC
PAV	-22,5 dBm	-22,5 dBm
I_o	620 nA	620 nA
N	24	24
Trans. W/L	zero VT óx. fino 4 $\mu\text{m}/0,5\mu\text{m}$	zero VT óx. fino 4 $\mu\text{m}/0,5\mu\text{m}$
Q_{retif}	7	8
Q_{ind}	50	50
L_p	20,9 nH	NA
R_p	5,9 k Ω	NA
L_s	43,5 nH	30 nH
R_s	5 Ω	3,4 Ω
$C_{acopl.}$	1 pF	1 pF
$C_{in,total}$	485 fF	670 fF
$C_{par,total}$	125 fF	125 fF
$C_{comp.}$	360 fF	545 fF
V_A	143 mV	140 mV

este trabalho de tese.

3.2.5 Capacitor de saída

Iremos fazer uma estimativa do valor do capacitor de saída, assumindo as seguintes hipóteses para uma tensão DC de 1 V:

1) O conversor AC/DC alimenta uma carga que pode ser um sensor ou transmissor de RF que emite um sinal de duração de 1 ms (1% do período de trabalho) com consumo menor que 2 mA (para alimentação de $1,2V_{DC}$) no modo transmissão/recepção. Estes são valores para o transceiver comercial ZL 70250 da empresa Zarlink Semiconductor disponível em <http://www.zarlink.com/zarlink/hs/82zL70250.htm>. Existem vários artigos acadêmicos com consumo de potência menores que 2 mW como, por exemplo, os apresentados em [6], [7] e [52].

2) o circuito de controle consome durante 100 ms uma corrente da ordem de 300 nA em modo de repouso (*standby*),

3) o *ripple* de tensão é de 5% ($0.05 \times 1V = 50$ mV),

4) a frequência de operação é de 900 MHz,

5) Corrente de saturação do diodo de 790 nA.

Reescrevendo a equação da tensão de *ripple* (eq. (51)) do capítulo 2 apresentada nesta tese, para encontrar o valor do capacitor.

$$C_{out} \cong \frac{I_o + I_L}{2f\Delta V} \rightarrow C_{out} \cong \frac{2\text{ mA} + 790\text{ nA}}{2 * 900\text{ MHz} * 50\text{ mV}} = 22,2\text{ pF} \quad (30)$$

3.2.6 Topologia do multiplicador utilizando transistores MOS

Como apresentado na seção 1.3, o conversor AC/DC pode ser projetado utilizando as topologias de meia onda ou de onda completa. Foram analisadas diversas estruturas presentes nas referências bibliográficas [25], [46], [51], [53]. Optamos pela utilização da estrutura retificadora da Figura 62.

Os diodos podem ser implementados utilizando a ligação DTMOS para os transistores N e P, ou utilizando o diodo zero VT. A opção pelo transistor zero-VT é a mais apropriada para os retificadores de ultra baixa tensão devido a sua capacidade de corrente consideravelmente maior em baixas tensões.

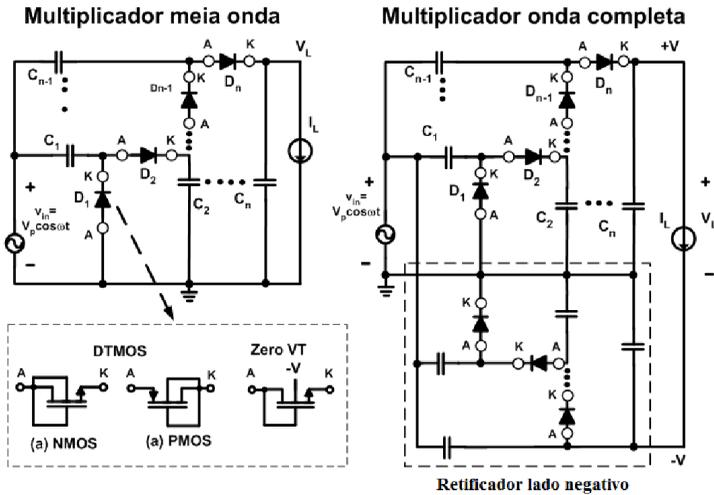


Figura 62: Diagrama multiplicador com transistores.

3.3 SIMULAÇÕES DO CIRCUITO PÓS-LEIAUTE

Esta seção destina-se a apresentar o projeto do leiaute do conversor AC/DC projetado. Foram realizados dois projetos com os transistores zero VT. O primeiro, com o uso de adaptação de impedância integrada ao circuito integrado, e outro com adaptação externa. O capacitor de saída utilizado foi de 2 pF (salvo indicado em contrário).

Na Figura 63 é apresentada a curva do fator de qualidade como função da frequência para o indutor de 36 nH na condição de pré e pós-leiaute. O valor de Q foi determinado a partir da corrente no indutor excitado por uma fonte de tensão AC. O Q do indutor é a relação entre a parte imaginária e a parte real da admitância. O fator de qualidade do indutor extraído do leiaute apresentou uma diferença muito pequena em relação ao do pré-leiaute. Na frequência de 900 MHz (marcada no gráfico), o fator de qualidade é de 11,8 para a condição pós leiaute. Recentemente, foi medido no nosso laboratório (LCI) um indutor fabricado em 2011 na tecnologia IBM 130 nm e o fator de qualidade apresentou valor muito próximo do extraído por simulação.

Para os capacitores de acoplamento do conversor AC/DC especificados em 1 pF, a extração pós-leiaute apontou um fator de qualidade de 150. Portanto, as perdas nestes componentes não precisam ser incluídas no projeto.

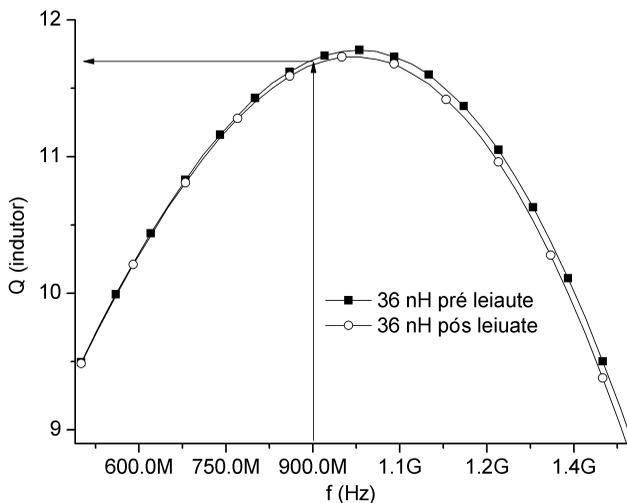


Figura 63: Simulação do fator de qualidade do indutor de 36 nH para pré e pós-leiaute vs. freq.

A Figura 64 mostra resultado de simulação no *Spectre* da tensão DC de saída para os multiplicadores de meia onda e onda completa apresentados na Figura 62. As duas topologias produzem 1V na sua saída, sob as mesmas condições. Foi utilizada a rede de adaptação LC.

O multiplicador de tensão em onda completa tem o tempo de transiente significativamente menor que o do meia onda. Além disso, utilizando-se os mesmos valores de capacitores nos estágios intermediários e na saída, o conversor AC/DC de onda completa tem um *ripple* de tensão na saída inferior ao do meia onda.

A Tabela 13 compara a tensão de saída com dados do projeto utilizando a metodologia proposta nesta tese, e dados de simulação elétrica antes e depois do leiaute do multiplicador de tensão. A tensão de saída pós leiaute para adaptação de impedâncias integrada ao circuito integrado apresentou uma variação de aproximadamente +8% com relação ao valor projetado com a metodologia proposta nesta tese. Para a rede de adaptação de impedâncias externa ao circuito integrado, a variação foi de +4% com relação ao valor projetado. O valor da largura do canal foi levemente ajustado após a simulação elétrica.

O capacitor de compensação C_{comp} foi alterado de 604 fF (Tab. 11) para 100 fF, como função do aumento das capacitâncias parasitárias inerentes

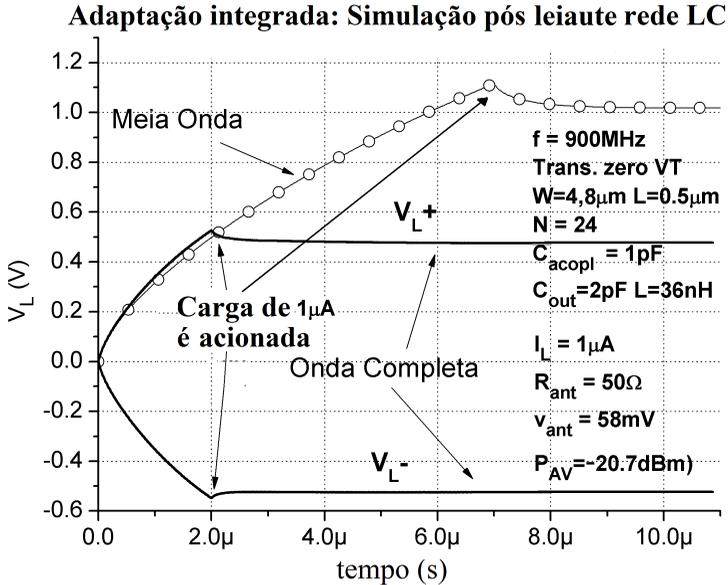


Figura 64: Simulação pós-leiaute tensão DC de saída dos conversores de onda completa e de meia onda. $N=24$; adaptação integrada; diodos zero VT óxido fino, $I_L = 1\mu\text{A}$, $R_{\text{ant}} = 50\Omega$, $v_{\text{ant}} = 58\text{mV}$, $P_{\text{AV}} = -20,7\text{ dBm}$.

à implementação física do conversor.

Na confecção do leiaute foram tomadas várias medidas para reduzir o efeito das parasitas inerentes ao leiaute. Como exemplo, criou-se um bloco dobrador de tensão, o qual foi replicado N vezes. Neste bloco, evitou-se paralelismo entre trilhas do mesmo *layer* e entre *layers* imediatamente paralelos. Também, reduziu-se comprimento de trilhas e cantos de 90 graus. Foi utilizado o próprio sinal de terra como anel de guarda, reduzindo área de silício.

A Tabela 14 apresenta um resumo comparativo entre resultados desta tese e de artigos recentemente publicados sobre multiplicadores de tensão.

Tabela 13: Comparação da tensão de saída utilizando a metodologia proposta e simulações elétricas de pré e pós-leiaute do multiplicador de onda completa sem limitador de tensão. $N=24$, transistor zero VT, $f=900$ MHz, rede LC, $C_{acop} = 1$ pF.

	Projeto	Adap. integrada N=24		Adap. externa N=24	
		Pré leiaute	Pós leiaute	Pré leiaute	Pós leiaute
$V_L +$	500 mV	500 mV	517 mV	511 mV	495 mV
$V_L -$	-500 mV	-550 mV	-567 mV	-575 mV	-550 mV
Total	1 V	1,05 V	1,08 V	1,09 V	1,04 V
P_{AV} (dBm)	-20,4	-20,4	-20,7	-22,5	-22,5
zero VT	$W = 5,7 \mu\text{m}$ $L=500$ nm	$W = 4,8 \mu\text{m}$ $L=500$ nm	$W = 4 \mu\text{m}$ $L=500$ nm	$W = 4 \mu\text{m}$ $L=500$ nm	$W = 4 \mu\text{m}$ $L=500$ nm

Tabela 14: Comparação entre multiplicadores de tensão.

	Este trabalho	Papotto [50]	Shu [51]	Reinish [8]
Tecnologia	130 nm	90 nm	90 nm	130 nm
Freq. operação	868 a 956 MHz	915 MHz	915 MHz	900 MHz
Adaptação	externa	integrada	externa	externa
Simul./Medidas	Simulado	Medido	Simulado	Medido
$P_{in,min}$	-22,5 dBm $I_L = 1 \mu\text{A}$	-18,8 dBm $I_L = 1,2 \mu\text{A}$	-20,36 dBm $I_L = 6,76 \mu\text{A}$	-14,3 dBm $I_L = 1 \mu\text{A}$
V_{out} DC	1 V Sem limitador	1,2 V	1 V	1 V

3.3.1 Limitador de tensão

Quando a potência disponível para o conversor AC/DC for superior à prevista no projeto (-20,7 dBm para adaptação integrada e -22,5 dBm para adaptação externa), a tensão DC de saída do conversor AC/DC ultrapassa 1 V, deve-se limitar a tensão na carga. Um circuito simples que pode ser utilizado é o empilhamento de diodos apresentado na Figura 65. Existem outras opções para o limitador de saída [54], [48] e [55] e também para limitar a tensão na entrada do retificador [56]. A limitação na entrada do retificador torna-se mais complexa, pois interfere na impedância do mesmo vista da antena, além de inserir componentes parasitas adicionais.

Os diodos são implementados com transistores NMOS *standard*, capazes de suportar tensões de trabalho de 2,5 V. Foram projetados dois conjuntos de transistores conectados como diodos com o objetivo de reduzir o consumo de corrente quando a potência na entrada é mínima (segundo projeto). O conjunto denominado com corrente I_{baixo} foi projetado para drenar corrente quando a saída exceder 1 V, enquanto que o segundo conjunto foi projetado

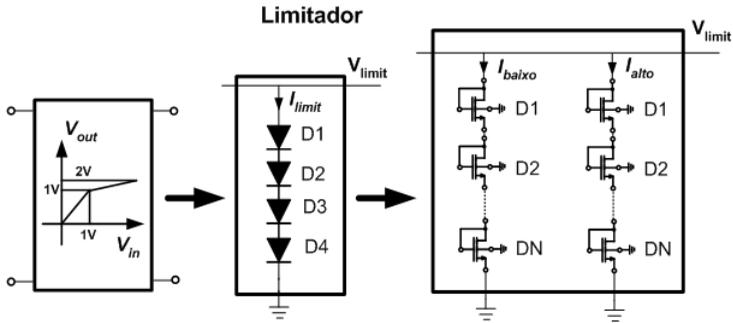


Figura 65: Diagrama do limitador de tensão com diodos empilhados.

para drenar corrente quando a saída exceder 1,5 V. Para este fim, os transistores dos dois conjuntos possuem dimensões diferentes. Obviamente, estes diodos começam a consumir corrente antes da tensão especificada. Desta forma, é importante encontrar as dimensões que propiciem o maior controle, com o menor consumo possível.

Foi realizado um estudo para o projeto das dimensões destes diodos e da quantidade dos mesmos segundo as definições:

a) Quando $P_{in} = P_{min}$ e a tensão DC de saída do conversor AC/DC for 1 V, o limitador deve consumir o mínimo possível. Para 1 V de saída a corrente no limitador é de 37 nA, aproximadamente.

b) Quando $P_{in} = P_{max}$, a tensão de saída deve ser menor que a tensão máxima suportada pela tecnologia. No caso da IBM 130 nm, as tensões máximas são de 2,5 V para óxido fino e de 3,3 V para óxido grosso respectivamente. Para os transistores zero VT as tensões máximas são 1,2 V e 2,5 V para óxidos fino e espesso, respectivamente. Foi fixada a tensão máxima em torno de 2,4 V para uma potência máxima de entrada de -6 dBm, pois os transistores para compor o limitador de tensão escolhido são NMOS *standard*. Esta potência corresponderia a uma distância de aproximadamente 3 m entre o *tag* e a fonte de RF.

A Tabela 15 mostra um resumo de simulações do circuito conversor AC/DC meia onda pós-leiaute utilizando a adaptação integrada com a rede LC, adicionando na saída o circuito limitador de tensão da Figura 65, com quatro diodos. Para gerar estes dados foram considerados:

a) limitador: quatro diodos NMOS *standard*, $W/L = 1,02\mu\text{m}/0,18\mu\text{m}$ em série para limite inferior de tensão, em paralelo com quatro diodos de $W/L = 18\mu\text{m}/0,48\mu\text{m}$ em série para o limite superior de tensão.

b) conversor AC/DC com rede LC, zero VT, $W_Z/L_Z = 4,8\mu\text{m}/0,5\mu\text{m}$,

$L_{ind} = 36 \text{ nH}$, $C_{acop} = 1 \text{ pF}$, $N=24$, $I_L = 1 \mu\text{A}$.

A Tabela 15 mostra o resultado de simulações na *Spectre*.

Tabela 15: Resultado de simulações pós-leiaute do conversor AC/DC com limitador de tensão. $N=24$, adapt. integrada; diodos zero VT óxido espesso, $I_L = 1 \mu\text{A}$, $V_L = 1 \text{ V}$ $R_{ant} = 50 \Omega$, $C_{acop} = 350 \text{ fF}$, $T = 26^\circ\text{C}$.

P_{AV}	Dist. (m)	Tensão na carga sem limitador (V)	Tensão na carga com limitador (V)	Corrente no limitador (A)
-20,0 dBm	17	1,3	1,0	270 n
-10 dBm	5	8,5	2,0	9,3 μ
-6 dBm	3	15	2,4	21 μ

A Figura 66 mostra uma simulação do valor da tensão DC de saída do multiplicador meia onda como função da frequência do sinal AC de entrada para o circuito pós-leiaute com o limitador de tensão incluído. Percebe-se que, para a faixa de RFID das três regiões globais (ver fig. 2) 868-956 MHz, a tensão de saída varia entre 945 mV a 925 mV (-5,5% e -7,5% respectivamente do valor desejado de 1 V para $P_{AV}=-20,7 \text{ dBm}$), viabilizando o uso deste multiplicador de forma mais ampla (vários projetos/artigos são apresentados para uma faixa mais estreita, por exemplo 902-928 MHz (região 2 Fig. 2)).

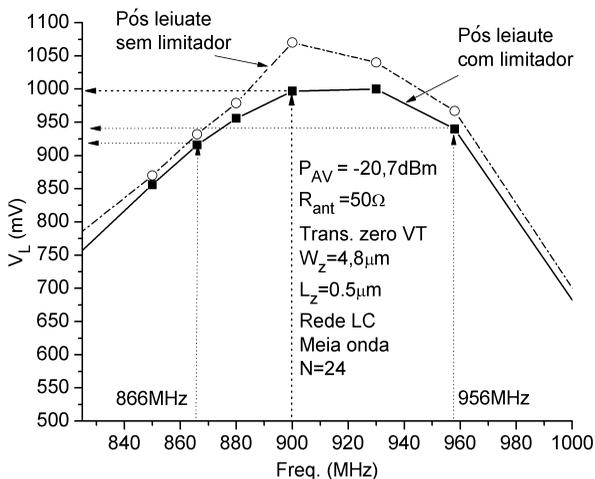


Figura 66: Simulação da tensão de saída vs. frequência pós-leiaute com limitador. $R_{ant} = 50 \Omega$, $C_{acop} = 1 \text{ pF}$, transistor zero VT óxido fino, $N=24$, $T = 26^\circ\text{C}$, rede LC, $C_{acop} = 1 \text{ pF}$.

A Figura 67 mostra uma simulação do valor da tensão DC de saída do multiplicador de meia onda em função da variação da temperatura para o circuito pós leiaute com o limitador de tensão incluído. Entre 0°C e 50°C ocorre uma variação de aproximadamente 11% na tensão de saída (1020 mV para 910 mV).

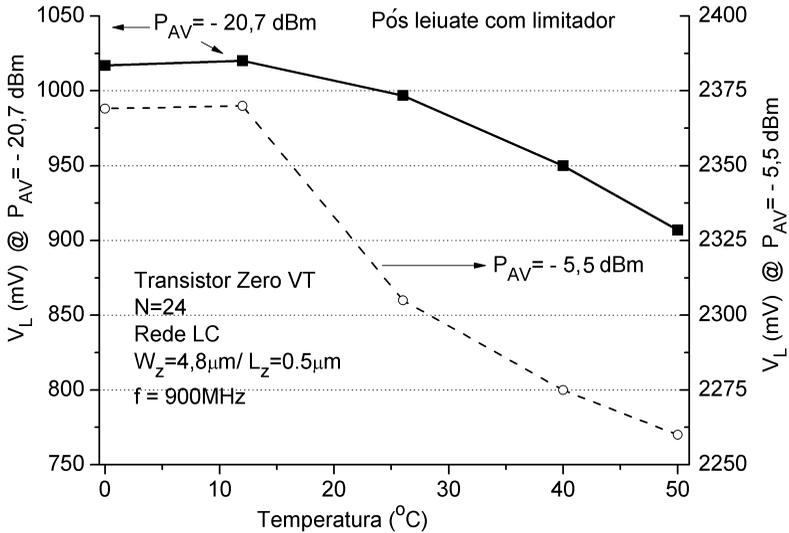


Figura 67: Simulação da tensão de saída vs. frequência pós-leiaute com limitador. $R_{ant} = 50\Omega$, diodos zero VT óxido fino, $N=24$, $f=900\text{MHz}$, rede LC, $C_{acop} = 1\text{pF}$, $T = 26^\circ\text{C}$.

A Tabela 16 mostra o resultado de simulação da tensão DC do conversor AC/DC meia onda para os *corners* TT (*Typical-Typical*), FS (*Fast-Slow*) e SF (*Slow-Fast*). A potência mínima para alimentar a carga com 1 V e 1 μA foi aumentada de -20,7 dBm (para o conversor com transistores de óxido fino Fig. 67) para -17,4 dBm para compensar o efeito dos parâmetros de *corners*. Os conversores com transistores zero VT com óxido de porta fino e espesso apresentam respostas semelhantes.

Na Tabela 16 os dois casos mais extremos são a condição FS (*Fast-Slow*) e 50° para $P_{AV} = -17,4$ dBm, resultando numa tensão DC de 0,97 V, e a condição SF (*Slow-Fast*) e 0° para $P_{AV} = -6$ dBm resultando numa tensão DC de 2,41 V. Estas seriam as mínima e máxima tensões na saída do conversor AC/DC sob condições extremas. Então, conclui-se que o circuito forneceria no mínimo 1 V e a máxima tensão estaria abaixo da máxima permitida pelo

dispositivo, que é de 2,5 V.

Tabela 16: Tensão DC pós-leiaute do conversor AC/DC vs. temperatura vs. corners para valores limites de P_{AV} . $N=24$, transistor zero VT óxido espesso, $f=900$ MHz, rede LC, $C_{acop} = 350$ fF.

	$P_{AV} = -17,4$ dBm			$P_{AV} = -6$ dBm		
	0°C	26°C	50°C	0°C	26°C	50°C
Condição	V_L (V)	V_L (V)	V_L (V)	V_L (V)	V_L (V)	V_L (V)
TT	1,4	1,2	1,1	2,3	2,1	2,0
FS	1,3	1,16	0,97	2,1	2,0	1,9
SF	1,4	1,3	1,2	2,4	2,3	2,2

3.4 LEIAUTE

Foram projetados vários circuitos, apresentados na Figura 68, para serem integrados na tecnologia IBM 130nm 8RF DM. Foram projetados conversores AC/DC com transistores MOS zero VT com óxidos fino e espesso, sendo apresentados apenas os leiautes para os conversores com transistores de óxido fino, pois a diferença é apenas nas dimensões necessárias para os transistores e capacitores.

Os circuitos apresentados nesta figura foram projetados utilizando-se a metodologia de projeto descrita no fluxograma da Figura 53. Foram projetados circuitos para utilizar medição interna ao circuito integrado, através de pontas de prova adequadas (circuitos com o *pads* internos), e também circuitos para serem avaliados através de pinos externos. Para este fim, foi utilizado o encapsulamento SMD³ OCP QFN 9x9 64A, mais adequado para aplicações em RF, em função de suas dimensões reduzidas. Este encapsulamento também foi escolhido por possuir 64 pinos, pois vários outros projetos compartilham o mesmo chip.

A Figura 69 mostra o leiaute do multiplicador de tensão onda completa, com $N=24$ utilizando transistores zero VT. Neste leiaute utilizou-se rede de adaptação LC. As simulações realizadas consideraram a capacitância do *pad* no valor de 41 fF. Foram utilizados *pads* sem proteção, para reduzir as perdas. O indutor utilizado foi de 36 nH.

Na figura 70 é apresentado o leiaute do bloco dobrador de onda completa que compõe o conversor da Figura 69. Para tensões de saída de 1,2 V ou mais este retificador não irá operar adequadamente devido à polarização direta dos diodos de junção dreno-substrato. Infelizmente, só observamos este erro após o *tape-out*. Para correção deste problema, iremos conectar o substrato dos transistores zero-VT em futura integração.

A Figura 71 mostra o leiaute do conversor AC/DC de meia onda com $N=24$ utilizando transistores zero VT com $W = 4,8 \mu\text{m}$, $L = 500 \text{ nm}$ e $C_{comp} = 1 \text{ pF}$ para adaptação integrada. Neste leiaute utilizou-se a rede de adaptação LC. O indutor utilizado foi de 36 nH e os capacitores de acoplamento entre os estágios de 1 pF.

A figura 72 apresenta o leiaute do bloco dobrador de meia onda que compõe o conversor da Figura 71.

³SMD:Dispositivo para montagem em superfície

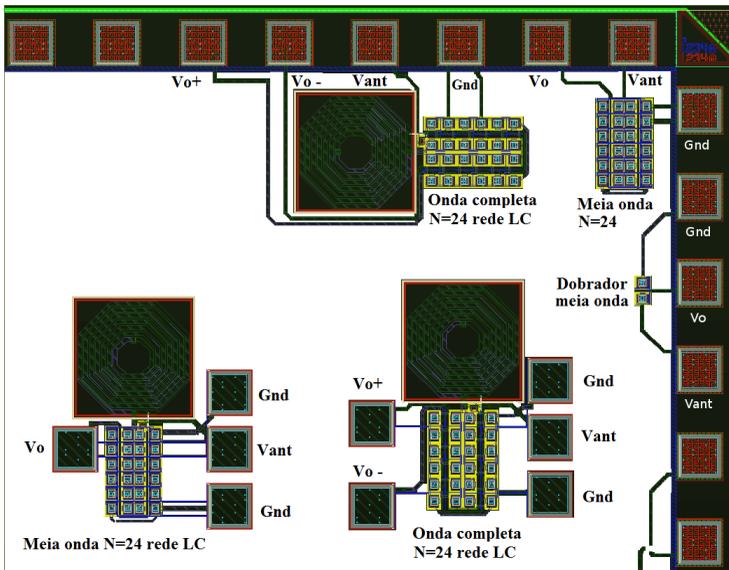


Figura 68: Leiaute do circuito integrado projetado na tecnologia IBM 130nm SRF DM.

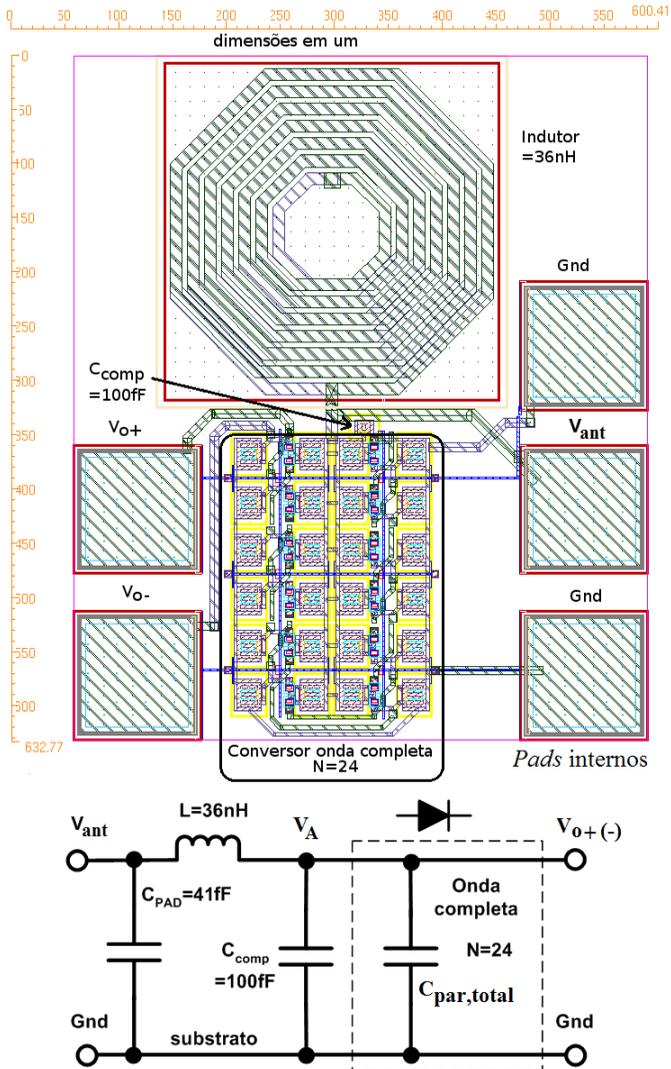


Figura 69: Leiaute multiplicador de onda completa com adaptação integrada LC com *pads*; transistor zero VT óxido fino, $W = 4,8\mu\text{m}$, $L = 0,5\mu\text{m}$, $N=24$, $C_{\text{acop}}=1\text{ pF}$, $L=36\text{ nH}$.

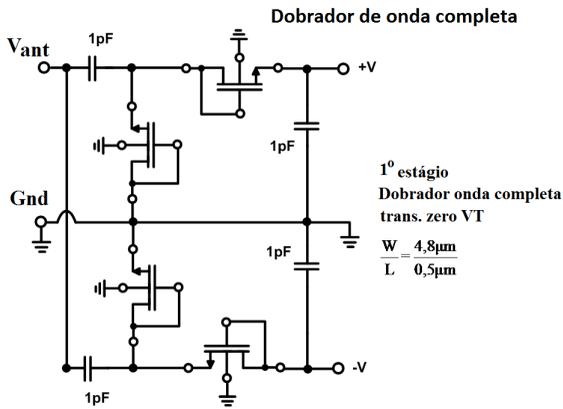
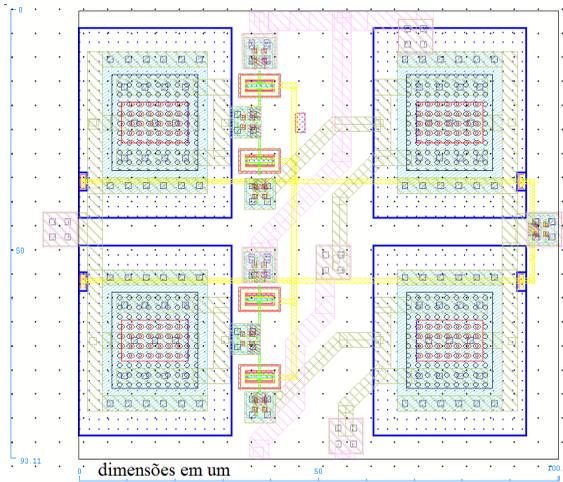


Figura 70: Leiaute do bloco dobrador de onda completa da Figura 69.

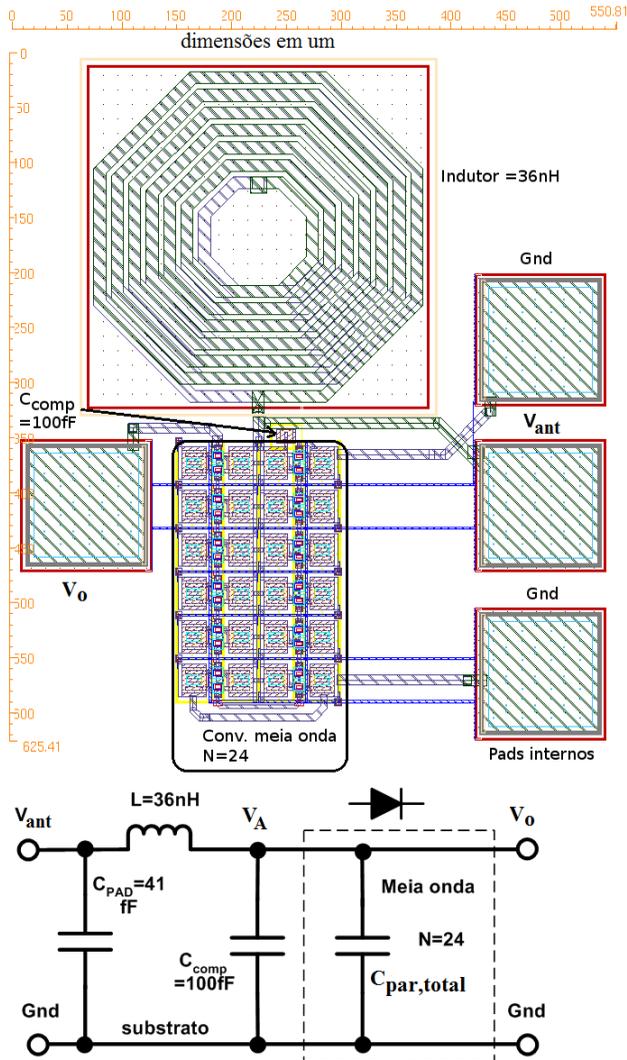


Figura 71: Leiaute multiplicador de meia onda com adaptação integrada LC com pads; diodos zero VT óxido fino, $W = 4,8\mu\text{m}$, $L = 0,5\mu\text{m}$, $N=24$, $C_{acop}=1\text{ pF}$, $L=36\text{ nH}$.

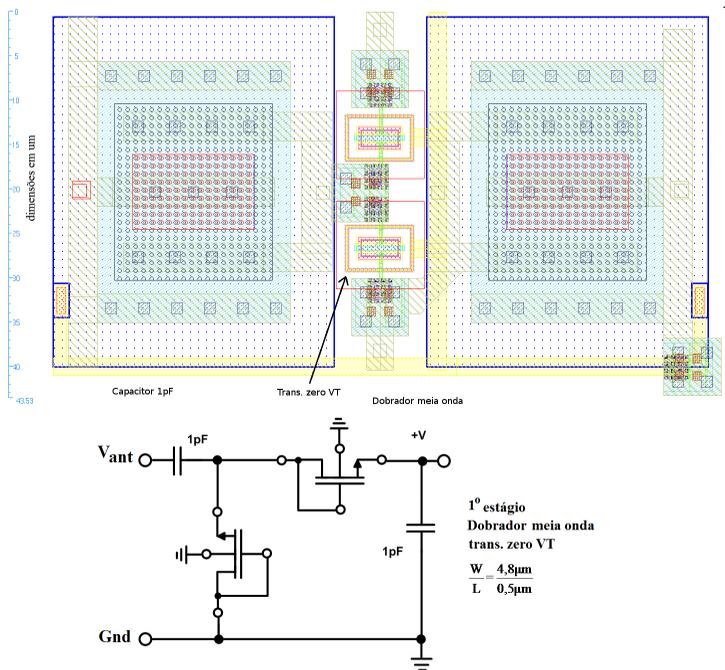


Figura 72: Leiante dobrador de meia onda da Fig. 71. Transistor zero VT óxido fino, $W = 4,8\mu\text{m}$, $L = 0,5\mu\text{m}$, $C_{acop} = 1\text{ pF}$.

4 CONCLUSÕES

A demanda por circuitos retificadores que possam operar eficientemente com tensões muito baixas está aumentando como consequência do crescente interesse por *tags* de RFID. Retificadores de baixa tensão também são utilizados para processar energia captada de vibrações, ou mesmo do movimento do corpo [4]. O uso de circuito de captação de energia também tem sido considerado para dispositivos biomédicos. Como nessas aplicações a tensão AC geralmente não é maior que poucas centenas de milivolts, o modelo clássico do diodo com queda de tensão constante de, por exemplo, 600 mV, é claramente inadequado.

Diversos autores propuseram modelos para determinar as principais variáveis do retificador de ultrabaixa tensão de operação. Entretanto, esses modelos mostraram-se complicados na determinação de suas variáveis, ou possuem baixa precisão, ou para sua utilização necessitam de computação numérica.

Nesta tese foi apresentado um modelo bastante simples de boa precisão para o circuito retificador operando com tensões ultrabaixas. O modelo permite calcular a tensão DC e *ripple* na saída, transiente durante o *start-up* e eficiência na conversão de potência AC/DC. O modelo foi testado através da comparação com simulações e medidas de laboratório com um diodo de uso comercial (1N4148), mostrando-se válido para uma ampla faixa de tensão de entrada (25 mV a 2 V) e para uma variação de corrente de carga por corrente de saturação (I_L/I_o) do diodo de seis décadas.

O espaço de projeto do retificador/multiplicador foi explorado por meio de uma metodologia de projeto desenvolvida para que, através de gráficos, o projetista possa de forma fácil, rápida e com boa precisão, determinar os principais elementos do conversor AC/DC e da rede de adaptação de impedâncias. O projetista tem a liberdade de escolher valores dos elementos do circuito que mais lhe convenham como, por exemplo, o valor de capacitância de acoplamento ou o valor do indutor da rede de adaptação. O projetista também pode facilmente saber se, para uma dada potência de entrada, frequência se determinado tipo de transistor pode ser utilizado para atender os requisitos do projeto. Além disso, esta metodologia de projeto pode ser utilizada para conversores com diodos ou transistores conectados como diodos, mesmo que sua equação característica não seja a do diodo exponencial. Para realizar casamento entre a antena (ou impedância da fonte geradora de sinal AC) e o conversor AC/DC, foram estudadas diferentes redes de adaptação de impedâncias, cujo equacionamento baseia-se no modelo proposto nesta tese.

Foram projetados conversores AC/DC utilizando transistores MOS conectados como diodos que apresentaram, na simulação pós leiaute, uma diferença em relação à tensão de 1 V desejada, de +8% (1,08 V) para o multiplicador de 24 estágios integrado, e de +5% (1,05 V) para o multiplicador de 24 estágios externo, mostrando que o modelo e a metodologia propostos para o projeto possuem ótima precisão. As simulações elétricas realizadas mostraram que, se o transistor conectado como diodo opera como um diodo exponencial, o modelo proposto nesta tese apresenta uma precisão superior a 95% na determinação da tensão DC do conversor AC/DC.

Para a corrente de $1\mu\text{A}$, o multiplicador projetado produziu a tensão desejada de 1 V para -22,5 dBm de potência de entrada para o conversor AC/DC com adaptação externa de impedância, superando as referências citadas na Tabela 14. Além disso, como resultado de simulações, o circuito mostra-se viável para operar na faixa de 868-956 MHz.

5 PUBLICAÇÕES

Ao longo das atividades de pesquisa realizadas durante o período de doutoramento, obteve-se a publicação dos artigos científicos listados a seguir.

Artigo em periódico internacional:

Cardoso, A. J. and Montoro, C.G., Schneider, M. C. and Carli, L. G. Analysis of the rectifier circuit down to its low-voltage limit. *IEEE Transaction on Circuit and System - I*. vol.59 , n.1 , pp. 106-112, Jan, 2012.

Artigo em congressos internacionais:

Cardoso, A. J. and Montoro, C.G. and Schneider, M. C. Teaching low voltage electronics: the case of the rectifier circuit. *IEEE International Conference on Microelectronic Systems Education (MSE)*, San Diego, USA, 2011, pp.29-30, 5-6 June 2011.

Cardoso, A. J. and Montoro, C.G. and Schneider, M. C. Design of very low voltage CMOS rectifier circuits. *IEEE 2010 Circuits and Systems for Medical and Environmental Applications Workshop (CASME)*, Mérida, Mexico, Dec. 2010.

Artigo em congresso nacional/regional:

Cardoso, A. J., Montoro C. G. and Schneider, M. C. , CMOS rectifier design for energy harvesting based on vibrations, *IBERCHIP XVI Workshop*, Iguazu Falls, pp. 241-245, February 2010.

Cardoso, A. J., Schneider, M. C. , Galup-Montoro C. and Orlandi, A. S. , Energy harvesting based on a low-cost piezoelectric acoustic transducer, *IBERCHIP XV Workshop*, Buenos Aires, Argentina, pp. 421-424, March 2009.

Hayasaka,H. M., Cardoso, A. J. and Galup-Montoro, C. CMOS rectifier using the composite diode in a bulk technology. *X Microelectronics Students Forum (SForum 2010)*, São Paulo, September 6 to 9, 2010.

Cardoso, A. J., Bravo, R. R., and De Carli, L. An autonomous sensor powered by energy harvesting from mechanical vibrations. *XIX Congresso Brasileiro de Automática (CBA)*, Campina Grande, Setembro, 2012. Artigo aceito para publicação.

ANEXO A – RIPPLE DE TENSÃO DE SAÍDA DO RETIFICADOR DE MEIA ONDA

A corrente do diodo é escrita como:

$$I_D = I_L + C \frac{dV_o}{dt} = I_o \left[e^{\left(\frac{v_{in} - V_o}{n\phi_t} \right)} - 1 \right] \quad (1)$$

A equação (1) pode ser reescrita como:

$$\left(1 + \frac{I_L}{I_o} \right) e^{\frac{V_o}{n\phi_t}} + \frac{C}{I_o} n\phi_t \frac{d \left(e^{\frac{V_o}{n\phi_t}} \right)}{dt} = e^{\frac{v_{in}}{n\phi_t}} \quad (2)$$

A solução da equação (2) pode ser obtida pela integração nos intervalos $[-T/2, 0]$ e $[0, T/2]$, onde $V_{in} = -V_P$ e $V_{in} = V_P$, respectivamente. Em estado permanente $V_o(-T/2) = V_o(T/2)$. Aplicando esta condição de contorno e a condição de continuidade para $t = 0$, podem-se encontrar as duas constantes de integração:

$$e^{\frac{-V_P - V_L}{n\phi_t}} = \frac{I_L}{I_o} + \frac{C}{I_o} \frac{dv_L}{dt} + 1 = e^{\frac{-V_P}{n\phi_t}} \cdot e^{\frac{-V_L}{n\phi_t}} \quad (3)$$

$$e^{\frac{-V_P}{n\phi_t}} = \left(1 + \frac{I_L}{I_o} \right) e^{\frac{V_L}{n\phi_t}} + \frac{C}{I_o} e^{\frac{V_L}{n\phi_t}} \frac{dV_L}{dt} \quad (4)$$

Para $-T/2 < t < 0$:

$$e^{\frac{-V_P}{n\phi_t}} = \left(1 + \frac{I_L}{I_o} \right) e^{\frac{V_L}{n\phi_t}} + \frac{C}{I_o} n\phi_t \frac{d}{dt} \left(e^{\frac{V_L}{n\phi_t}} \right) \quad (5)$$

Para $0 < t < T/2$:

$$e^{\frac{V_P}{n\phi_t}} = \left(1 + \frac{I_L}{I_o} \right) e^{\frac{V_L}{n\phi_t}} + \frac{C}{I_o} n\phi_t \frac{d}{dt} \left(e^{\frac{V_L}{n\phi_t}} \right) \quad (6)$$

Reescrevendo a equação (5):

$$\left[e^{\frac{-V_P}{n\phi_t}} - \left(1 + \frac{I_L}{I_o} \right) e^{\frac{V_L}{n\phi_t}} \right] dt = \frac{C}{I_o} \left(e^{\frac{V_L}{n\phi_t}} \right) dV_L \quad (7)$$

Fazendo a integral da equação (5):

$$\int dt = \int \frac{\frac{C}{I_o} \left(e^{\frac{V_L}{n\phi_t}} \right)}{\left[e^{\frac{V_P}{n\phi_t}} - \left(1 + \frac{I_L}{I_o} \right) e^{\frac{V_L}{n\phi_t}} \right]} dV_L \quad (8)$$

para $-T/2 < t < 0$:

$$\int_{-T/2}^t dt = \frac{C}{I_o} \int_{V_L(-T/2)}^{V_L(t)} \frac{\left(e^{\frac{V_L}{n\phi_t}} \right)}{\left[e^{\frac{-V_P}{n\phi_t}} - \left(1 + \frac{I_L}{I_o} \right) e^{\frac{V_L}{n\phi_t}} \right]} dV_L = t + \frac{T}{2} \quad (9)$$

Fazendo:

$$u = e^{\frac{V_L}{n\phi_t}} \quad du = \frac{1}{n\phi_t} e^{\frac{V_L}{n\phi_t}} dV_L \quad (10)$$

$$t + \frac{T}{2} = \frac{C}{I_s} n\phi_t \int \frac{du}{e^{\frac{-V_P}{n\phi_t}} - \left(1 + \frac{I_L}{I_o} \right) u} \quad (11)$$

Fazendo:

$$A = e^{\frac{-V_P}{n\phi_t}} \quad B = 1 + \frac{I_L}{I_o} \quad (12)$$

$$t + \frac{T}{2} = \frac{C}{I_o} n\phi_t \int \frac{du}{A - Bu} \quad (13)$$

Fazendo:

$$A - Bu = w \quad -Bdu = dw \quad (14)$$

A integral da equação (13) pode ser reescrita como:

$$\int \frac{dw}{-Bw} = \frac{-1}{B} (\ln w) \quad (15)$$

Resolvendo a equação (15) tem-se:

para $-T/2 < t < 0$:

$$\left[1 + \frac{I_L}{I_o}\right] e^{\frac{V_L(t)}{n\phi_t}} = e^{\frac{-V_P}{n\phi_t}} + e^{\frac{-t}{\tau}} \frac{\left[\left(1 + \frac{I_L}{I_o}\right) e^{\frac{V_L(-T/2)}{n\phi_t}} - e^{\frac{-V_P}{n\phi_t}}\right]}{e^{\frac{T}{2\tau}}} \quad (16)$$

para $0 < t < T/2$:

$$\left[1 + \frac{I_L}{I_o}\right] e^{\frac{V_L(t)}{n\phi_t}} = e^{\frac{V_P}{n\phi_t}} + e^{\frac{-t}{\tau}} \frac{\left[\left(1 + \frac{I_L}{I_o}\right) e^{\frac{V_L(-T/2)}{n\phi_t}} - e^{\frac{V_P}{n\phi_t}}\right]}{e^{\frac{-T}{2\tau}}} \quad (17)$$

onde

$$\tau = \frac{C}{g_D} \quad g_D = \frac{I_o + I_L}{n\phi_t} \quad (18)$$

$$\Delta V = V_o\left(-\frac{T}{2}\right) - V_o(0) = V_o\left(\frac{T}{2}\right) - V_o(0) \quad (19)$$

$$V_0(t) = n\phi_t \ln \left[\left(1 + \frac{I_L}{I_o}\right)^{-1} \right] \left[e^{\frac{-V_P}{n\phi_t}} + e^{\frac{-t}{\tau}} \left(\frac{e^{\frac{V_P}{n\phi_t}} - e^{\frac{-V_P}{n\phi_t}}}{1 + e^{\frac{T}{2\tau}}} \right) \right] \quad (20)$$

$$V_0(t) = n\phi_t \left[-\ln \left(1 + \frac{I_L}{I_o}\right) + \ln \left[e^{\frac{-V_P}{n\phi_t}} + e^{\frac{-t}{\tau}} \left(\frac{e^{\frac{V_P}{n\phi_t}} - e^{\frac{-V_P}{n\phi_t}}}{1 + e^{\frac{T}{2\tau}}} \right) \right] \right] \quad (21)$$

$$\begin{aligned} V_0\left(-\frac{T}{2}\right) - V_0(0) = n\phi_t \ln \left[e^{\frac{-V_P}{n\phi_t}} + e^{\frac{T}{2\tau}} \left(\frac{e^{\frac{V_P}{n\phi_t}} - e^{\frac{-V_P}{n\phi_t}}}{1 + e^{\frac{T}{2\tau}}} \right) \right] + \\ -n\phi_t \ln \left[e^{\frac{-V_P}{n\phi_t}} + 1 \left(\frac{e^{\frac{V_P}{n\phi_t}} - e^{\frac{-V_P}{n\phi_t}}}{1 + e^{\frac{T}{2\tau}}} \right) \right] \end{aligned} \quad (22)$$

$$\Delta V = n\phi_t \ln \left[\frac{e^{-\frac{V_P}{n\phi_t}} + e^{\frac{T}{2\tau} \left(\frac{\frac{V_P}{n\phi_t} - \frac{-V_P}{n\phi_t}}{1 + e^{\frac{T}{2\tau}}} \right)}}{e^{-\frac{V_P}{n\phi_t}} + 1 \left(\frac{e^{\frac{V_P}{n\phi_t}} - e^{\frac{-V_P}{n\phi_t}}}{1 + e^{\frac{T}{2\tau}}} \right)} \right] \quad (23)$$

$$\Delta V = n\phi_t \ln \left[\frac{e^{-\frac{V_P}{n\phi_t} - \frac{T}{4\tau} + e^{\frac{V_P}{n\phi_t} + \frac{T}{4\tau}}}}{2} \frac{\frac{V_P}{n\phi_t} - \frac{T}{4\tau} + e^{\frac{-V_P}{n\phi_t} + \frac{T}{4\tau}}}{2} \right] \quad (24)$$

$$\Delta V = n\phi_t \ln \left[\frac{\cosh \left(\frac{V_P}{n\phi_t} + \frac{T}{4\tau} \right)}{\cosh \left(\frac{V_P}{n\phi_t} - \frac{T}{4\tau} \right)} \right] \quad (25)$$

Considerando $\frac{T}{4\tau} \ll 1$, a equação (25) pode ser reescrita como:

$$\Delta V \cong n\phi_t \ln \left[1 + \frac{T}{4\tau} \left(\frac{2e^{\frac{2V_P}{n\phi_t}} - 2}{e^{\frac{2V_P}{n\phi_t}} + 1} \right) \right] \quad (26)$$

$$\Delta V \cong n\phi_t \ln \left[1 + \frac{T}{2\tau} \left(\frac{e^{\frac{V_P}{n\phi_t}} - e^{\frac{-V_P}{n\phi_t}}}{e^{\frac{V_P}{n\phi_t}} + e^{\frac{-V_P}{n\phi_t}}} \right) \right] \quad (27)$$

$$\Delta V \cong n\phi_t \ln \left[1 + \frac{T}{2\tau} \tanh \left(\frac{V_P}{n\phi_t} \right) \right] \quad (28)$$

$$\Delta V \cong n\phi_t \frac{T}{2\tau} \tanh \left(\frac{V_P}{n\phi_t} \right) \quad (29)$$

Considerando $V_P/n\phi_t > 1$ e substituindo o valor de τ (eq. (18)), a equação (29) pode ser reescrita como:

$$\Delta V \cong \frac{I_o + I_L}{2fC} \quad (30)$$

ANEXO B – REDES DE ADAPTAÇÃO ENTRE ANTENA E CONVERSOR AC/DC

B.0.1 Rede *tapped inductor*

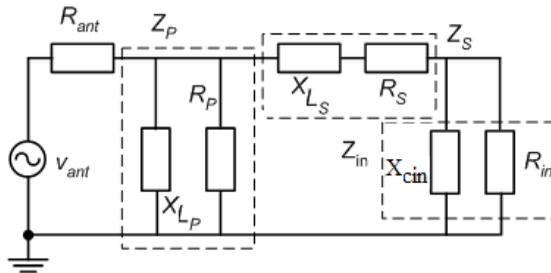


Figura 73: Impedâncias da rede *tapped inductor*.

Tabela 17: Equações para a rede *tapped inductor*.

$Q = \frac{R_m}{X_{Cin}}$	$Q_i = \frac{X_{LS}}{R_S} = \frac{R_P}{X_{LP}}$
$X_{LP} = \omega L_P$	$X_{LS} = \omega L_S$
$X_C = \frac{1}{\omega C}$	$Z_S = R_S + jX_{LS} = \frac{X_{LS}(1+jQ_i)}{Q_i}$
$Z_P = \frac{jX_{LP}R_P}{jX_{LP} + R_P} = \frac{Q_i X_{LP}}{1-jQ_i}$	$Z_{in} = \frac{X_C R_m}{X_C + R_m} = \frac{R_m}{1+jQ}$
$Z_{EQ} = Z_P \parallel (Z_S + Z_{in})$	

Igualando a parte imaginária a zero (pois se objetiva casar a impedância na frequência de ressonância, ou seja a parte imaginária se anula e a parte real é igual à resistência da antena). A partir da equação da impedância equivalente (Z_{EQ}), tem-se:

$$Q_i^2 R_{in}^2 - Q_i R_{in} [Q Q_i X_{LP} + 2(Q Q_i - 1) X_{LS}] + (\mathcal{Q}^2 + 1) Q_i^2 X_{LS} X_{LP} + (\mathcal{Q}^2 + 1) (Q_i^2 + 1) X_{LS}^2 = 0 \quad (1)$$

A reatância indutiva paralela X_{LP} como função da reatância indutiva série X_{LS} será:

$$X_{LP} = \frac{Q_i^2 R_{in}^2 - 2Q_i k_3 X_{LS} R_{in} + k_1 X_{LS}^2}{Q_i^2 [Q R_{in} - (\mathcal{Q}^2 + 1) X_{LS}]} \quad (2)$$

$$\begin{aligned} k_1 &= (\mathcal{Q}_2^2 + 1) (\mathcal{Q}_2^2 + 1) \\ k_2 &= (Q_i + Q) \\ k_3 &= (Q_i Q - 1) \end{aligned} \quad (3)$$

Fazendo a parte real de Z_{EQ} igual a R_{ant} e substituindo a equação (2) nesta primeira equação:

$$R_{ant} = \frac{(Q_i R_{in})^2 - 2Q_i (Q Q_i - 1) X_{LS} R_{in} + (\mathcal{Q}^2 + 1) (Q_i^2 + 1) X_{LS}^2}{Q_i (Q_i + Q) R_{in}} \quad (4)$$

Isolando X_{LS} :

$$X_{LS} = \frac{Q_i (Q_i Q - 1) R_{in} \pm \sqrt{K_X}}{(Q^2 + 1) (Q_i^2 + 1)} \quad (5)$$

onde

$$K_X = (\mathcal{Q}^2 + 1) (Q_i^2 + 1) Q_i (Q_i + Q) R_{ant} R_{in} - (Q_i (Q_i + Q) R_{in})^2 \quad (6)$$

Como os valores de X_{LS} e X_{LP} só podem ser positivos:

$$X_{LS} = \frac{k_3 Q_i R_{in} - \sqrt{k_1 k_2 Q_i R_{ant} R_{in} - (k_2 Q_i R_{in})^2}}{k_1} \quad (7)$$

Sendo as constantes:

$$k_1 = (\mathcal{Q}^2 + 1) (Q_i^2 + 1) \quad (8)$$

$$k_2 = Q_i + Q \quad (9)$$

$$k_3 = Q_i Q - 1 \quad (10)$$

Substituindo a equação (7) na equação (2):

$$X_{LP} = \frac{k_2(Q_i^2 + 1)R_{ant}R_{in}}{Q_i \left[k_2R_{in} + \sqrt{Q_i k_2 R_{in} (k_1 R_{ant} - Q_i k_2 R_{in})} \right]} \quad (11)$$

Como $Z_{EQ} = R_{ant}$ logo:

$$V_A = \frac{V_{ant}}{2} \frac{\overline{Z_{in}}}{\overline{Z_{in}} + \overline{Z_S}} \quad (12)$$

Substituindo Z_S e Z_{in} (da tabela 17), X_{LS} e X_{LP} na equação (12):

$$V_A = \frac{V_{ant}}{2} \sqrt{\frac{R_{in}}{R_{ant}} \frac{Q_i}{Q_i + Q}} \quad (13)$$

Sendo

$$P_{AV} = \frac{V_{ANT}^2}{8R_{ant}} \quad (14)$$

Logo

$$R_{in} = \frac{V_A^2}{2P_{AV}} \frac{Q_i + Q}{Q_i} \quad (15)$$

Sabendo que

$$P_{in} = \frac{V_A^2}{2R_{in}} \quad (16)$$

Obtemos

$$P_{in} = P_{AV} \frac{Q_i}{Q_i + Q} \quad (17)$$

B.0.2 Rede PI

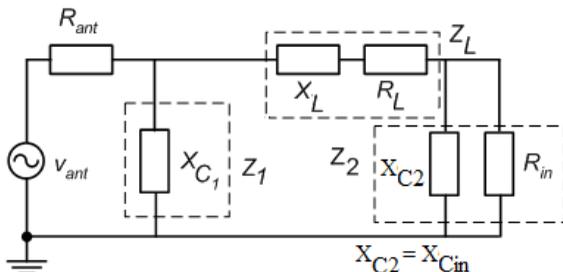


Figura 74: Impedâncias da rede PI.

Tabela 18: Equações para a rede PI.

$Q = \frac{R_{in}}{X_{Cin}}$	$Q_i = \frac{X_L}{R_L}$	
$X_L = \omega L$	$X_{C1} = \frac{1}{\omega C_1}$	$X_{Cin} = \frac{1}{\omega C_{in}}$
$Z_2 = \frac{\frac{X_{Cin} R_{in}}{j} + R_{in}}{j} = \frac{R_{in}}{1 + jQ}$		
$Z_L = R_L + jX_L = X_L \frac{1 + jQ_i}{Q_i}$		
$Z_1 = \frac{X_{C1}}{j}$		
$Z_{EQ} = Z_1 \parallel (Z_L + Z_2)$		

Igualando a parte imaginária de Z_{eq} a zero (condição necessária para adaptação de impedância) chega-se à seguinte expressão:

$$0 = Q_i^2(QR_{in} - (Q^2 + 1)X_L)X_{C1} + (Q_i^2 + 1)(Q^2 + 1)X_L^2 - K_L \quad (18)$$

onde

$$K_L = -2Q_i(Q_iQ - 1)X_LR_{in} + (Q_iR_{in})^2 \quad (19)$$

Logo, isolando X_{C1}

$$X_{C_1} = \frac{(Q_i R_{in})^2 - 2Q_i(Q_i Q - 1)X_L R_{in} + (Q_i^2 + 1)(Q^2 + 1)X_L^2}{Q_i^2(QR_{in} - (Q^2 + 1)X_L)} \quad (20)$$

Igualando a parte real de Z_{EQ} igual a R_{ant} :

$$R_{ant} = \frac{Q_i(Q_i R_{in} + (Q^2 + 1)X_L)}{(Q_i R_{in})^2 + 2Q_i(QQ_i X_{C_1} - (k_3)X_L)R_{in} + (k_5)(k_7) + (k_6)X_L^2} \quad (21)$$

Substituindo a equação (20) na equação (21) e isolando X_L obtêm-se dois resultados. Um dos resultados faz X_{C_1} ser negativo, o que não é possível. Logo:

$$X_L = \frac{Q_i(2k_3 R_{in} + k_5 R_{ant}) + Q_i \sqrt{(k_5 R_{ant})^2 + 4k_2 k_5 k_8 - (2k_2 R_{in})^2}}{2k_1} \quad (22)$$

Onde,

$$k_1 = (Q^2 + 1)(Q_i^2 + 1) \quad (23)$$

$$k_2 = Q_i + Q \quad (24)$$

$$k_3 = Q_i Q - 1 \quad (25)$$

$$k_5 = Q^2 + 1 \quad (26)$$

$$k_6 = Q_i^2 + 1 \quad (27)$$

$$k_7 = Q_i^2 - 2X_L X_{C_1} \quad (28)$$

$$k_8 = Q_i R_{ant} R_{in} \quad (29)$$

Substituindo a equação (22) na equação (20):

$$X_{C1} = \frac{k_5 R_{ant}^2 + R_{ant} \sqrt{(k_5 R_{ant})^2 + 4k_2 k_5 Q_i R_{ant} R_{in} - (2k_2 R_{in})^2}}{2(k_5 Q_i R_{ant} - k_2 R_{in})} \quad (30)$$

A tensão que ficará em cima de C_1 será $V_{ant}/2$ pois $Z_{EQ} = R_{ant}$. Logo:

$$V_A = \frac{V_{ant}}{2} \left| \frac{\overline{Z_2}}{\overline{Z_L} + \overline{Z_2}} \right| \quad (31)$$

Sendo

$$P_{AV} = \frac{V_{ant}^2}{8R_{ant}} \quad (32)$$

Substituindo X_L (equação (22)) na equação (31) e depois isolando V_{ant} e substituindo também na equação (31):

$$V_A = \sqrt{P_{AV} \frac{2Q_i k_2 R_{in} + k_5 R_{ant} - \sqrt{(k_5 R_{ant})^2 + 4Q_i k_2 k_5 R_{ant} R_{in} - (2k_2 R_{in})^2}}{k_2^2}} \quad (33)$$

Isolando R_{in} na equação (33):

$$R_{in} = \frac{k_2 Q_i V_A^2 + V_A \sqrt{2k_1 R_{ant} P_{AV} - (k_2 V_A)^2}}{2P_{av}(Q_i^2 + 1)} \quad (34)$$

ANEXO C – PROJETOS PRELIMINARES DE CONVERSORES AC/DC PARA BAIXA FREQUÊNCIA

Aproveitando-se área disponível num circuito integrado enviado para fabricação na tecnologia TSMC 0.35 μm , foi projetado um multiplicador de tensão de dois estágios. O diagrama da Figura 75 mostra o esquema para medir a resposta do multiplicador desenvolvido com transistores MOS na tecnologia TSMC 0.35 μm . Os capacitores são externos ao circuito integrado.

Para diminuir o efeito das fugas da montagem, o circuito foi montado em placa de montagem com solda e não no *protoboard*. Foi medida a fuga de uma linha paralela do *protoboard* e da placa de montagem no HP 4145 (dentro da caixa de blindagem), e verificou-se que a fuga de corrente no *protoboard* é da ordem de dez vezes maior que a da placa de montagem. O AMPOP OPA 2344 foi introduzido para diminuir o efeito da medição no desempenho do multiplicador.

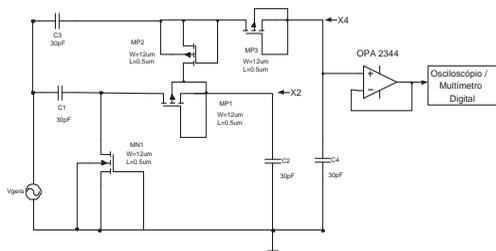


Figura 75: Diagrama esquemático montado para medidas.

Para a simulação elétrica foi utilizado o diagrama da Figura 76:

Foram realizadas simulações no *software* Matlab utilizando o modelo do diodo para pequenos sinais e simulações no *Eldo Spice* da empresa Mentor Graphics com parâmetros da tecnologia TSMC 0.35 μm e com o *software Spice Opus* com dados da AMS0.35 μm . Estes resultados são comparados às medidas e apresentados na Tabela 19.

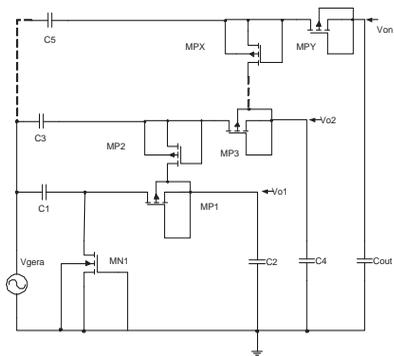


Figura 76: Diagrama esquemático para simulações.

Tabela 19: Comparação entre simulações e medidas de multiplicadores.

V _{gera} (V _p)	X2 (V _{dc}) Medida	X4 (V _{dc}) Medida	X2 (V _{dc}) Sim. Eldo TSMC 0.35um	X4 (V _{dc}) Sim. Eldo TSMC 0.35um	X8 (V _{dc}) Sim. Eldo TSMC 0.35um	X16 (V _{dc}) Sim. Eldo TSMC 0.35um	X2 (V _{dc}) Sp. Opus AMS 0.35um	X4 (V _{dc}) Sp. Opus AMS 0.35um	X8 (V _{dc}) Sp. Opus AMS 0.119	X16 (V _{dc}) Sp. Opus AMS 0.157
0,05	0,094	0,150	0,021	0,034	0,049	0,063	0,039	0,079	0,119	0,1575
0,075	0,115	0,167	0,045	0,076	0,108	0,141	0,076	0,152	0,23	0,31
0,1	0,15	0,250	0,075	0,130	0,185	0,241	0,095	0,19	0,28	0,39
0,15	0,202	0,407	0,143	0,258	0,371	0,486	0,15	0,303	0,46	0,64
0,2	0,235	0,49	0,218	0,40	0,58	0,765	0,239	0,48	0,73	0,98
0,3	0,38	0,70	0,373	0,701	1,030	1,36	0,36	0,73	1,21	1,52
0,4	0,51	1,02	0,57	1,09	1,60	2,12	0,54	1,09	2,22	2,95
0,5	0,65	1,30	0,75	1,45	2,15	2,84	0,74	1,48	2,22	2,95

Nessas simulações, foram variadas tanto as dimensões dos transistores ($W=30\mu\text{m}$ até $W=980\mu\text{m}$), quanto as capacitâncias (2pF até 30pF), com o objetivo de minimizar a relação área de silício/desempenho. A melhor opção encontrada para os transistores foi $W=120\mu\text{m}$ e $L=0.7\mu\text{m}$ e capacitores de 10 pF.

Na região de inversão fraca, o modelo BSIM 3V3 (utilizado na simulação) apresenta uma discrepância maior se comparada às medidas.

Com esses dados preliminares, resolveu-se fazer estruturas de multiplicação aproveitando uma rodada de confecção de circuito integrado no programa educacional da MOSIS em dezembro de 2009. Entretanto, a tecnologia disponível era a AMIS $0.5\mu\text{m}$, que possui tensões de *threshold* relativamente elevadas se comparada à tecnologia $0.35\mu\text{m}$, mas serviria para realizar alguns testes iniciais.

Os capacitores do multiplicador da Figura 76, podem ser fabricados com *poly-poly* ou como *MOSCAP*. Estes últimos ocupam uma área menor, porém sua utilização deve observar as *não-linearidades* a que este tipo de componente está sujeito [30]. Essas *não linearidades* provocam variações de 40% a 80% na capacitância e, assim, na energia transferida.

É possível realizar uma mescla de capacitores *poly-poly* com *MOSCAP*: nas posições onde um terminal está num potencial fixo (terra), estes poderiam ser *MOSCAP* e os demais deveriam ser *poly-poly*.

Para os testes, foram desenhadas estruturas multiplicadoras de dois estágios somente com capacitores *poly-poly* e outras somente com *MOSCAP*. Também foram desenhados capacitores de 10 pF (com técnicas de *layout* como *dummies* e anel de guarda para que a capacitância sofresse a menor variação possível devido à imperfeições do processo de fabricação) para comparar estas duas tecnologias de construção de capacitâncias.

As medidas de capacitância em função da polarização mostraram que, os capacitores *MOSCAP* possuíam seu valor mais próximo do projetado ($C_{MOSCAP} = 8,9\text{ pF}$), somente para tensões da ordem de 2 V. Assim, poderiam ser utilizados somente nos pontos onde a tensão seja igual ou superior a esta (ver Figura 76). Os capacitores *poly-poly* apresentaram variação da ordem de +20% de seu valor projetado (10 pF).

Considerando os pequenos níveis de polarização envolvidos na ideia desta tese (100-150 mV), a redução de área usando a tecnologia *MOSCAP*, em comparação com capacitores *poly-poly*, pode ser irrelevante em função da variação da sua capacitância.

Na Figura (77), é mostrada uma foto do leiaute de multiplicadores de dois estágios com capacitores *poly-poly* e *MOSCAP* respectivamente e de

capacitores de testes desenhados. Percebe-se que a estrutura *MOSCAP* ocupa uma área menor em relação à estrutura *poly-poly*.

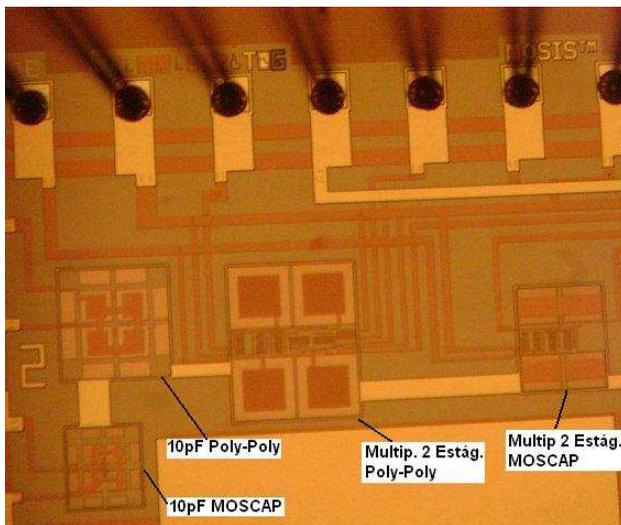


Figura 77: Foto do leiaute de multiplicadores de tensão tecnologia AMIS 0.5 μ m.

A Tabela 22 mostra o resultado de medidas de tensão para dois estágios de multiplicadores nas tecnologias AMIS 0.5 μ m e TSMC 0.35 μ m, ressaltando que, para a TSMC 0.35 μ m, foram utilizados capacitores externos.

Foram realizadas também simulações na tecnologia TSMC 0.25 μ m. A principal diferença percebida entre as tecnologias é o tempo de resposta para o sinal de saída chegar ao seu valor máximo. Quanto mais recente a tecnologia, menor será o tempo de resposta e, obviamente, a mínima tensão de operação. As dimensões dos transistores ligados como diodos influenciaram, fortemente, no tempo de resposta e, de forma imperceptível na tensão de saída. Nas tabelas (20) e tabela (21), são mostrados dados de simulação para a tecnologia AMIS 0.5 μ m em função da largura do canal do MOSFET. Estes são os tempos necessários para o multiplicador de tensão atingir a tensão mostrada nas tabelas citadas acima.

A diferença entre as tensões de cada estágio foi de, aproximadamente, 100 mV para frequência do gerador de 120 Hz e o capacitor de armazenamento de 1 nF.

As medidas com a estrutura com *MOSCAP* (para AMIS 0.5 μ m) não foram apresentadas pois, nesses níveis de polarização da Tabela 22, esta es-

Tabela 20: Tensão vs. largura do canal para multiplicador 11 estágios TSMC 0.35 μ m.

Multiplicador de 11 estágios L =0.7 μ m		
tempo de simulação (s)	W(μ m)	Vo (V)
1080	960	1,13
2160	480	1,17
4320	240	1,19
8640	120	1,17

Tabela 21: Tensão vs. largura do canal para multiplicador de 33 estágios TSMC 0.35 μ m.

Multiplicador de 33 estágios L =0.7 μ m		
tempo de simulação(s)	W(μ m)	Vo (V)
2160	960	3,34
4320	480	4,46

Tabela 22: Comparação entre medidas de multiplicadores na AMIS 0.5 μ m e TSMC 0.35 μ m.

Vgera	X2 (Vdc)	X4 (Vdc)	X2 (Vdc)	X4 (Vdc)
	AMIS 0.5 μ m	AMIS 0.5 μ m	TSMC 0.35 μ m	TSMC 0.35 μ m
0,1	NPM ¹	NPM	0,15	0,25
0,15	NPM	NPM	0,202	0,407
0,2	NPM	NPM	0,23	0,49
0,3	0,50	0,68	0,38	0,7
0,4	0,55	0,78	0,51	1,02
0,5	0,65	1,1	0,65	1,3
0,8	1,0	2,0	—	—
1,0	1,3	2,7	—	—

¹NPM: Não foi possível Medir

trutura não funcionou adequadamente.

Para a tecnologia AMIS 0.5 μ m, com capacitores *poly-poly*, começa a funcionar somente a partir de 300mV_{pico} do gerador.

A tecnologia TSMC 0.35 μ m começa a operar em torno de uma tensão de gerador da ordem 150mV, mostrando-se promissora e com preços de integração acessíveis.

Conforme dados de simulação das tabelas 19 e 22, para uma tensão de

operação desejada da ordem de 0,7 V, seriam necessários um multiplicador de quatro (medida) a sete (simulado) estágios na TSMC 0.35 μ m.

ANEXO D – MODELO DO GERADOR PIEZOELÉTRICO

A piezoelectricidade foi descoberta em cristais de quartzo pelos irmãos J. Curie e P. Curie por volta de 1880. Na oportunidade, eles observaram que, quando determinados tipos de cristais eram tracionados ou comprimidos, sua estrutura cristalina produzia uma tensão proporcional a esta pressão. Esse fenômeno ficou conhecido como efeito piezoelétrico direto. De modo contrário, quando um campo elétrico é aplicado a esses tipos de cristais, a sua estrutura produz forças de tração ou compressão que alteram as dimensões do cristal, sendo este denominado efeito piezoelétrico reverso.

O sistema proposto para captação de energia a partir de vibrações mecânicas baseia-se no emprego de uma cerâmica piezoelétrica com uma esfera metálica fixa ao centro, conforme apresentado na Figura 78.

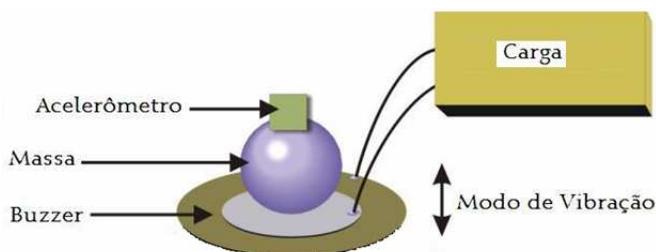


Figura 78: Topologia do gerador piezoelétrico elaborado com uma buzzer e massa acoplada.

Para a avaliação da potência gerada e a eficiência do sistema, foi montada uma estrutura de testes para monitorar a potência, sob variações de frequência e amplitude das vibrações, e também mudanças no valor da carga, através de um acelerômetro. As vibrações de teste foram geradas em um vibrador (*shaker*) da empresa Kruj e Bruel, composto por uma bobina móvel, um acelerômetro, um amplificador de sinal e um *software* de controle.

O acelerômetro é utilizado como realimentação da medida da aceleração da vibração, para mantê-la com a amplitude desejada e constante durante o período de medidas.

A cerâmica piezoelétrica possui uma resposta diferente, em termos de amortecimento, se a carga é puramente resistiva ou capacitiva.

O *damping* num gerador piezoelétrico possui duas componentes: mecânica e elétrica. O *damping* mecânico está associado à forma de montagem do gerador piezoelétrico, enquanto o *damping* elétrico, ao tipo de carga aco-

plada. Segundo dados das referências bibliográficas, um fator de *damping* total da ordem de 2% é aceitável [1].

A seguir será apresentado o tratamento matemático para descrever tensão e potência geradas para carga resistiva.

D.1 CARGA RESISTIVA

O estudo do modelo com carga resistiva é adequado para o uso de conversores de adaptação de impedância. O modelo utilizado é apresentado na figura 79.

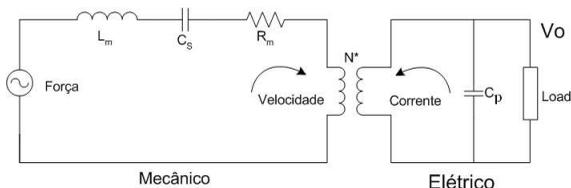


Figura 79: Modelo eletromecânico de um gerador piezoelétrico com carga resistiva.

Nesta figura, L_m representa a massa do sistema; C_s , representa a rigidez (*stiffness*), relacionando a pressão (*Stress*) com a deformação (*Strain*); R_m representa o *damping*; C_p representa a capacitância da cerâmica piezoelétrica; N^* é a relação de transformação da energia mecânica em elétrica [57].

C_p é a capacitância intrínseca da cerâmica piezoelétrica, definida como:

$$C_p = \frac{\epsilon_r \epsilon_0 (\pi r^2)}{t_p} \quad (1)$$

Onde, t_p é a espessura da cerâmica piezoelétrica; ϵ_r é a permissividade relativa da cerâmica piezoelétrica. Para o material 5A, que normalmente é utilizado nas **buzzers**, a permissividade relativa possui valor de 3250;

Com base na Figura 79, pode-se desenvolver um modelo eletromecânico do gerador piezoelétrico. Para este fim, serão encontradas as impedâncias do lado mecânico e elétrico [57].

A impedância do lado elétrico é dada por:

$$Z_e = \frac{-j \cdot R}{(C_p \omega R - j)} \quad (2)$$

Do lado mecânico, o **damping** R_m é encontrado segundo a relação [1]:

$$R_m = 2\xi_m \omega_n \quad (3)$$

ξ_m é o coeficiente de *damping*; ω_n é a frequência de ressonância natural dada por:

$$\omega_n^2 = \frac{1}{C_s m} = \frac{k_m}{m} \quad (4)$$

m é a massa total do sistema (soma da massa da cerâmica piezoelétrica e da massa acoplada); k_m é a constante de mola.

A impedância do lado mecânico é dada pela soma das impedâncias de R_m , de L_m (que representa a massa total do sistema) e de C_s .

$$Z_m = 2m\omega\xi_m + j\omega m \left[1 - \frac{\omega_n^2}{\omega^2} \right] \quad (5)$$

Onde, ξ_m é o fator de amortecimento (ou *damping*) mecânico.

Considerando que o gerador piezoelétrico opere na ressonância, ou seja, $\omega = \omega_n$, a impedância mecânica será:

$$Z_m = 2m \cdot \omega \xi_m \quad (6)$$

A tensão elétrica na saída pode ser encontrada, transferindo a impedância elétrica e a tensão na carga para o lado mecânico, utilizando relação de transformação N^* :

$$V_o = \frac{-j(am\omega N^* R_L)}{-j \left(R_L (N^*)^2 + Z_m \right) + Z_m (\omega R_L C_p)} \quad (7)$$

a é a aceleração do sistema; ω é a frequência de operação.

Potência elétrica de saída para carga resistiva

A partir da equação (7), chega-se à equação da potência elétrica para carga resistiva (eq. 8):

$$P_o = \frac{a^2}{\omega^2} \left[\frac{(mN^*)^2 R_L}{(Z_m R_L C_p)^2 + \left(\frac{R_L N^{*2} + Z_m}{\omega} \right)^2} \right] \quad (8)$$

Da equação (8) pode-se, numa primeira aproximação, extrair algumas informações importantes:

a) se a aceleração for mantida constante, a potência diminui com o quadrado da frequência de operação,

b) a potência é proporcional ao quadrado da aceleração.

A Figura 80, mostra uma simulação da potência como função de uma carga resistiva, utilizando a equação (8). As características do gerador piezoelétrico são as apresentadas na Tabela 23.

Tabela 23: Característica da *buzzer* utilizada para simulação.

Raio da cerâmica piezolétrica	14mm
Raio do Metal	25mm
Espessura cerâmica piezolétrica	200 μ m
Espessura Metal	200 μ m
Aceleração	4m/s ²
Massa Acoplada	65g

Neste gráfico de potência como função da carga resistiva (Fig. 80), foi considerado uma *buzzer* presa ao redor das bordas. Percebe-se que existe um valor ótimo (neste caso 18k Ω) para a resistência de carga, sendo este o valor a ser utilizado em conversores de adaptação de impedância, para a maximização da transferência de potência.

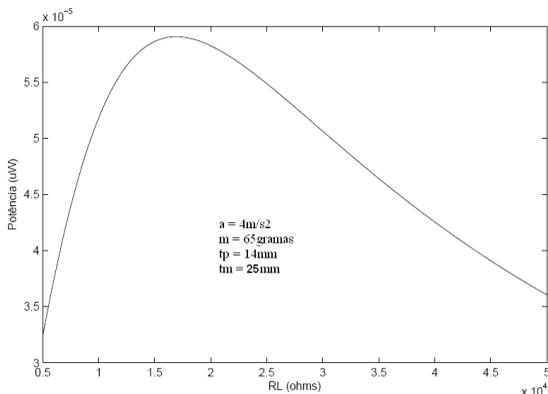


Figura 80: Simulação da potência gerada vs. carga resistiva utilizando a equação (8).

O fator de *damping* elétrico ξ_e , o qual representa a perda eletricamente induzida, quando energia é retirada da cerâmica piezoelétrica, pode ser cal-

culado por meio da equação (9). Pode-se assumir um fator de *damping* da ordem de 2% [1].

$$\xi_e = \frac{w \cdot k^2}{2\sqrt{\omega^2 + \frac{1}{(R_L C_P)^2}}} \quad (9)$$

C_P é a capacitância intrínseca da cerâmica piezoelétrica e R_L a resistência de carga.

O valor da impedância ótima como função do fator de *damping* ξ , da capacitância da cerâmica piezoelétrica e do fator de acoplamento k , pode ser encontrada resolvendo a equação (8) [1]. O valor de impedância ótima (eq. 8) é o valor adequado para ser utilizado em conversores de adaptação de impedância.

$$R_{L,opt} = \frac{1}{\omega C_P} \frac{2\xi_m}{\sqrt{4\xi_m^2 + k^4}} \quad (10)$$

k é o fator de acoplamento. Este parâmetro é dado pelo fabricante da cerâmica piezoelétrica. Entretanto, ao ser montado numa *buzzer* mais o efeito das conexões mecânicas do gerador piezoelétrico, podem modificar o valor do fator de acoplamento. O valor k pode ser conhecido através da medição da impedância da *buzzer* em função a frequência. Por meio desta medida, encontram-se os pontos (f_p) e (f_s) (fig. 81). Com esses valores e utilizando a equação (11), se determina o valor do fator de acoplamento efetivo do sistema:

$$k^2 = \frac{(f_p^2 - f_s^2)}{f_p^2} \quad (11)$$

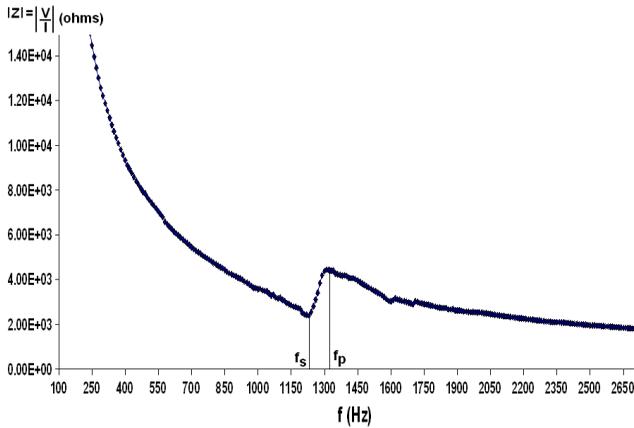


Figura 81: Curva medida da impedância vs. frequência de uma *buzzer*.

D.2 FREQUÊNCIA DE RESSONÂNCIA

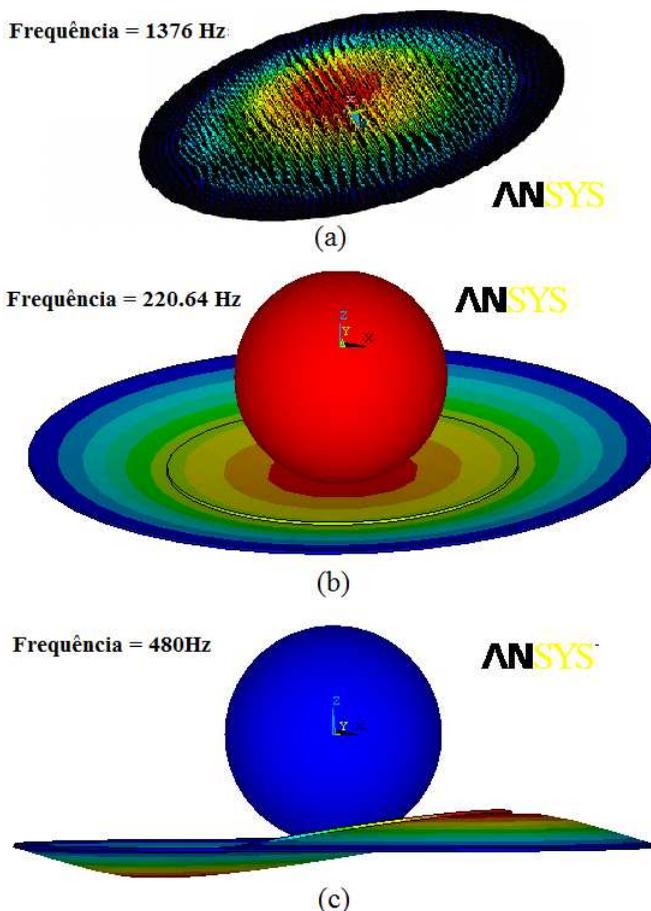


Figura 82: (a) Modo 1 de vibração da *buzzer* sem massa. (b) Modo 1 de vibração da *buzzer* com massa. Modo 2 de vibração da *buzzer* com massa.

A figura (82) mostra resultados de simulação no *software* multifísica ANSYS, onde o efeito do acréscimo da massa ao sistema é visível. A Figura (82) (a) mostra a simulação de uma *buzzer* sem a massa, resultando numa frequência de ressonância natural, no primeiro modo de vibração, no valor de 1376 Hz. Na Figura 82 (b), é apresentado o primeiro modo de vibração com uma massa acoplada de 65 gramas. Na Figura 82 (c), é apresentado o segundo modo de vibração, cujo ponto de maior deflexão está deslocado do

centro da estrutura. Existem diversos modos de vibração, e suas frequências de ressonâncias e amplitudes dependem do tipo de material, de suporte da *buzzer* e valor da massa acoplada.

D.3 ASPECTOS CONSTRUTIVOS

Para a caracterização do gerador, foi desenvolvido um sistema de ensaio capaz de simular as vibrações da fonte primária de energia sob diversas condições. O sistema é mostrado nas figuras 83 e 84.

O gerador de vibrações mecânicas foi desenvolvido utilizando um *shaker* da empresa Bruel e Kjaer. Este é composto por uma bobina móvel, que pode operar até 10kHz, com a possibilidade de aplicar sinal senoidal, modulado, etc. O acelerômetro colado na massa é utilizado para medir a aceleração. Através desta medida, se ajusta manualmente a amplitude da vibração, para manter a aceleração constante, nas diversas condições de teste. A medida da aceleração também é importante para determinar a energia vibracional fornecida ao gerador. O acelerômetro utilizado possui sensibilidade de 1 V/G e uma resolução de 7 mG, sendo unido a esfera por uma resina.

A cerâmica piezoelétrica utilizada no unimorfo é classificada comercialmente como PZT-5A. Suas características mecânicas, juntamente com as da membrana metálica, são resumidas na Tabela (24)

Tabela 24: Características das *buzzers* utilizadas.

Material	Módulo de Young (Pa)	Densidade (kg/m^3)	d_{33} (m/V)	g_{33} (Vm/N)
Piezo	65×10^9	7700	650×10^{-12}	24.8×10^{-3}
Latão	91×10^9	8400	NA	NA
Aço	200×10^9	7800	NA	NA

Na Tabela 25, são apresentadas as características dimensionais de algumas *buzzers* utilizadas neste trabalho, sendo que o subíndice p indica piezocerâmica e m se relaciona com o metal utilizado. Neste caso D significa diâmetro e t é a espessura.

Tabela 25: Características das *buzzers* utilizadas nas medidas.

	Espécimes				Metal
	D_m (mm)	t_m (mm)	D_p (mm)	t_p (mm)	
Espécime 1	50	0,20	28	0,18	Latão
Espécime 2	40	0,10	22	0,07	Latão

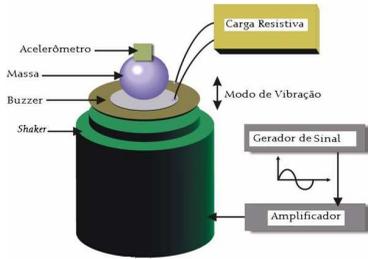


Figura 83: Conjunto gerador piezoelétrico.

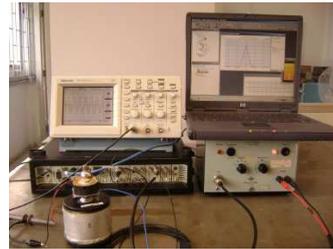


Figura 84: Foto do sistema de testes do gerador piezoelétrico.

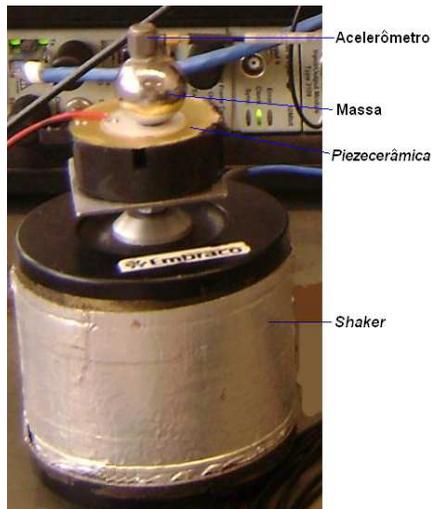


Figura 85: Detalhe do conjunto gerador piezoelétrico com o acelerômetro e shaker.

D.4 RESULTADO EXPERIMENTAL GERADOR PIEZOELÉTRICO:TENSÃO ELÉTRICA GERADA E FREQUÊNCIA DE RESSONÂNCIA

A massa acoplada representa um importante fator na conversão de energia pelo gerador piezoelétrico. Para exemplificar o seu efeito, nas medidas realizadas sem a massa acoplada, a tensão gerada apresentou valores da ordem de poucos milivolts. Após a colagem da esfera, a tensão gerada medida foi da ordem de alguns volts (sob as mesmas condições de teste).

As experiências foram realizadas com esferas de aço de massas diferentes. Entretanto, massas inferiores a 30 gramas produziram tensões muito pequenas e serão desconsideradas. As medidas foram focadas em dois valores de massa: 30 gramas e 65 gramas (massa da *buzzer* é muito inferior a da esfera).

O primeiro teste realizado com o gerador consistiu na busca da frequência em que o gerador produzia a maior tensão elétrica com os terminais a vazio. Para isso, o *shaker* (citado anteriormente) foi programado para executar uma varredura de frequências. Nessa leitura, aparecem vários picos de ressonância, e o de maior valor é selecionado. Após esta escolha, se realiza uma nova varredura com uma faixa bem mais estreita (poucos hertz do valor do maior pico de tensão medida) para encontrar a frequência de ressonância com precisão.

A Figura 86 mostra a tela do software do *shaker* com um exemplo de medida do acelerômetro em amplitude em função da frequência. A tela do *notebook* mostra a medida do acelerômetro em função a frequência de vibração, apresentando uma faixa estreita. Nesse caso, é de 130 Hz a 132 Hz com frequência central de 131 Hz. Essa é a frequência de ressonância de uma das *buzzers* utilizadas como gerador piezoelétrico.

Na Figura 87, é mostrada a medida da tensão elétrica em função da frequência, para circuito aberto para uma *buzzer* com dimensões mostradas na referida figura. Nesta figura, se percebe o efeito de uma ressonância em 360 Hz. A aceleração de 2m/s^2 ($\cong 200\text{mG}$) é relativamente pequena e disponível em vários ambientes industriais conforme apresentado na tabela 2.

A potência foi medida como função: da variação de carga, da amplitude da aceleração e do tipo de suporte. Essas medidas foram realizadas para várias *buzzers* diferentes, sendo apresentados alguns resultados mais relevantes.

Na Figura 88, é apresentado o resultado das medidas da potência fornecida em função da carga e aceleração. A amplitude da potência sofreu uma variação quatro vezes com relação à variação da aceleração, conforme era

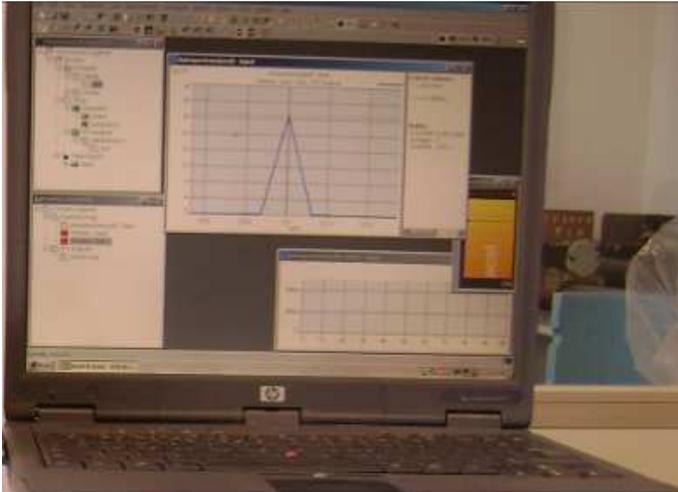


Figura 86: Detalhe da tela do *software* de controle do *shaker*.

$m=65g$ $dm=40mm$ $hm=70\mu m$ $dp=22mm$ $hp=100\mu m$ $a=2m/s^2$ presa 3 pts.

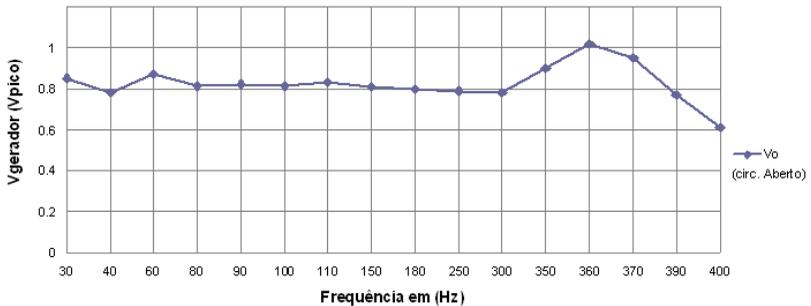


Figura 87: Tensão gerada para circuito aberto vs. frequência.

esperado (equação (8) e [1]).

Na Figura 89 é mostrada a variação da potência em função da carga e tipo de suporte. Nesta se percebe que o tipo de suporte influencia na frequência de ressonância do sistema. Este dado é muito importante pois, se pode sintonizar o gerador piezoelétrico com a vibração da estrutura a ser captada, maximizando assim a potência transferida.

A frequência de ressonância também foi encontrada em simulações realizadas no ANSYS com valores muito próximos. Uma opção para reduzir

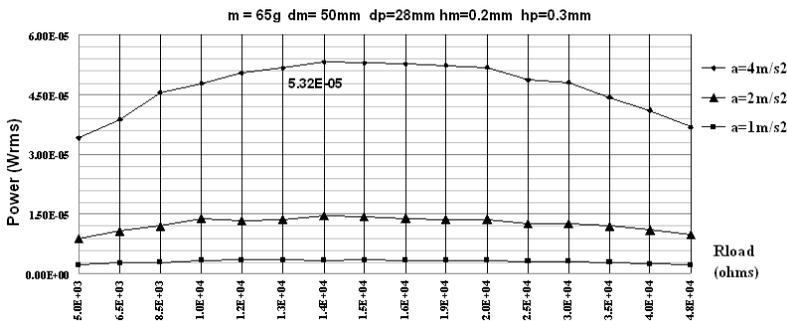


Figura 88: Potência gerada vs. resistência vs. aceleração.

a frequência de ressonância é colar a *buzzer* numa placa metálica circular com diâmetro superior. Simulações no *software* ANSYS mostraram que, aderindo uma placa metálica circular de mesma espessura e material, com 70 mm de diâmetro (*buzzer* de 50mm de diâmetro), a ressonância caiu de 220 Hz para 127 Hz, para a mesma massa acoplada.

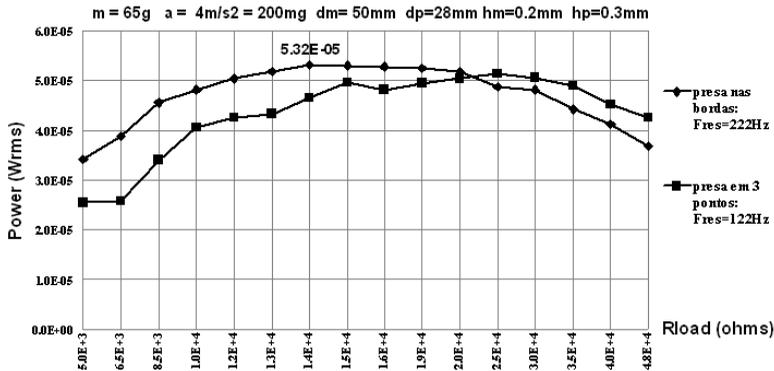


Figura 89: Potência gerada vs. resistência vs. suporte.

O efeito do suporte no equacionamento da frequência de ressonância não é considerado. Além disso, o tipo de suporte possui efeito também na potência gerada (Fig. 90).

Nesta figura, percebe-se o efeito do suporte na potência gerada. As variações nas curvas de potência como função do suporte e da resistência de carga, se deve ao fato de outras ressonâncias influenciarem no resultado final. Este fato não fica evidente, quando o suporte é mais rígido (*buzzer* presa nas

D.4 Resultado experimental gerador piezoelétrico: tensão elétrica gerada e frequência de ressonância 167

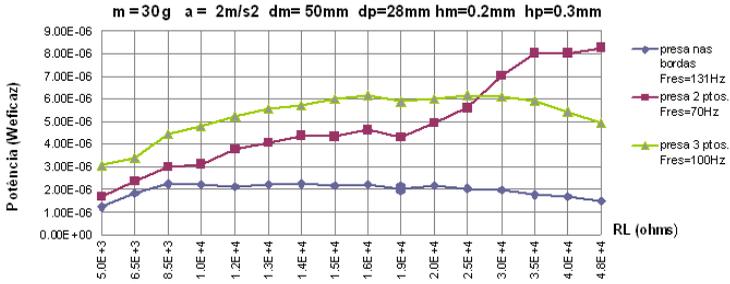


Figura 90: Potência gerada vs. resistência de carga vs. tipo de suporte (bordas e em 3 pontos equidistantes).

ANEXO E – PROGRAMA DE SIMULAÇÃO NUMÉRICA DO CONVERSOR AC/DC COM REDE ADAPTAÇÃO LC

Esta seção apresenta programas para simulação numérica para o projeto do conversor AC-DC com a rede LC considerando os indutores não-ideais.

Rede de adaptação L - indutor serie

```

clear;
VL=1;
IL=1e-6;
nphit=36e-3;
alpha=1;
VT=40e-3;
ISQ=202e-9;
L=500e-9;
kw=L/(ISQ*exp(-VT/nphit));
kc=1.8e-9;
Rant=50;
Pav=9.22e-6;
Qi=8;
f=900e6;
w=2*pi*f;
Vant=sqrt(8*Rant*Pav);
vl=VL/nphit;
k=2*IL*VL*alpha/nphit;
xo1=0.01;
xo2=1;
j=1;
z=1;
Qmax=20;
Qmin=2;
for Q=Qmin:0.005:Qmax
Rin=k1*Qi*Rant/k2;
XL=Q*Rin/k1;
RS=XL/Qi;
XC=Rin/Q;
va=(Va/nphit);
Io=besseli(0,alpha*va);

```

```

I1=besseli(1,alpha*va);
Fva=(Va*I0)/I1;
kr=Rin*k/Fva;
[x1,non,flag1]=fsolve(@(x)((log(I0/(1+1/x)))/(1+x)-kr),xo1);
[x2,non,flag2]=fsolve(@(x)((log(I0/(1+1/x)))/(1+x)-kr),xo2);
delta1=Rin-Fva/((x1+1)*IL*2*alpha*vl/(log((I0/(1+1/x1)))));
delta2=Rin-Fva/((x2+1)*IL*2*alpha*vl/(log((I0/(1+1/x2)))));
if(flag1 == 1)and(delta1 < 1)
IS1(j)=x1*IL;
N1(j)=vl/(log((I0/(1+1/x1)))));
Va1(j)=Va;
Rin1(j)=Rin;
xo1=x1*0.99;
Q1(j)=Q;
Ls1(j)=XL/w;
C1(j)=1/(XC*w);
RS1(j)=RS;
W1(j)=kw*IS1(j);
Cp1(j)=kc*W1(j);
Ca1(j)=Cp1(j)*alpha/(1-alpha);
j=j+1; end
if(flag2 == 1)and(delta2 < 1)
IS2(z)=x2*IL;
N2(z)=vl/(log((I0/(1+1/x2)))));
Va2(z)=Va;
Rin2(z)=Rin;
xo2=x1*2;
Q2(z)=Q; Ls2(z)=XL/w;
C2(z)=1/(XC*w);
RS2(z)=RS;
W2(z)=kw*IS2(z);
Cp2(z)=kc*W2(z);
Ca2(z)=Cp2(z)*alpha/(1-alpha);
z=z+1; end
end
figure(1)
loglog(N1,IS1,N2,IS2);
title('I0 x N');
xlabel('N');

```

```
ylabel('Io');
grid;
figure(2)
loglog(N1, Va1, N2, Va2);
title('Va x N');
xlabel('N');
ylabel('Va');
grid;
figure(3) loglog(N1, Rin1, N2, Rin2);
title('Rin x N');
xlabel('N');
ylabel('Rin');
grid;
figure(4)
loglog(N1, Q1, N2, Q2);
title('Qret x N');
xlabel('N');
ylabel('Qret');
grid;
figure(5)
loglog(N1, Ls1, N2, Ls2);
title('Ls x N');
xlabel('N');
ylabel('Ls');
grid;
figure(6)
loglog(N1, C1, N2, C2);
title('C x N');
xlabel('N');
ylabel('C');
grid;
figure(7)
loglog(N1, RS1, N2, RS2);
title('RS x N');
xlabel('N');
ylabel('RS');
grid;
figure(8)
loglog(N1, W1, N2, W2);
```

```
title('W x N');  
xlabel('N');  
ylabel('W');  
grid;  
figure(9)  
loglog(N1,Cp1,N2,Cp2);  
title('Cp x N');  
xlabel('N');  
ylabel('Cp');  
grid;  
figure(10)  
loglog(N1,Ca1,N2,Ca2);  
title('Ca x N');  
xlabel('N');  
ylabel('Ca'); grid;
```

REFERÊNCIAS

- [1] S. Roundy, P.K. Wright, and J.M. Rabaey. *Energy Scavenging for Wireless Sensor Networks: With Special Focus on Vibrations*. Springer, 2004.
- [2] J. P. Curty, N. Joehl, F. Krummenacher, C. Dehollain, and M. Declercq. A model for u power rectifier analysis and design. *IEEE Transactions on Circuits and Systems I*, vol. 52(n. 12):pp. 2771–2779, 2005.
- [3] A. J. Cardoso, C.G. Montoro, and M. C. Schneider. CMOS rectifier design for energy harvesting based on vibrations. In *XV IBERCHIP*, pages 241–245, 2010.
- [4] Energy harvesting for biomedical devices and health care intelligent infrastructure. [www.citris-uc.org/research/projects/energy harvesting for biomedical devices and healthcare intelligent infrastructure.html](http://www.citris-uc.org/research/projects/energy%20harvesting%20for%20biomedical%20devices%20and%20healthcare%20intelligent%20infrastructure.html). Acessado em 07 de Maio de 2009.
- [5] Hong Y., C. F. Chan, J. Guo, Y. S. Ng, K. L. Lai, K. N. Leung, C. S. Choy, and P. P. Kong. Design of passive UHF RFID tag in 130nm CMOS technology. In *IEEE Asia Pacific Conference on Circuits and Systems, APCCAS*, pages 1371–1374, 2008.
- [6] B. W. Cook, A. D. Berny, A. Molnar, and S. Lanzisera. An ultra-low power 2.4GHz RF transceiver for wireless sensor networks in 0.13um CMOS with 400mV supply and an integrated passive RX front end. In *IEEE International Solid-State Circuits Conference, ISSCC*, pages 1460–1469, 2006.
- [7] B. Otis, Y. H. Chee, and J. Rabaey. A 400 uW-RX, 1.6mW TX super-regenerative transceiver for wireless sensor networks. In *IEEE International Solid-State Circuits Conference, ISSCC*, pages 396–404, 2005.
- [8] H. Reinish and et all. An electromagnetic energy harvesting system with 190nW idle mode power consumption for a BAW based wireless sensor. *IEEE Journal of Solid-State Circuits*, vol. 46(n. 7):pp. 1728–1741, 2011.

- [9] Z. Wang, J. Hu, A. P. Suryavanshi, Kyungsuk Y., and Y. Min-Feng. Voltage generation from individual BaTiO₃ nanowires under periodic tensile mechanical load. *Nano Letters*, 2(1), 2007.
- [10] A nanogenerator for energy harvesting from a rotating tire and its application as a self powered pressure speed sensor. www.advmat.de. Acessado em 06 de Dezembro de 2011.
- [11] S.P. Beeby, R. N. Torah, M. J. Tudor, P. Glynn-Jones, T. O'Donnell, C. R. Saha, and S. Roy. A micro electromagnetic generator for vibration energy harvesting. *Journal of Micromechanics and Microengineering*, vol. 17(n. 7):pp. 1257–1265, 2007.
- [12] Fontes de vibração. www.kenntech.com.br/KV500.html. Acessado em 07 de Maio de 2009.
- [13] Fontes de vibração. www.prof2000.pt/users/eta/Vibracoes.doc. Acessado em 07 de Maio de 2009.
- [14] Vibrações em rolamentos. <http://83.240.136.253/Miit/Portals/0/Inspecao/Artigos/Rolamentos.pdf>. Acessado em 07 de Maio de 2009.
- [15] C. Keawboonchuay and T. G. Engel. Electrical power generation characteristics of piezoelectric generator under quasi static and dynamic stress conditions. *IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control*, vol. 50(n. 10):pp. 1377–1382, 2003.
- [16] M. Umeda, K. Nakamura, and S. Ueha. Energy storage characteristics of a piezo generator using impact induced vibration. *Japanese Journal of Applied Physics*, 36(58):3146–3151, 1997.
- [17] T. A. Anderson and D. W. Sexton. A vibration energy harvesting sensor platform for increased industrial efficiency. In *Proc. of SPIE*, volume 6, pages 617–623, 2008.
- [18] V. Chawla and D. S. Ha. An overview of passive RFID. *IEEE Applications and Practice*, pages pp. 11–17, 2007.
- [19] International Telecommunications Union. <http://www.itu.int/ITU-R/information/docs/emergency-regions.jpg>. Acessado em 03 de Julho de 2012.

- [20] K. Kotani and T. Ito. High efficiency CMOS rectifier circuit with self V_{th} cancellation and power regulation functions for UHF RFIDs. In *IEEE Asian Solid-State Circuits Conference, ASSCC*, pages 119–122, 2007.
- [21] T. Le, K. Mayaram, and TS Fiez. Efficient far-field radio frequency power conversion system for passively powered sensor networks. In *IEEE Custom Integrated Circuits Conference, CICC*, pages 293–296, 2006.
- [22] K. Kotani, A Sasaki, and T. Ito. High efficiency differential drive CMOS rectifier for UHF RFIDs. *IEEE Journal of Solid-State Circuits*, vol. 44(n. 11):pp. 3011–3018, 2009.
- [23] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki, and S. Otaka. A 950MHz rectifier circuit for sensor network tags with 10m distance. *IEEE Journal of Solid-State Circuits*, vol. 41(n. 1):pp. 35–41, 2006.
- [24] T. Yamamoto H. Nakamoto, D. Yamazaki and H. Kurata. A Passive UHF RFID tag LSI with 36.6% efficiency CMOS-only rectifier and current-mode demodulator in 0.35 μ m FeRAM technology. In *International Solid-State Circuits Conference, ISSCC*, 2006.
- [25] N.J. Guilar, R. Amirtharajah, and P.J. Hurst. A Full-Wave Rectifier for Interfacing with Multi-Phase Piezoelectric Energy Harvesters. In *IEEE International Solid-State Circuits Conference, ISSCC*, pages 302–615, 2008.
- [26] P. M. Lin and L. O. Chua. Topological generation and analysis for voltage multiplier circuits. *IEEE Transactions on Circuits and System I*, 24(10):517–530, 1977.
- [27] J.D. Cockcroft and E.T. Walton. Production of high velocity positive ions. In *Proc. Roy. Soc.*, pages 619–630, 1932.
- [28] F. Pan and T. Samaddar. *Charge Pump Circuit Design*. McGraw Hill Professional, 2006.
- [29] J. F. Dickson. On chip high voltage generation in MNOS integrated circuits using an improved voltage multiplier technique. *IEEE Journal of Solid-State Circuits*, vol. 11(n. 3):pp. 374–378, 1976.

- [30] A.T. Behr, M.C. Schneider, S.N. Filho, and C. Galup-Montoro. Harmonic distortion caused by capacitors implemented with MOSFET gates. In *IEEE International Symposium on Circuits and Systems, IS-CAS*, pages 1284–1287, 1992.
- [31] C. Roover and Steyaert M. S. J. Energy supply and ULP detection circuits for an RFID localization system in 130nm. *IEEE Journal of Solid-State Circuits*, vol. 545(n. 7):pp. 1273–1285, 2010.
- [32] R. Barnet. A RF to DC voltage conversion model for multi stage rectifiers in UHF transponders. *IEEE Journal of Solid-State Circuits*, vol. 44(n. 2):pp. 354–370, 2009.
- [33] Y.K. Teh, F. Mohd Yasin, F. Choong, M. I. Reaz, and A. V. Kordesch. Design and analysis of UHF micropower CMOS DT MOS rectifiers. *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56(n. 2):pp. 122–126, 2009.
- [34] J. Yi, W-H. Ki, and C-Y. Tsui. Analysis and design strategy of UHF micro-power CMOS rectifiers for micro-sensor and RFID applications. *IEEE Transactions on Circuits and Systems I*, vol. 54(n. 1):pp. 153–166, 2007.
- [35] A. J. Cardoso, C.G. Montoro, M. C. Schneider, and L. G. Carli. Analysis of the rectifier circuit down to its low-voltage limit. *IEEE Transactions on Circuits and Systems I*, 59(1):106–112, 2012.
- [36] A. J. Cardoso, C.G. Montoro, and M. C. Schneider. Design of very low voltage CMOS rectifiers. In *IEEE Circuits and Systems Medical and Environmental Applications Workshop, CASME*, 2010.
- [37] A. J. Cardoso, C.G. Montoro, and M. C. Schneider. Teaching low voltage electronics: the case of rectifier circuit. In *IEEE International Conference on Microelectronic Systems Education, MSE*, pages 29–30, 2011.
- [38] Sedra A. S. and K. C. Smith. *Microelectronic Circuits*. Oxford University Press, New York, 2004.
- [39] R. C. Jaeger and T. N. Blalock. *Microelectronic Circuit Design*. Mc Graw Hill , New York, 2004.

- [40] B. Razavi. *Fundamentals of Microelectronics*. John Wiley and Sons, New York, 2007.
- [41] S. Wetenkamp. Comparison of single diode vs dual diode detectors for microwave power detection. In *IEEE MTTs International Microwave Symposium Digest*, pages 361–363, 1993.
- [42] M. Abramowitz and I. S. Stegun. *Handbook of Mathematical Functions*. Dover Publications, New York, 1970, 2004.
- [43] M. C. Schneider and C. Galup-Montoro. *MOSFET Modeling for Circuit Analysis and Design*. International Series on Advances in Solid State Electronics and Technology, World Scientific, Hong Kong, 2007.
- [44] D. Levaq, D. Flandre, C. Liber, and V Dessard. Composite ULP diode fabrication, modelong and application in multi Vth FD SOI CMOS technology. *Journal of Solid-State Electronics Elsevier*, vol. 48(n. 6):pp. 1017–1025, 2004.
- [45] A. I. Cunha, C.G. Montoro, M. C. Schneider, C. D. C. Caetano, and M. B. Machado. Unambiguous extraction of threshold voltage based on the ACM model. In *19th Symposium on Microelectronics Technology and Device, SBMicro*, pages 100–105, 2004.
- [46] S. Mandal and R. Sarpeshkar. Low power CMOS rectifier design for RFID applications. *IEEE Transactions on Circuits and Systems I*, vol. 54(n. 6):pp. 1117–1188, 2007.
- [47] G. De Vita and G. Iannaccone. Ultra low power RF section of a passive microwave RFID transponder in 0.35 um BiCMOS. In *IEEE International Symposium on Circuits and Systems, ISCAS*, pages 5075–5078, 2005.
- [48] J. P. Curty, N. Joehl, and C. Dehollain. Remotely powered adressable UHF RFID integrated sustum. *IEEE Journal of Solid-State Circuits*, vol. 40(n. 11):pp. 2193–2202, 2005.
- [49] S-Y. Wong and C. Chen. Power efficient multi stage CMOS rectifier design for UHF RFID tags. *Integration the VLSI Journal Elsevier*, vol. 44(n. 9):pp. 242–255, 2011.
- [50] G. Papotto, F. Carrara, and G. Palmasio. A 90nm CMOS threshold compensated RF energy harvester. *IEEE Journal of Solid-State Circuits*, vol. 46(n. 9):pp. 195–1996, 2011.

- [51] W. Shu Yi and Chunhong C. Power efficient multi stage CMOS rectifier design for UHF RFID tags. *Integration the VLSI journal Elsevier*, 44(3):242–255, 2011.
- [52] Hwang C. J. *Ultra-low power radio transceiver for wireless sensor networks*. PhD thesis, University of Glasgow, 2010.
- [53] E. Dallago, D. Miatton, G. Venchi, V. Bottarel, G. Frattini, G. Ricotti, and M. Schipani. Active self supplied AC-DC converter for piezoelectric energy scavenging systems with supply independent bias. In *IEEE International Symposium on Circuits and Systems, ISCAS*, pages 1448–1451, 2008.
- [54] E. Fernandez, A. Beriain, H. Solar, A. Garcia-Alonso, R. Berenguer, J. Sosa, J.M. Monzon, S. Ga-Alonso, and J.A. Montiel-Nelson. Low power voltage limiter design for a full passive UHF RFID sensor. In *International Midwest Symposium on Circuits and Systems, MWSCAS*, pages 1–4, 2011.
- [55] F. Mounaim and M. Sawan. Toward a fully integrated neurostimulator with inductive power recovery front-end. *IEEE Transactions on Biomedical Circuits and Systems*, page a ser publicado, 2012.
- [56] J. Chao, T.-H. Su, C.-Y. Huan, and B.-D. Liu. An inductively powered converter for implantable biochemical sensor signal processing system. In *IEEE Circuits and Systems International Conference on Testing and Diagnosis, ICTD*, pages 5075–5078, 2009.
- [57] M. Ericka, D. Vasic, F. Costa, and G. Poulain. Predictive energy harvesting from mechanical vibration using a circular piezoelectric membrane. In *IEEE Ultrasonics Symposium*, pages 200–205, 2005.