

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Anselmo Luis da Silva Junior

**ANÁLISE E MODELAGEM DO SCHMITT TRIGGER CMOS
CONVENCIONAL EM INVERSÃO FORTE**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do Grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Eduardo Augusto Bezerra.

Coorientador: Prof. Dr. Carlos Galup-Montoro

Florianópolis
2018

Ficha de identificação da obra elaborada pelo autor
através do Programa de Geração Automática da Biblioteca Universitária
da UFSC.

da Silva Junior, Anselmo Luis
Análise e modelagem do Schmitt Trigger CMOS
convencional em inversão forte. / Anselmo Luis da
Silva Junior ; orientador, Eduardo Augusto Bezerra,
coorientador, Carlos Galup-Montoro, 2018.
96 p.

Dissertação (mestrado) - Universidade Federal de
Santa Catarina, Centro Tecnológico, Programa de Pós
Graduação em Engenharia Elétrica, Florianópolis, 2018.

Inclui referências.

1. Engenharia Elétrica. 2. Schmitt Trigger CMOS.
3. Inversão Forte. 4. Modelagem numérica. 5.
Inversor CMOS. I. Bezerra, Eduardo Augusto. II.
Galup-Montoro, Carlos. III. Universidade Federal de
Santa Catarina. Programa de Pós-Graduação em
Engenharia Elétrica. IV. Título.

Anselmo Luis da Silva Junior

**ANÁLISE E MODELAGEM DO SCHMITT TRIGGER CMOS
CONVENCIONAL EM INVERSÃO FORTE**

Esta Dissertação foi julgada adequada para obtenção do Título de “Mestre em Engenharia Elétrica” e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica

Florianópolis, 06 de Setembro de 2018.

Prof. Dr. Bartolomeu Ferreira Uchoa-Filho
Coordenador do Curso

Prof. Eduardo Augusto Bezerra, Dr.
Orientador
Universidade Federal de Santa Catarina

Prof. Carlos Galup-Montoro, Dr.
Coorientador
Universidade Federal de Santa Catarina

Banca Examinadora:

Prof. Carlos Galup-Montoro, Dr.
Presidente
Universidade Federal de Santa Catarina

Prof. José Luís Güntzel, Dr.
Universidade Federal de Santa Catarina

Prof.^a Cristina Meinhardt, Dr.^a
Universidade Federal de Santa Catarina

Dedico este trabalho à minha
filha Lara.

AGRADECIMENTOS

Meus mais sinceros agradecimentos aos meus orientadores, professores Eduardo Bezerra e Carlos Galup-Montoro, por todo esforço e confiança depositados no meu trabalho. Agradeço também, de forma especial, ao professor Márcio Cherem Schneider por suas valorosas contribuições à essa dissertação.

Aos colegas do Instituto SENAI de Inovação em Sistemas Embarcados e do Laboratório de Circuitos Integrados da UFSC, agradeço por todo apoio durante a jornada.

Aos meus pais, Anselmo e Débora, e ao meu irmão, Rafael, meu muito obrigado por uma vida de aprendizados e bons exemplos.

Por fim, à minha esposa, Evilyn, obrigado pela compreensão e por sempre me incentivar a fazer mais.

RESUMO

Nesta dissertação a operação do *Schmitt Trigger* CMOS convencional é analisada em inversão forte. O comportamento quadrático das equações que descrevem os transistores MOS nesse nível de inversão justificam o auxílio de métodos numéricos na análise. A característica de transferência de tensão do circuito é obtida numericamente de três formas: com um modelo modificado, sem singularidades, do transistor; com o modelo convencional do transistor; e pelo método das correntes, através da separação do circuito em redes de *pull-up* e *pull-down*. O método das correntes permite, em primeiro lugar, a observação do efeito de resistência negativa no circuito, demonstrando o caráter contínuo da característica de transferência de tensão, composta pelos conjuntos de pontos de operação estáveis e meta-estáveis e, em segundo lugar, a demonstração de que o valor de $V_{DD} - V_{TN} - |V_{TP}|$ não constitui um limite para a largura do laço de histerese, como acreditado até então. A descrição analítica da operação estática do circuito é realizada e expressões aproximadas para a largura do laço são deduzidas de três formas diferentes. As expressões aproximadas são comparadas ao modelo numérico, às simulações e às medidas experimentais utilizando o chip 4007. Por fim, um conjunto de equações e aproximações permite o projeto do *Schmitt Trigger* em inversão forte para todas as razões de realimentação, levando consideração aos parâmetros da tecnologia a ser utilizada.

Palavras-chave: *Schmitt Trigger*. Inversão Forte. Modelagem Numérica. Inversor CMOS. Histerese.

ABSTRACT

In this dissertation the operation of the classical CMOS Schmitt Trigger is analyzed in strong inversion. The quadratic behavior of the equations describing the MOS transistors at this inversion level justifies the aid of numerical methods in the analysis. The voltage transfer characteristic of the circuit is obtained numerically in three ways: with an adapted model, without singularities, of the transistor; with the conventional transistor model; and by the currents method, through the separation of the circuit into pull-up and pull-down networks. The current method, in particular, allows the observation of the negative resistance effect in the circuit and demonstrates the continuous behavior of the voltage transfer characteristic, composed of stable and metastable operating point sets. This method also shows that the value of $V_{DD} - V_{TN} - |V_{TP}|$ does not impose a limit to the width of the hysteresis loop. The analytical description of the static operation of the circuit is performed and approximate expressions for the width of the hysteresis loop are deduced in three different ways. The approximate expressions are compared to the numerical model, the simulations and the experimental measurements using the 4007 chip. Finally, a set of equations and approximations allows the Schmitt Trigger design in strong inversion for all the feedback ratios, considering the parameters of the technology to be used

Keywords: *Schmitt Trigger*. Strong Inversion. Numerical Modeling. CMOS Inverter. Hysteresis.

LISTA DE FIGURAS

Figura 1:Esquemático do inversor Schmitt Trigger CMOS convencional.	26
Figura 2:NMOS - $I_D \times V_{DS}$ @ ϵ , para $V_{DD}=500mV$, $V_{TN}=100mV$ e $V_{GS}=V_{DD}/2$	29
Figura 3: NMOS e PMOS $I_{DS} \times V_{DS}$ @ V_i	29
Figura 4: VTC do inversor <i>Schmitt Trigger</i> para 3 razões de realimentação diferentes: baixa ($I_1/I_2=5$), média ($I_1/I_2=1$) e alta ($I_1/I_2=1/5$).	31
Figura 5: Modelo sem singularidade (a) $V_o \times V_i$. (b) V_x e $V_y \times V_i$	32
Figura 6: Modelo convencional (a) $V_o \times V_i$. (b) V_x e $V_y \times V_i$	34
Figura 7: Tensões do circuito com $V_{Tx}=200mV$	35
Figura 8:Tensões do circuito para $V_{TN} \neq -V_{Tp}$	36
Figura 9: Comparação dos modelos convencional e sem singularidade do MOSFET para obtenção da VTC do <i>Schmitt Trigger</i>	36
Figura 10: <i>Schmitt Trigger</i> dividido em redes de <i>pull-up</i> (PUN) e <i>pull-down</i> (PDN).	37
Figura 11: I_{DN1} , $I_{DP1} \times V_o$ @ V_i	39
Figura 12: Curva Z do <i>Schmitt Trigger</i> em inversão forte.	41
Figura 13: Pontos de intersecção das correntes em N_1 e P_1 com foco no limiar da histerese para $V_i < V_{DD}/2$	42
Figura 14: Pontos de intersecção das correntes em N_1 e P_1 com foco no limiar da histerese para $V_i > V_{DD}/2$	43
Figura 15: Pontos de intersecção das correntes em N_1 e P_1 com foco nos limiares superior e inferior da histerese.	44
Figura 16: Comparação dos gráficos de $V_o \times V_i$ usando o método convencional e o método das correntes.	44
Figura 17: VTC e tensões em V_x e V_y do <i>Schmitt Trigger</i> com parâmetros do 4007.	45
Figura 18: Correntes em N_1 e P_1 próximas ao limiar inferior do laço de histerese.	46
Figura 19: Correntes em N_1 e P_1 próximas ao limiar superior do laço de histerese.	46
Figura 20: Detalhe nas correntes dentro do laço de histerese.	47
Figura 21: Região 1 - PDN.	48
Figura 22: Região 2 - PDN.	49
Figura 23: Região 3 - PDN.	49

Figura 24: VTC e regiões de operação da descrição analítica do <i>Schmitt Trigger</i> .	51
Figura 25: Comparação da largura do laço de histerese (V_L) numérica com a equação das regiões de operação.	52
Figura 26: Aproximação da largura do laço de histerese pelo ganho em $V_i=V_o=V_{DD}/2$.	53
Figura 27: Comparação da largura do laço de histerese numérica com a equação do ganho em $V_i=V_o=V_{DD}/2$.	54
Figura 28: Inversor CMOS convencional.	55
Figura 29: VTC do inversor CMOS convencional.	55
Figura 30: VTC do <i>Schmitt Trigger</i> para $W_2=0$ e razões W_0/W_2 de 1/5, 1 e 5.	56
Figura 31: Comparação da aproximação para realimentação forte com os resultados numéricos.	58
Figura 32: Comparação do limiar entre as regiões II e III (eq. (30)) com a VTC.	59
Figura 33: Comparação dos resultados numéricos com a aproximação para realimentação fraca (eq. (62)).	61
Figura 34: Comparação dos resultados simulados e numéricos para o 4007.	62
Figura 35: Estrutura interna do 4007.	63
Figura 36: Base da PCI de teste utilizando o chip "6" do 4007.	65
Figura 37: <i>Schmitt Trigger</i> com transistores de realimentação em série.	66
Figura 38: <i>Schmitt Trigger</i> com transistores de realimentação em paralelo.	66
Figura 39: Esquemático da PCI de teste.	67
Figura 40: PCI de teste em 3D.	67
Figura 41: Layout da PCI de teste.	68
Figura 42: PCI de teste montada.	68
Figura 43: Comparação da largura do laço do 4007 para 5V....	69
Figura 44: Comparação da largura do laço do 4007 para 10V...	70
Figura 45: Comparação da largura do laço do 4007 para 15V...	70
Figura 46: Comparação dos resultados simulados, numéricos e analíticos para a largura do laço com realimentação fraca utilizando os parâmetros do 4007. $V_{DD}=5V$, $V_{TN}=1,38V$, $V_{TP}=-1,24V$, $n_N=1,95$, $n_P=1,25$.	71
Figura 47: Erro entre a largura do laço simulada e a analítica para realimentação forte utilizando os parâmetros do 4007. $V_{DD}=5V$, $V_{TN}=1,38V$, $V_{TP}=-1,24V$, $n_N=1,95$, $n_P=1,25$.	71

Figura 48: Comparação dos resultados simulados, numéricos e analíticos para a largura do laço com realimentação fraca utilizando os parâmetros do 4007. $VDD=5V$, $V_{TN}=1,38V$, $V_{TP}=-1,24V$, $n_N=1,95$, $n_P=1,25$ 72

LISTA DE TABELAS

Tabela 1: Parâmetros do CI 4007.	45
Tabela 2: Valores simulados da largura de histerese utilizando o modelo do 4007.	62
Tabela 3: Comparação da VTC do inversor convencional usando 4007.	63
Tabela 4: Tensões de limiar extraídas dos chips.	64
Tabela 5: Valores experimentais da largura de histerese utilizando o 4007.	69

LISTA DE ABREVIATURAS E SIGLAS

CMOS	MOS complementar
HVLS	<i>High-voltage level shifter</i>
LCK	Lei das correntes de Kirchhoff
NAND2	Porta lógica E com duas entradas
NAND3	Porta lógica E com três entradas
NaN	Sigla para <i>Not-a-Number</i>
NOR2	Porta lógica OU com duas entradas
NOR3	Porta lógica OU com três entradas
NMOS	Transistor de efeito de campo do tipo N
MOS	Metal óxido semiconductor
MOSFET	Transistor de efeito de campo metal óxido semiconductor
PCI	Placa de circuito impresso
PDN	Do inglês <i>pull-down network</i>
PMOS	Transistor de efeito de campo do tipo P
PUN	Do inglês <i>pull-up network</i>
SMU	<i>Source Measure Unit</i>
SNM	Margem sinal-ruído
SNR	Razão sinal-ruído
SRAM	Memória de acesso randômico estático
ST	<i>Schmitt Trigger</i>
VTC	Característica de transferência de tensão

SUMÁRIO

1	INTRODUÇÃO	21
1.1	REVISÃO BIBLIOGRÁFICA E OBJETIVOS	22
2	MODELAGEM NUMÉRICA DO CIRCUITO.....	26
2.1	EQUACIONAMENTO COM MODELO SEM SINGULARIDADES	28
2.1.1	ALGORITMO PARA DETERMINAÇÃO DA VTC	28
2.2	EQUACIONAMENTO COM MODELO CONVENCIONAL	33
2.2.1	ALGORITMO PARA DETERMINAÇÃO DA VTC CONVENCIONAL.....	33
2.2.2	ALGORITMO PARA DETERMINAÇÃO DA CURVA-Z	37
2.3	COMPARAÇÃO DOS MODELOS	47
3	MODELAGEM ANALÍTICA DO CIRCUITO	48
3.1	ANÁLISE DA VTC DE ACORDO COM A REGIÃO DE OPERAÇÃO DOS TRANSISTORES	48
3.2	APROXIMAÇÃO DA LARGURA DO LAÇO DE HISTERESE DE ACORDO COM GANHO DE PEQUENOS SINAIS	52
3.3	CÁLCULO DA LARGURA DO LAÇO PONDERADA PELO INVERSOR CONVENCIONAL	54
3.3.1	APROXIMAÇÃO DA LARGURA DO LAÇO DE HISTERESE PARA REALIMENTAÇÃO FORTE	58
3.3.2	APROXIMAÇÃO DA LARGURA DO LAÇO DE HISTERESE PARA REALIMENTAÇÃO FRACA	59
4	SIMULAÇÕES E RESULTADOS EXPERIMENTAIS..	62
4.1	SIMULAÇÕES NO SPECTRE	62
4.2	PCI DE TESTE COM 4007	63
4.2.1	CARACTERIZAÇÃO DOS CHIPS.....	63
4.2.2	MEDIÇÕES.....	68
4.2.3	COMPARAÇÃO DOS RESULTADOS.....	69
5	CONCLUSÃO E TRABALHOS FUTUROS	73

REFERÊNCIAS.....	74
APÊNDICE A – Algoritmo para obtenção da VTC com modelo sem singularidades.....	76
APÊNDICE B - Algoritmo para obtenção da VTC com modelo convencional.....	80
APÊNDICE C - Algoritmo para obtenção da VTC pelo método das correntes	87
APÊNDICE D – Netlist do SPECTRE para simulação do 4007	96

1 INTRODUÇÃO

Nos últimos anos o número de dispositivos eletrônicos vem crescendo juntamente com a sua redução em tamanho. O surgimento das aplicações de sistemas embarcados em dispositivos vestíveis e na indústria 4.0 incentivou ainda mais a busca por novas tecnologias com tamanho e consumo de energia reduzidos, capazes de serem integrados nas mais diversas aplicações da sociedade atual. Estes dispositivos variam desde relógios para monitoramento de frequência cardíaca até mesmo redes de sensores complexas para monitorar e prever falhas em equipamentos industriais extremamente caros.

O aumento do número de dispositivos e a necessidade de alimentá-los sem a utilização da rede elétrica convencional trouxe consigo a busca pela redução na tensão de alimentação e no consumo energético de forma geral. Nesse ponto, o interesse pelo inversor CMOS *Schmitt Trigger* convencional, amplamente utilizado e estudado na década de 1980 em inversão forte, cresceu consideravelmente. A operação deste em regime de inversão fraca traz diversas vantagens para aplicações de ultra-baixo consumo, como ganho elevado, maior imunidade ao ruído e maior robustez.

Com a repopularização de tal circuito para aplicações de ultra-baixa tensão, onde a operação ocorre em regime de inversão fraca, diversos estudos foram conduzidos a fim de descrever detalhadamente o comportamento dos transistores e propiciar metodologias confiáveis para o dimensionamento do inversor para as mais diversas aplicações [1] [2] [3]. Verificou-se, entretanto, que mesmo para o regime de inversão forte o circuito não estava devidamente descrito na literatura. Mesmo os livros mais recentes sobre projetos de circuitos integrados CMOS [4] carecem de explicações mais detalhadas sobre o *Schmitt Trigger* e seu dimensionamento. Usualmente a explicação é superficial e aborda apenas o caso onde os transistores de realimentação apresentam tamanho igual ou maior aos demais.

Embora a aplicação do ST esteja em alta para o regime de inversão fraca, o circuito continua sendo amplamente utilizado em inversão forte, necessitando de um estudo mais aprofundado. Em [5], por exemplo, o circuito é utilizado em inversão forte para melhorar o desempenho transitente de um *level-shifter* de alta tensão. Nesse caso, o inversor ST serve como *driver* dos transistores de *pull-up* do HVLS, reduzindo o atraso causado pela capacitância parasita elevada dos MOSFETs de alta tensão. Além disso, a topologia atinge um atraso de transferência de tensão da ordem de 1ns mesmo sem a utilização de capacitores elevados,

inviáveis para integração, ou unidades lógicas complexas, que reduzem a confiabilidade do sistema.

Grandes empresas da área de semicondutores também continuam a manter chips do ST para utilização em inversão forte no mercado, bem como produzem manuais de aplicação para a topologia. Em [6], o circuito é recomendado pela *Texas Instruments* na conversão de sinais com borda de subida lenta para sinais rápidos, assim como na filtragem de entradas com SNR elevado e na conversão de sinais senoidais em quadrados.

Assim, essa dissertação visa descrever o funcionamento do *Schmitt Trigger* em inversão forte, buscando fornecer ao leitor expressões analíticas para a determinação largura de histerese não só para laços largos, como em [7], como também para laços estreitos, permitindo o dimensionamento do circuito para qualquer razão de realimentação.

1.1 REVISÃO BIBLIOGRÁFICA E OBJETIVOS

O inversor Schmitt Trigger apresenta diversas aplicações na eletrônica moderna, principalmente quando operado em regime de inversão fraca. Nos últimos anos diversos estudos vêm apresentando técnicas de projeto para melhorar o desempenho do *Schmitt Trigger* nos mais diversos aspectos. Em [2], por exemplo, uma célula SRAM baseada no inversor CMOS Schmitt Trigger é apresentada com tensão de alimentação de 160 mV em tecnologia CMOS 0,13 μ m. Quando comparada à topologia tradicional 6T, a nova célula de memória apresenta maior razão sinal-ruído (SNM), menor consumo de potência e maior tolerância a variações do processo de fabricação.

Já em [3], uma metodologia para o projeto de circuitos CMOS 0,13 μ m usando portas-lógicas padronizadas baseadas no inversor *Schmitt Trigger* é apresentada. A partir do ST convencional uma porta NAND2 é derivada e analisada. Em seguida uma família lógica baseada no inversor é projetada, incluindo portas NAND3, NOR2 e NOR3. Por fim, um chip de testes é desenvolvido a partir da família lógica contendo um multiplexador analógico, um *level-shifter* e um multiplicador 8x8, sendo os dois últimos baseados no *Schmitt Trigger*. O chip é então utilizado para demonstrar que é possível projetar e operar circuitos digitais com tensões de alimentação tão reduzidas quanto 62mV, sem a necessidade de qualquer tipo de ajustes no processo de fabricação ou etapas de calibração pós-processamento do silício. Por fim, o estudo demonstra a importância do circuito para aplicações com limitações na tensão de alimentação e/ou na potência disponível.

Mais recentemente, demonstrou-se em [8] que, para aplicações de ultra-baixa tensão, o inversor Schmitt Trigger operando em regime sub-

limiar é teoricamente capaz de operar com ganho acima de 1 para tensões de alimentação tão baixas quanto 31,5mV, abaixo do limite teórico de 36mV do inversor convencional. Além disso, a divisão do circuito em redes de *pull-up* e *pull-down* demonstra o efeito de resistência negativa presente nas correntes dos transistores N e P internos do *Schmitt Trigger*, responsável pelo efeito de histerese. Nesse caso, em determinado intervalo e devido a realimentação positiva do circuito, a corrente nestes transistores diminuí com o aumento da diferença de potencial entre dreno e fonte. Com isso, dentro do laço de histerese o circuito apresenta três soluções numéricas, com duas estáveis e uma meta-estável. A combinação dos pontos de operação estáveis e meta-estáveis dá origem a “curva Z” [8], que apresenta informações indispensáveis ao entendimento do fenômeno de histerese e à dedução de uma expressão analítica para determinação da largura do laço de acordo com os parâmetros do circuito. Na sequência, a análise de pequenos sinais do circuito demonstra a necessidade de uma tensão de alimentação maior do que 75mV a 300K para o aparecimento do efeito de histerese. Mais do que isso, a determinação do ganho do inversor no ponto de operação onde a tensão de entrada é igual à tensão de saída que, por sua vez, é igual à metade da tensão de alimentação, condição esta sempre presente nos casos onde as redes de *pull-up* e *pull-down* estão equilibradas, possibilita a dedução de expressão analítica aproximada para estimar a largura do laço. Já em [9] pode-se verificar as vantagens e desvantagens do circuito operando como amplificador de ultra-baixa tensão quando comparado ao inversor convencional.

Como comentado até agora, os estudos deste circuito em inversão fraca tem sido o foco das pesquisas nos últimos anos e apresentam contribuições inestimáveis à microeletrônica contemporânea, ligada à internet das coisas e à indústria 4.0, ambas baseadas na interação entre grandes volumes de máquinas e dispositivos muitas vezes com restrições severas ao consumo de energia e à tensão de alimentação disponível. A análise do inversor ST em inversão forte, por outro lado, carece de estudos e apresenta descrição incompleta mesmo nos artigos mais aprofundados, com os mais recentes tendo sido publicados há quase 25 anos atrás.

Nesse aspecto, em [10] uma metodologia de análise do circuito em inversão forte é apresentada. Nele, o autor faz a análise de duas topologias de Schmitt Trigger de 4 transistores (4T), a primeira contendo 3 dispositivos NMOS e 1 PMOS e a segunda, complementar, contendo 3 dispositivos PMOS e 1 NMOS. A característica de transferência de tensão (VTC) é demonstrada através de sua divisão em 7 regiões de operação, de acordo com os estados de condução dos transistores individualmente. A

estimativa da largura do laço de histerese para o *Schmitt Trigger* convencional ($6T$) é feita através da combinação dos resultados para os dois modelos de $4T$. O artigo apresenta excelente fundamentação teórica, entretanto, a análise conduzida não considera a influência da rede de *pull-up* durante a transição de V_i de zero para V_{DD} , nem a influência da rede de *pull-down* no caminho inverso.

Já em [7] é possível verificar uma metodologia de projeto para o *Schmitt Trigger* em inversão forte. Nesse caso, um conjunto de equações é apresentado junto à metodologia de forma a possibilitar o dimensionamento dos transistores de acordo com os parâmetros da tecnologia utilizada e as condições de contorno desejadas. Novamente a análise é feita através da divisão da VTC em regiões de acordo com os estados de condução dos transistores individualmente. Entretanto, agora a rede não dominante é modelada como um resistor durante a transição. Assim, na transição de V_i de zero para V_{DD} a rede de *pull-up* é modelada como um resistor na transição. O inverso ocorre quando V_i vai para zero. Assim como em [10], a análise conduzida considera que as redes de *pull-up* e *pull-down* são equilibradas e apresenta uma estimativa para o laço de histerese de acordo com os parâmetros do circuito. O problema, nesse caso, é que as equações apresentam validade apenas para configurações onde os transistores de realimentação são ao menos algumas vezes maiores que os demais.

A problemática exposta até agora indica a lacuna deixada na descrição do funcionamento do *Schmitt Trigger* durante a transição dos estudos da operação do circuito em inversão forte para inversão fraca. Assim, esse trabalho busca preencher o espaço deixado antigamente na análise do circuito em inversão forte mantendo a coerência com os recentes avanços na aplicação do *Schmitt Trigger* em ultra-baixa tensão.

Essa dissertação será apresentada no formato a seguir.

O Capítulo 2 desenvolve a modelagem do circuito em MatLab. Primeiramente, a solução numérica é obtida através de um modelo modificado do MOSFET sem pontos de singularidades. Em seguida, o modelo convencional é codificado e comparado com a solução das equações sem singularidades. Por fim, a característica de transferência de tensão do circuito é obtida através do método das correntes nas redes de *pull-up* e *pull-down* e comparada com as abordagens anteriores.

O Capítulo 3 discorre sobre a modelagem analítica do problema e, com o auxílio da modelagem numérica desenvolvida no Capítulo 2, traz informações detalhadas do circuito, indicando a região de operação e o comportamento das tensões e correntes em todos os transistores.

Os resultados obtidos experimentalmente e através de simulações elétricas são expostos no Capítulo 4, juntamente com a comparação com os resultados numéricos e analíticos.

Conclusão e trabalhos futuros são apresentados no Capítulo 5.

2 MODELAGEM NUMÉRICA DO CIRCUITO

O inversor *Schmitt Trigger* CMOS convencional, Figura 1, é constituído por 6 transistores. Sua construção é baseada no inversor CMOS convencional com dois transistores, um NMOS e um PMOS, ao qual são adicionados dois transistores em cascata, um NMOS na rede de *pull-down* e um PMOS na rede de *pull-down*, dando a origem a dois nós intermediários. Um deles, V_y , posicionado entre a tensão de alimentação e a de saída e outro, V_x , posicionado entre a referência e a saída. O circuito é finalizado adicionando-se os transistores de realimentação positiva, P2 e N2, com os terminais de fonte conectados aos nós V_y e V_x , respectivamente, e os terminais de porta conectados ao nó de saída V_o . O dreno de P2 deve ser conectado à referência do circuito, enquanto que o dreno de N2 deve ser conectado à tensão de alimentação.

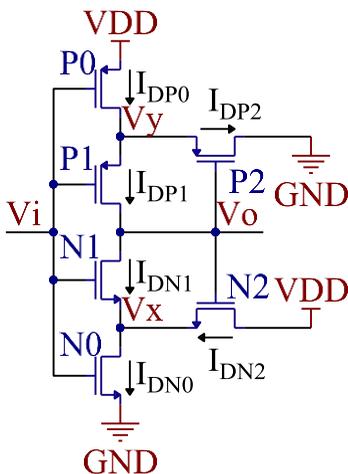


Figura 1: Esquemático do inversor Schmitt Trigger CMOS convencional.

Assim como no inversor convencional, quando uma tensão de nível lógico baixo é aplicada ao terminal de entrada, V_i , do circuito a rede de *pull-up* é ativada e a tensão de saída vai para V_{DD} . Caso a tensão aplicada em V_i esteja em nível lógico alto, então a rede de *pull-down* é ativada e V_o apresenta nível lógico baixo. A diferença entre os dois inversores surge como consequência da adição dos transistores de realimentação. Agora, durante a transição lógica de V_i , os nós V_y e V_x também variam, influenciando as regiões de operação dos transistores e suas correntes.

A fim de possibilitar a solução numérica do circuito, é necessário escrever as correntes nos 6 transistores em função das tensões aplicadas em seus terminais. A corrente de um transistor NMOS operando em inversão forte [11] é dada por

$$I_{DN} = \left(\frac{W}{L} * \mu\right)_N * \frac{Q_{ISN}^2 - Q_{IDN}^2}{2n_N C_{ox}} \quad (1)$$

onde W é a largura do transistor, L o seu comprimento, μ é mobilidade dos elétrons, Q_{ISN} é a carga por unidade de área no terminal de fonte, Q_{IDN} é carga por unidade de área no terminal de dreno, n_N é o fator de inclinação e C_{ox} é a capacitância do óxido por unidade de área. As cargas de fonte e dreno dependem da diferença na amplitude da tensão de *pinch-off*, V_{PN} , do transistor e a tensão aplicada no respectivo terminal. A tensão de *pinch-off*, por sua vez, é uma função da tensão aplicada na porta do transistor e da tensão de limiar [11]

$$V_{PN} = \frac{V_G - V_{TN}}{n_N} \quad (2)$$

De acordo com a diferença entre a tensão de *pinch-off* e a tensão aplicada no terminal de fonte, V_S , a carga na fonte é descrita por

$$Q_{ISN} = 0 \quad \text{se } V_{PN} - V_S \leq 0 \quad (3)$$

$$Q_{ISN} = (n_N C_{ox})(V_{PN} - V_S) \quad \text{se } V_{PN} - V_S > 0 \quad (4)$$

de forma similar, tem-se a carga no dreno, onde V_D é a tensão aplicada ao terminal de dreno, de acordo com

$$Q_{IDN} = 0 \quad \text{se } V_{PN} - V_D \leq 0 \quad (5)$$

$$Q_{IDN} = (n_N C_{ox})(V_{PN} - V_D) \quad \text{se } V_{PN} - V_D > 0 \quad (6)$$

O conjunto de equações de (1) a (6) define a região de operação do transistor: caso ambas as cargas de fonte e dreno sejam iguais a zero o transistor se encontra cortado; caso ambas as cargas, de fonte e dreno, sejam diferentes de zero, o transistor se encontra operando na região de triodo; por fim, caso apenas a carga na fonte seja diferente de zero, o transistor se encontra em saturação. Aplicando o mesmo raciocínio ao transistor PMOS tem-se:

$$I_{DP} = \left(\frac{W}{L} * \mu\right)_P * \frac{Q_{ISP}^2 - Q_{IDP}^2}{2n_P C_{ox}} \quad (7)$$

$$V_{PP} = \frac{(V_{DD} - V_G) + V_{TP}}{n_P} \quad (8)$$

$$Q_{ISP} = 0 \quad \text{se } V_{PP} + V_S - V_{DD} \leq 0 \quad (9)$$

$$Q_{ISP} = (n_P C_{ox})(V_{PP} + V_S - V_{DD}) \quad \text{se } V_{PP} + V_S - V_{DD} > 0 \quad (10)$$

$$Q_{IDP} = 0 \quad \text{se } V_{PP} + V_D - V_{DD} \leq 0 \quad (11)$$

$$Q_{IDP} = (n_P C_{ox})(V_{PP} + V_D - V_{DD}) \quad \text{se } V_{PP} + V_D - V_{DD} > 0 \quad (12)$$

Onde V_{PP} representa a tensão de *pinch-off* do transistor PMOS. Embora o conjunto de equações de (1) a (12) pareça simples, sua resolução numérica se torna muito complexa quando as condições de contorno são aplicadas ao circuito da Figura 1, indicando a necessidade de uma ferramenta para auxiliar na descrição analítica do circuito.

2.1 EQUACIONAMENTO COM MODELO SEM SINGULARIDADES

O início do desenvolvimento dos modelos em Matlab para solução numérica do circuito da Figura 1 foi marcado por diversos problemas de execução. Ao contrário da abordagem utilizada em inversão fraca [8], o equacionamento agora precisa considerar as regiões de operação e, dependendo da região, não há como isolar as tensões V_x e V_y a partir das respectivas leis das correntes de Kirchhoff (LCK) do circuito. Ao tentar utilizar as equações do modelo convencional do MOSFET, o algoritmo sempre era interrompido, geralmente associado ao retorno de um NaN (sigla para *not-a-number*) em uma das funções nativas do Matlab. Após diversas tentativas, a alternativa encontrada para facilitar o início do desenvolvimento foi a utilização de um modelo modificado dos transistores sem pontos de singularidade.

Por questão de simplicidade, inicialmente a análise e modelagem numérica foi realizada considerando que os transistores NMOS e PMOS contêm as mesmas características físicas, variando-se apenas os seus tamanhos. Assim, um transistor NMOS apresenta a mesma força que um transistor PMOS com as mesmas dimensões. Após a validação do modelo, valores reais das tensões de limiar e dos fatores de inclinação foram utilizados.

2.1.1 ALGORITMO PARA DETERMINAÇÃO DA VTC

A modificação do modelo convencional do transistor CMOS em inversão forte se deu com a adição de uma variável auxiliar às equações das cargas [12]. A equação

$$Q_{ISN} = \left(n_N C_{ox} * \frac{1}{2} \right) \left[(V_{PN} - V_S) + \sqrt{(V_{PN} - V_S)^2 + \varepsilon^2} \right] \quad (13)$$

apresenta o modelo proposto para a carga no terminal de fonte do transistor NMOS. A partir da equação (13) é fácil perceber que quando a variável auxiliar ε é igual à zero, as equações (3) e (4) são obtidas. Caso *epsilon* seja suficientemente pequeno, então a equação (13) tende a equação (4) e um modelo sem singularidades para o MOSFET é obtido.

De forma similar as equações para as cargas do dreno do transistor NMOS e para a fonte e o dreno do transistor PMOS

$$Q_{IDN} = \left(n_N C_{ox} * \frac{1}{2} \right) \left[(V_{PN} - V_D) + \sqrt{(V_{PN} - V_D)^2 + \epsilon^2} \right] \quad (14)$$

$$Q_{ISP} = \left(n_P C_{ox} * \frac{1}{2} \right) \left[(V_{PP} + V_S - V_{DD}) + \sqrt{(V_{PP} + V_S + V_{DD})^2 + \epsilon^2} \right] \quad (15)$$

$$Q_{IDP} = \left(n_P C_{ox} * \frac{1}{2} \right) \left[(V_{PP} + V_D - V_{DD}) + \sqrt{(V_{PP} + V_D - V_{DD})^2 + \epsilon^2} \right] \quad (16)$$

são, respectivamente, obtidas. As equações para as tensões de *pinch-off* e para as correntes de dreno não sofrem alterações.

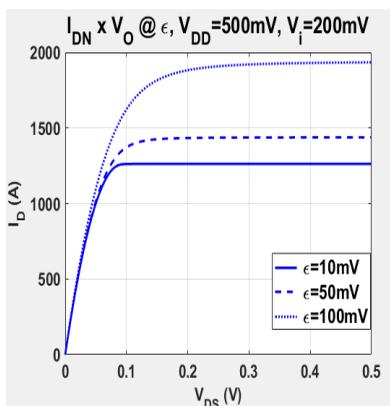


Figura 2:NMOS - $I_D \times V_{DS}$ @ ϵ , para $V_{DD}=500\text{mV}$, $V_{TN}=100\text{mV}$ e $V_{GS}=V_{DD}/2$.

A Figura 2 ilustra a influência da variável auxiliar *epsilon* na corrente de dreno de um transistor NMOS. A Figura 3 apresenta as correntes de um transistor NMOS e de um PMOS do modelo sem singularidades.

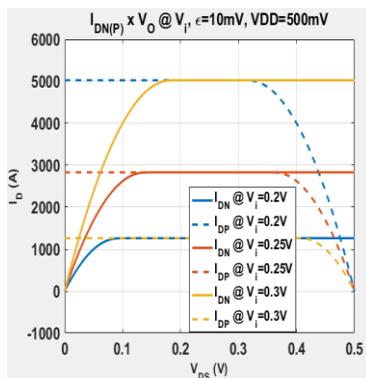


Figura 3: NMOS e PMOS $I_D \times V_{DS}$ @ V_i .

Após a comprovação da viabilidade do modelo, demonstrada pela Figura 3, com $\varepsilon=10\text{mV}$, o desenvolvimento do algoritmo para solução do inversor *Schmitt Trigger* foi iniciado.

O procedimento de cálculo numérico utilizado baseia-se na função “*Fzero*” do MatLab. Essa função é capaz de encontrar o ponto em que determinada equação, escrita na forma $f(x)=0$, intercepta o eixo X. Caso a equação a ser inspecionada apresente sinais opostos nos extremos do intervalo de varredura, a função *Fzero* irá retornar a primeira intersecção com o eixo X encontrada, sem qualquer indicação da quantidade de intersecções presentes no intervalo. Caso contrário, o *script* irá retornar um erro.

Para realizar o cálculo da VTC, duas varreduras na tensão de entrada, V_i , são realizadas. Primeiramente, V_i cresce a partir de 0 até chegar em V_{DD} . Para cada valor da tensão de entrada, as tensões nos nós intermediários V_x e V_y são calculadas através da função “*Fzero*” e de um valor inicial para tensão de saída, V_o . Os valores encontrados são então utilizados para determinar um novo valor de V_o , novamente através da função “*Fzero*”. Essa tensão, por sua vez, possibilita um novo cálculo de V_x e V_y . O procedimento se repete para cada valor de V_i , até que a diferença entre o valor atual das tensões e o valor na iteração anterior seja menor em módulo do que a tolerância estabelecida. A combinação dos pontos encontrados forma a primeira parte da VTC. Em seguida V_i decresce a partir de V_{DD} até chegar em 0. Novamente os cálculos de V_x , V_y e V_o são feitos para todos os valores de V_i , formando a segunda parte da VTC. Na primeira varredura, considera-se que $V_o=V_{DD}$ para $V_i=0$, já na segunda, considera-se que $V_o=0$ para $V_i=V_{DD}$. A primeira iteração do *loop* de cada V_i considera o valor inicial de V_o como sendo o seu ponto de operação para o valor anterior de V_i . Essa abordagem oferece uma boa forma de estimar o valor inicial de V_o antes de iniciar as interações, mas dificulta a convergência nos extremos do laço de histerese, onde a variação de V_o é grande. Caso a configuração do circuito não apresente histerese, então as duas varreduras terão o mesmo resultado. O trecho de código a seguir ilustra a parte principal do *script*.

```

for index_Vi = 1:(tam+1)
    Vi = Vi_loop(index_Vi);
    Vo_temp(2) = VDD/2;
while 1
    Vo = Vo_init;
    Vx_op(index_Vi)=      fzero('fZero_PDN',      [0
VDD],options);

```

```

Vy_op(index_Vi)=          fzero('fZero_PUN',      [0
VDD],options);
Vx = Vx_op(index_Vi);
Vy = Vy_op(index_Vi);
Vo_op(index_Vi)=          fzero('fZero_Vo',      [0
VDD],options);
Vo_init = Vo_op(index_Vi);

Vo_temp(1) = Vo_temp(2);
Vo_temp(2) = Vo_init;
Vo_error = abs(Vo_temp(2) - Vo_temp(1));
Itr_counter(index_Vi) = Itr_counter(index_Vi)+1;
if Vo_error < Conv_Tol;
    break
end
end
end

```

O código completo encontra-se no APÊNDICE A – Algoritmo para obtenção da VTC com modelo sem singularidades. A Figura 4 apresenta os resultados obtidos.

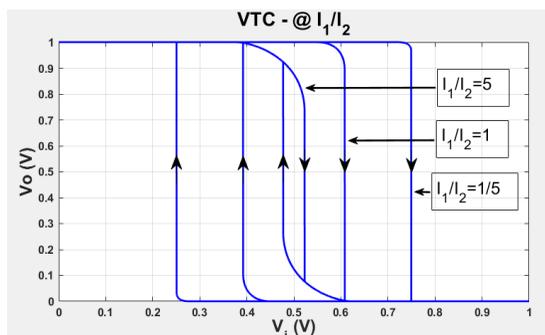


Figura 4: VTC do inversor *Schmitt Trigger* para 3 razões de realimentação diferentes: baixa ($I_1/I_2=5$), média ($I_1/I_2=1$) e alta ($I_1/I_2=1/5$).

O gráfico da Figura 4 apresenta três características de transferência de tensão do circuito. O laço de histerese central corresponde à configuração do *Schmitt Trigger* onde os transistores $N(P)_1$ apresentam a mesma largura que os transistores de realimentação $N(P)_2$, sempre mantendo $N(P)_1$ com as mesmas dimensões que $N(P)_0$. O laço externo, por sua vez, apresenta transistores de realimentação 5 vezes maiores. Já o laço interno apresenta transistores de realimentação 5 vezes menores. É importante ressaltar a existência de singularidades nos limiares do laço de histerese, isto é, a transição de V_o ocorre sempre instantaneamente, sem nenhum ponto intermediário entre os níveis lógicos alto e baixo.

Assim, a linha de transição de V_o nos limiares da histerese é ortogonal ao eixo X. Entretanto, na prática, uma pequena inclinação pode ser observada dependendo da quantidade de pontos utilizadas na varredura de V_i . Na Figura 4, por exemplo, a varredura foi realizada com apenas 100 valores de V_i , possibilitando a visualização de uma pequena inclinação no laço de histerese. Embora a resolução numérica da VTC não forneça muitas informações sobre esse efeito, a sua construção a partir das correntes nas redes de PDN e PUN, discutida em 2.2.2, permite observar com clareza esse efeito. A variável auxiliar ε não apresentou influência na VTC para redes de *pull-up* e *pull-down* balanceadas. A Figura 5, por sua vez, apresenta não só a tensão de saída do circuito, como também a tensão nos nós intermediários V_x e V_y .

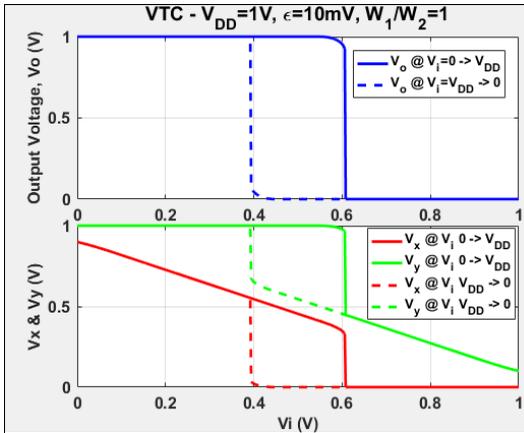


Figura 5: Modelo sem singularidade (a) V_o x V_i . (b) V_x e V_y x V_i .

Na Figura 5, a solução do circuito foi calculada para V_{DD} igual a 1V e com todos os transistores do mesmo tamanho. É possível observar que o efeito de histerese aparece não só no nó de saída V_o , como também nos nós intermediários do circuito. Além disso, para V_i próximo de 0, pode-se verificar que o transistor de realimentação N_2 é responsável por puxar a tensão em V_x para próximo de V_{DD} . A tensão em V_y , por sua vez, é igual a V_{DD} , já que tanto P_0 quanto P_1 encontram-se ligados, mas com correntes iguais a zero, e que N_1 e P_2 estão em corte. A situação complementar ocorre para V_i próximo a V_{DD} . Agora o transistor P_2 é responsável por manter V_y próximo a zero, enquanto que N_1 e N_0 fazem com que V_x seja igual a zero.

2.2 EQUACIONAMENTO COM MODELO CONVENCIONAL

Embora a construção do gráfico da característica de transferência de tensão do *Schmitt Trigger* utilizando o modelo modificado do transistor MOSFET, sem ponto de singularidade, permita a resolução numérica do circuito a partir de um algoritmo simplificado, não há garantia de sua veracidade. Assim, após a obtenção dos resultados apresentados no capítulo 2.1.1, iniciou-se a concepção do programa para resolução das equações do circuito utilizando o modelo convencional dos transistores de efeito de campo.

2.2.1 ALGORITMO PARA DETERMINAÇÃO DA VTC CONVENCIONAL

Diferente do modelo sem singularidades, como citado em 2.1, o modelo convencional do MOSFET pode levar a função “*Fzero*” do Matlab a indefinições matemáticas, chamadas de *NaN* pelo software. Isso ocorre porque, dependendo do valor considerado para as tensões V_x , V_y e V_o , divisões por zero ou ∞/∞ podem aparecer durante a execução das funções nativas do MatLab. Após diversos testes foi possível contornar o problema e solucionar o conjuntos das equações (1) a (12) para o circuito da Figura 1.

A estrutura do algoritmo continua sendo a apresentada na Seção 2.1.1. Entretanto, agora medidas extras são necessárias para garantir a convergência do cálculo. O ponto de singularidade presente no modelo convencional dos transistores FET faz com que, já na primeira mudança na região de operação dos transistores, a função “*Fzero*” retorne um *NaN*. Uma simples inspeção no circuito da Figura 1 revela que essa transição ocorre, para $V_i=0 \rightarrow V_{DD}$, quando a tensão de entrada se torna maior que a tensão de limiar do transistor N_0 . Nesse momento, N_0 passa de corte para a região de saturação. Entretanto, N_1 continua em corte, já que a tensão em V_x ainda está próxima de V_{DD} , fazendo com que a condição da equação (3) seja obedecida. A combinação dessas condições usualmente leva a função “*Fzero*” a retornar um *NaN*, o que, por si só, não é um problema. Entretanto, a iteração seguinte do algoritmo considera como entrada a saída da iteração anterior e, então, o erro ocorre, já que um *NaN* não é aceito como entrada por “*Fzero*”. O trecho de código a seguir ilustra a solução encontrada.

```
Vx_op(index_Vi) = fzero('OpRegionsModel_fZero_PDN',Vx_itr,
options);
Is_NaN_Test1 = isnan(Vx_op(index_Vi));
if Is_NaN_Test1 == 1;
    Vx_op(index_Vi) = rand*VDD;
```

```

Is_NaN_Test1 = 0;
end

```

A resolução se dá através da utilização de outras duas funções nativas do MatLab. A função *isnan*, chamada logo após a execução de “Fzero”, é capaz de avaliar se o valor armazenado em determinada variável, nesse caso $V_{x_op}(index_Vi)$, é um *NaN*. Caso isso ocorra então o valor 1 é atribuído a variável *Is_NaN_Test1*. Em seguida, caso seja constatada a presença de um *NaN*, a função *rand* é invocada, atribuindo um novo valor aleatório à variável $V_{x_op}(index_Vi)$. A função *rand* retorna um valor aleatório maior que 0 e menor do que 1, sendo então necessário multiplicá-lo pela tensão de alimentação do circuito, fornecendo então um novo valor de V_x entre 0 e V_{DD} . Essa abordagem evita a interrupção do algoritmo, mas não garante a convergência do mesmo. Eventualmente, para tensões de entrada próximas à pontos de transição na região de operação dos transistores, a condição de convergência não é atendida e o algoritmo fica preso em um *loop* infinito. O mesmo procedimento é efetuado para as variáveis V_y e V_o .

Assim como no algoritmo para o modelo sem singularidades, é necessário fazer duas varreduras na tensão de entrada para obter a VTC do circuito. Uma delas indo de 0 para V_{DD} e outra indo de V_{DD} para 0. O código completo pode ser encontrado no APÊNDICE B - Algoritmo para obtenção da VTC com modelo convencional, juntamente com a modelagem das LCKs nos nós V_x , V_y e V_o . A Figura 6 apresenta a VTC do circuito juntamente com as tensões V_x e V_y .

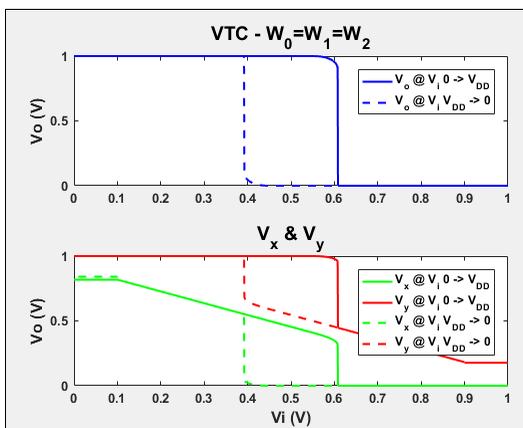


Figura 6: Modelo convencional (a) $V_o \times V_i$. (b) V_x e $V_y \times V_i$.

O cálculo das curvas da Figura 6 foi realizado para uma tensão de alimentação de 1V, com todos os transistores do mesmo tamanho e $V_{TN}=-V_{TP}=100\text{mV}$. Assim como na Figura 5, para V_i próximo a zero, a tensão em V_x encontra-se próxima a V_{DD} . A diferença agora é que V_x permanece no mesmo valor até que a condição da equação 4 seja atendida para o transistor N_0 e esse comece a conduzir. Desta forma, a tensão de limiar dos transistores NMOS pode ser observada na Figura 6 como sendo o ponto onde a tensão V_x começa a decrescer. De forma similar, no caminho contrário, quando V_i encontra-se inicialmente em alta, a tensão de limiar dos transistores PMOS corresponde ao ponto onde o valor de V_y deixa de ser constante e passa a aumentar. A Figura 7 apresenta os gráficos para $V_{TN}=-V_{TP}=200\text{mV}$.

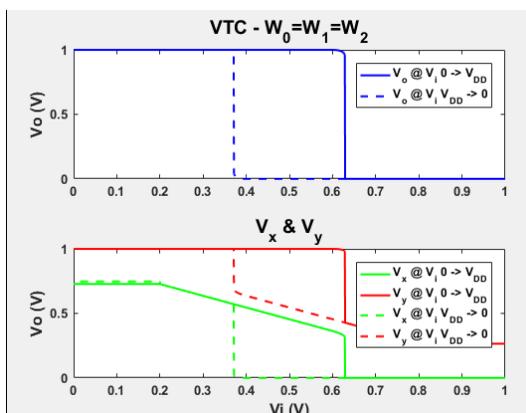


Figura 7: Tensões do circuito com $V_{T_x}=200\text{mV}$.

Novamente é possível inferir sobre a tensão de limiar dos transistores a partir do valor da tensão de entrada que faz com que V_x e V_y deixem de ser constantes. A Figura 8, por sua vez, ilustra o comportamento do circuito para o caso onde as tensões de limiar dos transistores NMOS e PMOS são diferentes.

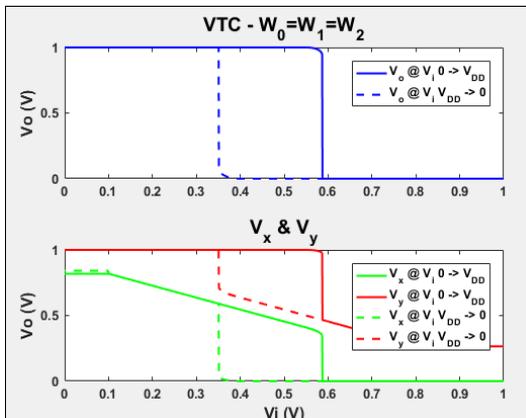


Figura 8: Tensões do circuito para $V_{T_N} \neq V_{T_P}$.

Mais uma vez pode-se verificar a tensão de limiar dos transistores de acordo com o comportamento das tensões em V_x , para a rede NMOS, e V_y , para a rede PMOS. As tensões de limiar do laço de histerese da Figura 8 não apresentam mais simetria em relação a $V_i = V_{DD}/2$, já que agora as redes de PUN e PDN estão desbalanceadas. Esse comportamento será discutido em mais detalhes no Capítulo 3.1, juntamente com a amplitude das tensões nos nós intermediários. A Figura 9 apresenta a comparação dos dois modelos utilizados para a determinação das tensões no circuito.

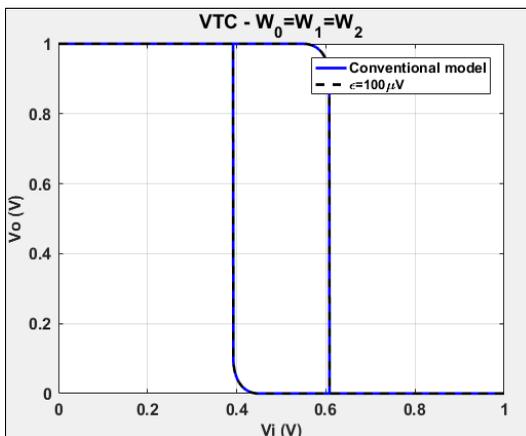


Figura 9: Comparação dos modelos convencional e sem singularidade do MOSFET para obtenção da VTC do *Schmitt Trigger*.

Na Figura 9, a tensão de alimentação utilizada é 1V, todos os transistores possuem o mesmo tamanho e $V_{TN}=-V_{TP}=100\text{mV}$. Para o caso do modelo sem singularidade, a variável auxiliar ε é $100\mu\text{V}$. A Figura 9 demonstra que os dois modelos apresentam o mesmo resultado na obtenção da VTC do circuito, sendo que o modelo sem singularidade apresenta maior simplicidade na implementação numérica. A comparação da Figura 5 com a Figura 6, por sua vez, demonstra uma pequena diferença nas tensões intermediárias V_x e V_y para tensões de entrada próximas a zero e a V_{DD} , já que agora as condições das equações (4) e (10) precisam ser atendidas para que os transistores N_0 e P_0 , respectivamente, comecem a conduzir.

2.2.2 ALGORITMO PARA DETERMINAÇÃO DA CURVA-Z

Embora os métodos para a solução numérica do circuito tenham apresentado bons resultados até agora, a característica de transferência de tensão do *Schmitt Trigger* usual não apresenta todas as informações relativas ao circuito. Como demonstrado em [8], a construção da curva Z através do método das correntes nas redes de *pull-up* e de *pull-down* traz informações muito importantes relativas ao funcionamento do circuito. Nessa abordagem divide-se o circuito em duas partes, uma formada pela rede de PUN e outra pela rede de PDN. A Figura 10 ilustra essa divisão.

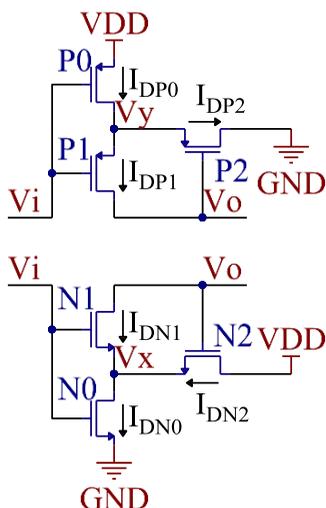


Figura 10: *Schmitt Trigger* dividido em redes de *pull-up* (PUN) e *pull-down* (PDN).

A solução do circuito da Figura 10, composto pelas redes de PUN e PDN é bastante similar aos algoritmos utilizados até agora. A grande diferença é que, agora, inicialmente a tensão em V_o passa a ser uma entrada para as condições de contorno, as tensões em V_x e V_y são calculadas como funções de V_o e V_i e então armazenadas na forma $V_{x(y)}$ (V_i, V_o).

Uma vez determinados os valores de V_x correspondentes a cada par (V_i, V_o) é possível calcular as correntes nos transistores da rede de PDN. O mesmo ocorre para V_y e a rede de PUN. O trecho de código abaixo apresenta o cálculo das tensões V_x e V_y .

```

for index_Vi = 1:(tam+1)
    Vi = Vi_loop(index_Vi);
    Vx_temp(2) = VDD/2;
    Vy_temp(2) = VDD/2;

    for index_Vo = 1:(tam2+1)
        Vo = Vo_loop(index_Vo);

        while 1

            Vx_op(index_Vi, index_Vo) =
fzero('OpRegionsModel_fZero_PDN2', Vx, options);
            Is_NaN_Test1 = isnan(Vx_op(index_Vi, index_Vo));
            if Is_NaN_Test1 == 1;
                Vx_op(index_Vi, index_Vo) = VDD * rand;
                Is_NaN_Test1 = 0;
                if Itr_counter(index_Vi, index_Vo) > 100;
                    Vx_op(index_Vi, index_Vo) = Vx_op(index_Vi,
index_Vo);
                end
            end

            Vy_op(index_Vi, index_Vo) =
fzero('OpRegionsModel_fZero_PUN2', Vy, options);
            Is_NaN_Test2 = isnan(Vy_op(index_Vi, index_Vo));
            if Is_NaN_Test2 == 1;
                Vy_op(index_Vi, index_Vo) = VDD * rand;
                Is_NaN_Test2 = 0;
                if Itr_counter(index_Vi, index_Vo) > 100;
                    Vy_op(index_Vi, index_Vo) = Vy_op(index_Vi,
index_Vo);
                end
            end

            Vx = Vx_op(index_Vi, index_Vo);
            Vx_temp(1) = Vx_temp(2);
            Vx_temp(2) = Vx;
            Vx_error = abs(Vx_temp(2) - Vx_temp(1));

```

```

Vy = Vy_op(index_Vi, index_Vo);
Vy_temp(1) = Vy_temp(2);
Vy_temp(2) = Vy;
Vy_error = abs(Vy_temp(2) - Vy_temp(1));
Itr_counter(index_Vi, index_Vo) = Itr_counter(index_Vi,
index_Vo)+1;
...

```

Basicamente, duas varreduras são realizadas, uma em V_i e outra em V_o . Para cada um dos n valores de V_i , V_o é variado m vezes de 0 à V_{DD} . Ao final da execução, duas matrizes, com n linhas e m colunas, contendo os valores de V_x e V_y são obtidas. Ao contrário dos métodos anteriores, nesse caso não é necessário fazer uma varredura no caminho contrário, com V_i variando de V_{DD} até zero.

A Figura 11 apresenta correntes de dreno em N_1 e P_1 em função da tensão de saída, tendo a tensão de entrada como parâmetro. A tensão de alimentação utilizada é 1V, todos os transistores têm as mesmas dimensões e $V_{TN}=-V_{TP}=100\text{mV}$.

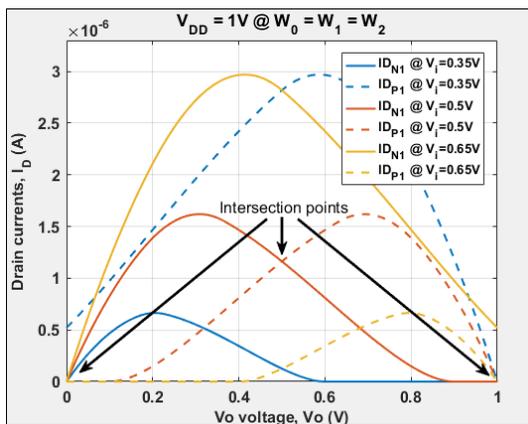


Figura 11: I_{DN1} , $I_{DP1} \times V_o @ V_i$.

Na Figura 11 as correntes em P_1 são apresentadas em linhas pontilhadas e as correntes em N_1 em linhas contínuas. Observando-se a Figura 1 fica claro que os conjuntos de tensões V_i , V_o , V_x V_y que fazem com que as correntes de dreno em N_1 e P_1 sejam iguais constituem soluções numéricas para o circuito. Mais do que isso, é possível observar o efeito de resistência negativa causado pelos transistores de realimentação. Este faz com que, para valores de V_i dentro do laço de histerese, o circuito apresente três soluções numéricas.

As correntes em N_1 e P_1 , para $V_i=350\text{mV}$ e $V_i=650\text{mV}$, apresentam apenas um ponto de intersecção próximo a, respectivamente, V_{DD} e zero. As duas linhas vermelhas, por outro lado, para $V_i=V_{DD}/2$, apresentam 3 pontos de cruzamento. Dois deles estáveis, próximos as tensões de alimentação, e um terceiro meta-estável, em $V_o=V_{DD}/2$. A condição de meta-estabilidade aparece devido as derivadas das correntes em N_1 e P_1 apresentaram sinais opostos no ponto de cruzamento. De fato, por construção, o ponto de operação $V_i=V_o=V_{DD}/2$ sempre aparecerá quando as redes de *pull-up* e *pull-down* estiverem equilibradas.

Agora que as correntes nas redes de PDN e PUN já podem ser devidamente calculadas, é necessário identificar os pontos de intersecção das correntes em N_1 e P_1 . Simplesmente tentar identificar os pares (V_i, V_o) que fazem $I_{DN1}=I_{DP1}$ não é suficiente. Isso porque o cálculo é feito com diversas casas de precisão após a vírgula e, inevitavelmente, o valor de alguma delas será diferente entre os dois transistores. Assim, a melhor opção é varrer toda a matriz *nm* comparando a diferença entre a corrente em N_1 e P_1 no ponto atual e no ponto anterior. O trecho de código abaixo ilustra o procedimento.

```
for index_Vi = 1:(tam+1)
    Intersec_aux = 0;
    for index_Vo = 1:tam/2
        if ID_N1( index_Vi, index_Vo) < ID_P1( index_Vi,
index_Vo);
            if ID_N1( index_Vi, index_Vo+1) >= ID_P1( index_Vi,
index_Vo+1);
                Vo_intersec( index_Vi, index_Vo) =
Vo_loop(index_Vo);
                Vx_intersec( index_Vi, index_Vo) =
Vx_op(index_Vi, index_Vo);
                Vy_intersec( index_Vi, index_Vo) =
Vy_op(index_Vi, index_Vo);
            else
                Vo_intersec( index_Vi, index_Vo) = NaN;
                Vo_intersec_mid( index_Vi, index_Vo) = NaN;
                Vx_intersec( index_Vi, index_Vo) = NaN;
                Vx_intersec_mid( index_Vi, index_Vo) = NaN;
                Vy_intersec( index_Vi, index_Vo) = NaN;
                Vy_intersec_mid( index_Vi, index_Vo) = NaN;
            end
        else
            if ID_N1( index_Vi, index_Vo+1) <= ID_P1( index_Vi,
index_Vo+1);
                Vo_intersec_mid( index_Vi, index_Vo) =
Vo_loop(index_Vo);
                Vx_intersec_mid( index_Vi, index_Vo) =
Vx_op(index_Vi, index_Vo);
```

```

        Vy_intersec_mid( index_Vi, index_Vo) =
Vy_op(index_Vi, index_Vo);
    else
        Vo_intersec_mid( index_Vi, index_Vo) = NaN;
        Vo_intersec( index_Vi, index_Vo) = NaN;
        Vx_intersec( index_Vi, index_Vo) = NaN;
        Vx_intersec_mid( index_Vi, index_Vo) = NaN;
        Vy_intersec( index_Vi, index_Vo) = NaN;
        Vy_intersec_mid( index_Vi, index_Vo) = NaN;
    end
end
end
end

```

No código, basicamente toda vez que a diferença entre ID_{N1} e ID_{P1} muda de sinal para dois valores consecutivos na varredura em V_o , um ponto de intersecção é identificado e armazenado. Caso contrário, um *NaN* é armazenado, evitando que o gráfico fique poluído com zeros. A Figura 12 apresenta a curva Z obtida com o código acima.

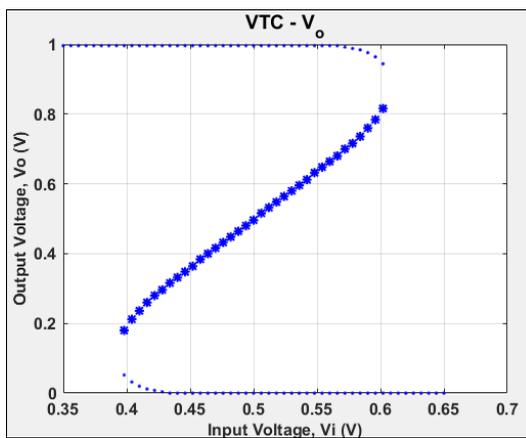


Figura 12: Curva Z do *Schmitt Trigger* em inversão forte.

Na Figura 12, novamente, a tensão de alimentação é 1V, todos os transistores têm as mesmas dimensões e $V_{TN} = -V_{TP} = 100\text{mV}$. O conjunto de pontos meta-estáveis indicado no gráfico é formado pelas intersecções das correntes em N_1 e P_1 indicadas na parte central da Figura 11. A Figura 13 traz informações mais detalhadas do limiar de histerese.

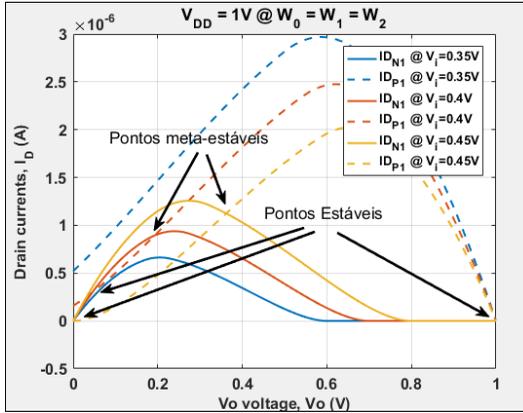


Figura 13: Pontos de intersecção das correntes em N_1 e P_1 com foco no limiar da histerese para $V_i < V_{DD}/2$.

A Figura 13 apresenta 3 valores para V_i , com 2 pontos meta-estáveis e 5 pontos estáveis. Inicialmente, para $V_i = 350\text{mV}$, as linhas azuis indicam que o circuito está operando com $V_o \approx V_{DD}$. Conforme V_i aumenta para 400mV , a corrente em N_1 se desloca para cima ao mesmo tempo que a corrente em P_1 se desloca para baixo. Em $V_i = 400\text{mV}$, a solução de $V_o \approx V_{DD}$ continua existindo, entretanto, dois novos pontos de intersecção aparecem, um próximo a zero e outro, meta-estável, um pouco mais acima. Apesar de haver outro ponto estável para operação do circuito, não há razão para que V_o faça a transição para o nível lógico baixo. Caso a tensão de entrada continue aumentando até 450mV , os 3 pontos de operação continuam existindo. Entretanto, o ponto meta-estável começa a se deslocar em direção ao nível lógico alto ao mesmo tempo que o ponto estável em nível lógico baixo se aproxima de zero. A Figura 14 ilustra o outro extremo do laço de histerese.

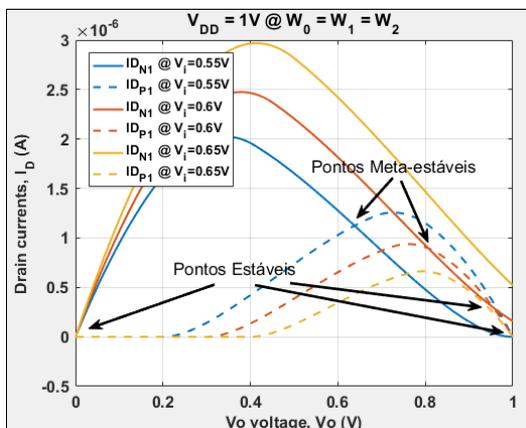


Figura 14: Pontos de intersecção das correntes em N_1 e P_1 com foco no limiar da histerese para $V_i > V_{DD}/2$.

Caso a tensão de entrada da Figura 13 continue a crescer até passar por $V_{DD}/2$, então a corrente em P_1 se torna maior que a em N_1 e a rede de PUN passa a dominar o circuito. Os pontos meta-estáveis vão gradativamente se deslocando em direção aos pontos estáveis próximos a V_{DD} . De fato, até agora o circuito tem operado em nível lógico alto, com V_o próximo a V_{DD} . Em algum ponto entre $V_i=600mV$ e $V_i=650mV$ o ponto meta-estável se encontra com o ponto estável de operação e, para qualquer aumento diferencial na tensão de entrada, ambos deixam de existir. Nesse ponto o circuito não tem outra escolha a não ser realizar a transição de V_o para nível lógico baixo. Assim, para $V_i=600mV$ o circuito apresenta pontos estáveis de operação próximos a V_{DD} e a zero, mas para $V_i=650mV$ apenas o ponto próximo a zero existe. A Figura 15 ilustra esse comportamento.

Na Figura 15 é possível observar que as linhas azuis, para $V_i=392,5mV$, são tangentes, assim como as linhas vermelhas, para $V_i=607,5mV$, ilustrando claramente a aproximação entre um dos pontos estáveis e o ponto meta-estável da curva Z nos limiares da histerese.

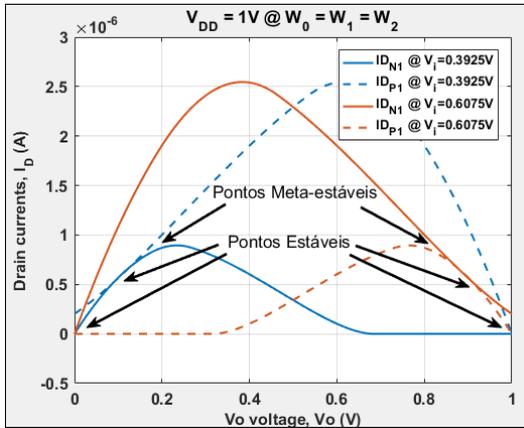


Figura 15: Pontos de intersecção das correntes em N_1 e P_1 com foco nos limiares superior e inferior da histerese.

A Figura 16 apresenta a comparação da VTC convencional do *Schmitt Trigger* com a curva Z.

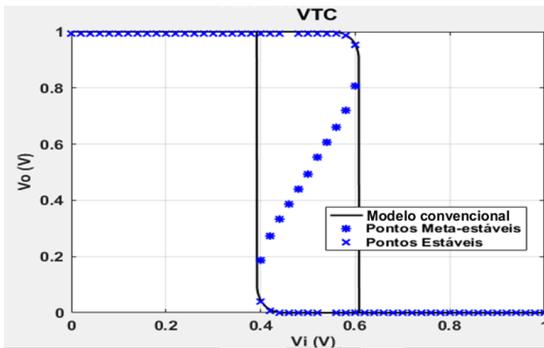


Figura 16: Comparação dos gráficos de $V_o \times V_i$ usando o método convencional e o método das correntes.

A Figura 16 demonstra que os dois métodos utilizados apresentam o mesmo resultado. A distância entre os pontos estáveis e meta-estáveis nos limites da histerese, se dá devido ao número limitado de pontos utilizados na varredura da tensão de entrada. Um número suficientemente grande de pontos deve fazer com que, nos limites da histerese, esses pontos coincidam.

Embora os parâmetros dos transistores utilizados até agora tenham facilitado a concepção e análise dos algoritmos, seus valores não apresentam nenhuma conexão com as tecnologias utilizadas na indústria

de semicondutores. A utilização de parâmetros reais permite observar as diversas não idealidades presentes nos circuitos integrados. A Tabela 1 apresenta parâmetros relacionados aos transistores utilizados nos CIs 4007.

A inserção dos parâmetros da Tabela 1 no algoritmo afeta diretamente a simetria das correntes e tensões do circuito, dificultando a sua solução numérica. Por outro lado, os efeitos causados por essa falta de simetria permitem entender melhor o comportamento do circuito na prática. A Figura 17 apresenta a solução numérico para esses parâmetros.

Tabela 1: Parâmetros do CI 4007.

Parâmetros	Valores	Unidades
V_{TN}	1,38	V
V_{TP}	-1,24	V
V_{DD}	3,3	V
n_N	1,95	Adimensional
n_P	1,25	Adimensional
t_{ox}	40	nm

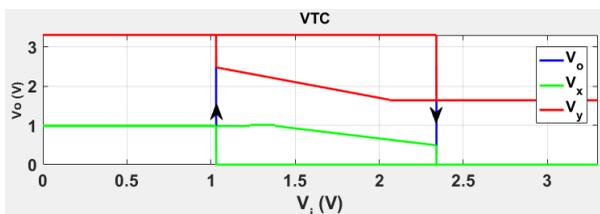


Figura 17: VTC e tensões em V_x e V_y do *Schmitt Trigger* com parâmetros do 4007.

A Figura 17 apresenta as tensões no circuito juntamente com os pontos de operação dos transistores durante a transição de V_i de 0 para V_{DD} . O primeiro ponto a chamar atenção é a largura do laço de histerese. Como comentado anteriormente, a condição $I_{DN1} = I_{DP1}$ deve ser obedecida durante a operação do circuito. Nesse caso, os transistores N_1 e P_1 só podem conduzir corrente de forma simultânea para $V_{TN} < V_i < V_{DD} + V_{TP}$, implicando em um laço menor do que $V_{DD} - V_{TN} + V_{TP}$.

O cálculo aponta que as transições de V_o ocorrem próximas a 1V e a 2,3V. A Figura 18 apresenta as correntes próximas a 1V.

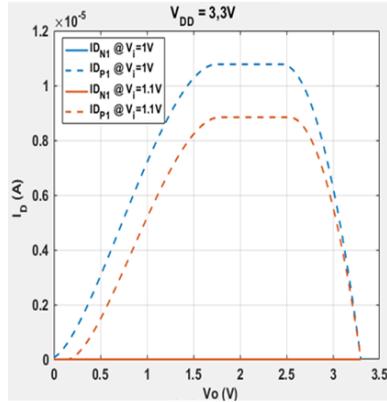


Figura 18: Correntes em N_1 e P_1 próximas ao limiar inferior do laço de histerese.

A Figura 18 indica que, para $V_i=1V$, as correntes em N_1 e P_1 se cruzam em $V_i=V_{DD}$ e em $V_i=0$. O mesmo ocorre na Figura 19 para o limiar superior do laço de histerese.

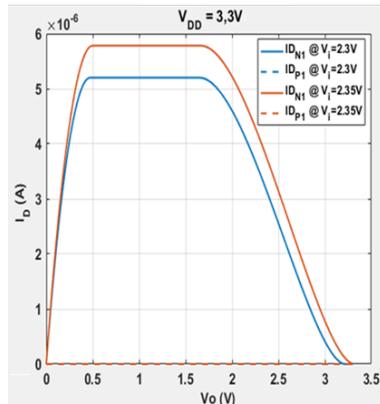


Figura 19: Correntes em N_1 e P_1 próximas ao limiar superior do laço de histerese.

Os gráficos da Figura 17 foram obtidos através do modelo convencional de solução do circuito, enquanto que as correntes da Figura 18 e da Figura 19 foram obtidos a partir do método da correntes. Os resultados são correntes e apontam para os mesmos valores de V_i nos limites da histerese. A Figura 20 mostra mais detalhes do comportamento do circuito.

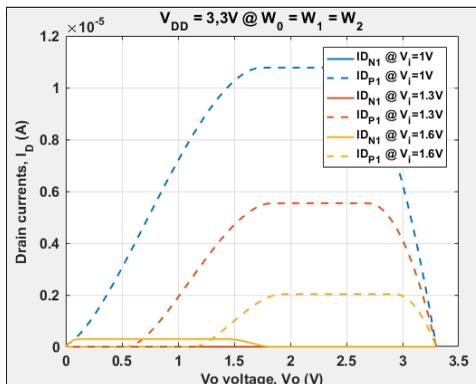


Figura 20: Detalhe nas correntes dentro do laço de histerese.

Ao contrário do que ocorre em inversão fraca, as correntes da Figura 20 não estabilizam após o efeito de resistência negativa e continuam a decrescer até chegar em 0. Com isso, para $V_i=1,3V$ por exemplo, o transistor N_1 encontra-se cortado e ainda assim sua corrente é igual à corrente em P_1 . De fato, nesse caso, $I_{DN1}=I_{DP1}=0$ para qualquer valor de V_o abaixo de 500mV. O primeiro valor de V_o que faz com que I_{DN1} seja diferente de I_{DP1} constitui o ponto meta-estável de operação.

2.3 COMPARAÇÃO DOS MODELOS

Em resumo, todos os métodos de modelagem numérica do circuito da Figura 1 desenvolvidos foram eficazes. A solução utilizando o modelo modificado sem singularidades é o mais simples e rápido para obtenção da VTC, entretanto um erro está associado à variável auxiliar ε , que deve ter seu valor cuidadosamente escolhido. A solução utilizando o modelo convencional do MOSFET em inversão forte apresenta a maior complexidade no desenvolvimento, já que a constante mudança nos pontos de operação dos 6 transistores frequentemente fazia com que o *script* fosse interrompido ou acabasse travado em um *loop*. Por fim, o método das correntes nas redes de *pull-up* e *pull-down* apresenta o *script* mais demorado para solução, provavelmente por causa dos *loops* aninhados de V_i e V_o . Apesar da demora para sua execução, o método das correntes apresenta informações importantes sobre o funcionamento do circuito não apenas na curva Z, como também se observando as correntes em N_1 e P_1 .

3 MODELAGEM ANALÍTICA DO CIRCUITO

Em paralelo ao desenvolvimento dos algoritmos para solução numérica do circuito, a descrição analítica foi iniciada. A modelagem numérica permite a comparação dos resultados e a avaliação das equações juntamente à VTC. Inicialmente, a descrição das transições das regiões de operação, similar aos artigos [10] e [7], foi efetuada. Na sequência, duas metodologias para determinação do laço foram realizadas.

3.1 ANÁLISE DA VTC DE ACORDO COM A REGIÃO DE OPERAÇÃO DOS TRANSISTORES

Para iniciar a análise, considera-se que a tensão de entrada se encontra em zero e a tensão de saída em V_{DD} . Nesse caso V_y tem seu valor igual a V_{DD} e V_x um pouco abaixo disso. A rede de *pull-down* pode ser representada de acordo com a Figura 21.

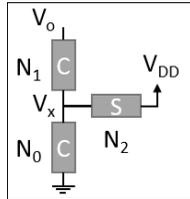


Figura 21: Região 1 - PDN.

Na Figura 21 os transistores N_0 e N_1 estão em corte e o transistor N_2 em saturação. Essa condição é válida para

$$V_i < V_{TN} \quad (17)$$

e nesse caso

$$I_{DN0} = I_{DN1} = I_{DN2} = 0 \quad (18)$$

mas N_2 encontra-se em saturação, portanto sua corrente é

$$I_{DN2} = I_2 * (V_{PoN} - V_x)^2 \quad (19)$$

com

$$I_2 = \frac{W}{L} * \frac{\mu}{2C_{ox}} \quad (20)$$

representando a força do transistor N_2 e

$$V_{PoN} = \frac{V_o - V_{TN}}{n} \quad (21)$$

sua tensão de *pinch-off*. Resolvendo a equação (19) para V_x tem-se:

$$V_x = V_{PoN} = \frac{V_{DD} - V_{TN}}{n} \quad (22)$$

Vale notar que na equação (22) a tensão de saída foi aproximada para V_{DD} . A segunda região de operação aparece assim que:

$$V_i \geq V_{TN} \quad (23)$$

Nesse caso o transistor N_0 começa a conduzir e passa para saturação, Figura 22.

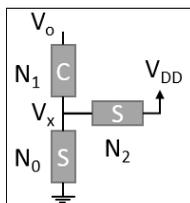


Figura 22: Região 2 - PDN.

Na Figura 22 o transistor N_1 continua em corte e

$$I_{DN0} = I_{DN2} \quad (24)$$

$$I_0 V_{PiN}^2 = I_2 * (V_{P0N} - V_x)^2 \quad (25)$$

onde

$$V_{PiN} = \frac{V_i - V_{TN}}{n} \quad (26)$$

Resolvendo a equação 25 para V_x tem-se:

$$V_x = \frac{V_{DD} - V_{TN}}{n} - \sqrt{\frac{I_0}{I_2} * \frac{V_i - V_{TN}}{n}} \quad (27)$$

Novamente, V_o é aproximado como V_{DD} na equação (27). A condição para que uma nova mudança nas regiões de operação da rede de *pull-down* é

$$V_{PiN} > V_x \quad (28)$$

nesse caso, a condição da equação (4) é satisfeita e N_1 passa para saturação. Ao mesmo tempo, N_0 passa para triódo, já que seu dreno está conectado à fonte de N_1 . N_2 continua em saturação. A Figura 23 apresenta a nova configuração da PDN.

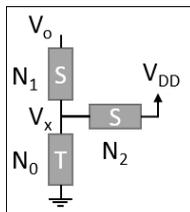


Figura 23: Região 3 - PDN.

Substituindo-se as equações (26) e (27) na equação (28) tem-se

$$\frac{V_i - V_{TN}}{n} > \frac{V_{DD} - V_{TN}}{n} - \sqrt{\frac{I_0}{I_2}} * \frac{V_i - V_{TN}}{n} \quad (29)$$

Resolvendo a equação (29) para V_i , chega-se a condição

$$V_i > V_{TN} + \frac{V_{DD} - V_{TN}}{1 + \sqrt{\frac{I_0}{I_2}}} \quad (30)$$

necessária para que V_o deixe de ser igual a V_{DD} e comece a se deslocar em direção ao limiar do laço de histerese. De fato, caso N_2 seja ao menos algumas vezes maior que N_0 e N_1 , a equação (30) é uma boa aproximação para o limiar de histerese. Na verdade, ela pode ser obtida facilmente fazendo-se uma manipulação algébrica na equação apresentada por Filanovsk em [7]. Infelizmente, Filanovsk não entra em detalhes sobre o motivo dessa aproximação ser válida, justificando apenas a necessidade de uma realimentação forte para deixar a VTC retangular e com transições abruptas na tensão de saída. A explicação detalhada desse efeito será fornecida na Seção 3.3.1, juntamente com um segundo método para encontrá-la.

Seguindo a análise, o objetivo é encontrar a tensão de entrada responsável pela transição de V_o de nível lógico alto para baixo. As correntes nos transistores da Figura 23 relacionam-se por:

$$\begin{aligned} I_0 * (V_{PiN}^2 - (V_{PiN} - V_x)^2) \\ = I_1 * (V_{PiN} - V_x)^2 + I_2 (V_{PoN} - V_x)^2 \end{aligned} \quad (31)$$

Infelizmente, a equação (31) sozinha não é suficiente para determinar o ponto de transição do circuito. Para continuar, é necessário aproximar a transição para o ponto onde $V_i = V_o$ e

$$V_{PiN} = V_{PoN} = \frac{V_{iH+} - V_{TN}}{n} = V_P \quad (32)$$

onde V_{iH+} representa a tensão de entrada para transição do circuito. Substituindo-se a aproximação da equação (32) na equação (31) e efetuando as simplificações tem-se:

$$(V_P - V_x)^2 = \frac{V_P^2}{1 + \frac{I_1 + I_2}{I_0}} \quad (33)$$

O mesmo raciocínio pode ser utilizado para obter uma equação para a rede de PUN similar à equação (33). Aplicando a lei das correntes de Kirchoff em V_o tem-se a condição

$$I_{DN1} = I_{DP1} \quad (34)$$

Substituindo-se a equação (33) e sua versão complementar da rede de PUN na equação (34)

$$\frac{(V_{iH+} - V_{TN})^2}{1 + \frac{I_1 + I_2}{I_0}} = \frac{(V_{DD} - V_{iH+} - |V_{TP}|)^2}{1 + \frac{I_1}{I_0}} \quad (35)$$

resolvendo para V_{iH+} :

$$V_{iH+} = V_{TN} + \frac{(V_{DD} - V_{TN} - |V_{TP}|)}{1 + \sqrt{\frac{I_0 + I_1}{I_0 + I_1 + I_2}}} \quad (36)$$

A equação (36) apresenta uma aproximação para a tensão de entrada correspondente à transição de V_o quando V_i vai de zero para V_{DD} . Para V_i variando de V_{DD} a zero o mesmo raciocínio leva a

$$V_{iH-} = V_{DD} - |V_{TP}| + \frac{(V_{DD} - V_{TN} - |V_{TP}|)}{1 + \sqrt{\frac{I_0 + I_1}{I_0 + I_1 + I_2}}} \quad (37)$$

onde V_{iH-} representa o limite inferior do laço de histerese. A diferença entre as equações (36) e (37) fornece uma aproximação para a largura do laço de histerese:

$$V_{iL} = V_{iH+} - V_{iH-} = \frac{(V_{DD} - V_{TN} - |V_{TP}|)}{\left(1 + \frac{I_0 + I_1}{I_2}\right) \left(1 + \sqrt{\frac{I_0 + I_1}{I_0 + I_1 + I_2}}\right)^2} \quad (38)$$

A Figura 24 ilustra graficamente as regiões de operação do circuito para $V_i=0 \rightarrow V_{DD}$.

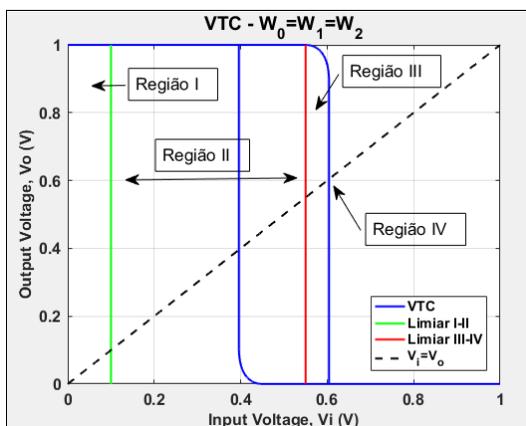


Figura 24: VTC e regiões de operação da descrição analítica do *Schmitt Trigger*.

Na Figura 24, a linha verde, em $V_i=100\text{mV}$, indica o limiar entre as regiões I e II definido pela equação (17). Já a linha vermelha, próxima a $V_i=550\text{mV}$, indica o limiar entre as regiões II e III definido pela equação (30). As intersecções da linha pontilhada preta com a VTC indicam as aproximações para os limiares da histerese descritos pelas equações (36) e (37). A Figura 25 apresenta a aproximação da largura do laço de histerese (V_L) em função da razão $N(P)_1/N(P)_2$, sempre com $N(P)_1=N(P)_0$.

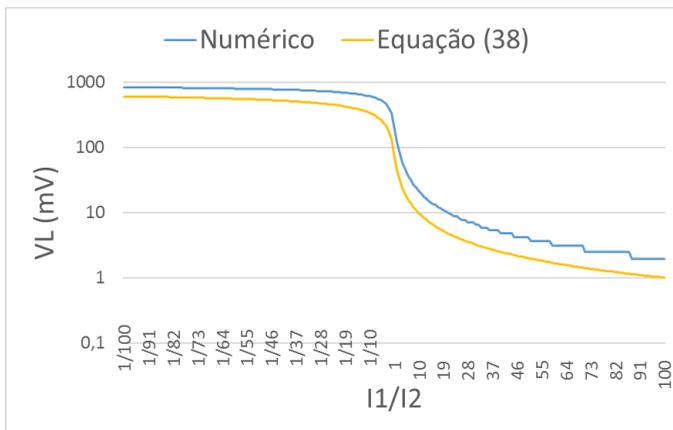


Figura 25: Comparação da largura do laço de histerese (V_L) numérica com a equação das regiões de operação.

Na Figura 25, a tensão de alimentação é 1V e $V_{TN}=-V_{TP}=100\text{mV}$. Inicialmente, os transistores de realimentação são 100 vezes maiores que os demais e o cálculo aproximado da largura do laço representa cerca de 75% do seu valor numérico. Conforme os transistores de realimentação ficam mais fracos, a Equação (38) se aproxima do valor numérico, com ambas convergindo assintoticamente. Claramente, para realimentação forte, a Equação (38) não é satisfatória.

3.2 APROXIMAÇÃO DA LARGURA DO LAÇO DE HISTERESE DE ACORDO COM GANHO DE PEQUENOS SINAIS

Como demonstrado na Subseção 2.2.2, o *Schmitt Trigger* sempre apresenta um ponto de operação meta-estável em $V_i=V_o=V_{DD}/2$ quando dimensionado com redes de PUN e PDN balanceadas. De fato, na maioria dos casos, é desejável que os limiares da histerese sejam simétricos em relação $V_i=V_{DD}/2$. Tal simetria é obtida, justamente, fazendo com que os pares de transistores, Figura 1, N_0 e P_0 , N_1 e P_1 e N_2 e P_2 apresentem, respectivamente, as mesmas forças, tornando as redes balanceadas.

Assim, considerando-se um inversor ST balanceado com $I_{DN0}=I_{DP0}=I_0$, $I_{DN1}=I_{DP1}=I_1$, $I_{DN2}=I_{DP2}=I_2$ e $n_N=n_P=n$ é possível aproximar a largura do laço de histerese a partir ganho do circuito em $V_i=V_o=V_{DD}/2$. Nesse caso, os pontos meta-estáveis da curva Z formam a hipotenusa de um triângulo retângulo, com altura aproximadamente igual a V_{DD} e largura V_{iL} , correspondente à largura do laço de histerese. A Figura 26 ilustra esse triângulo.

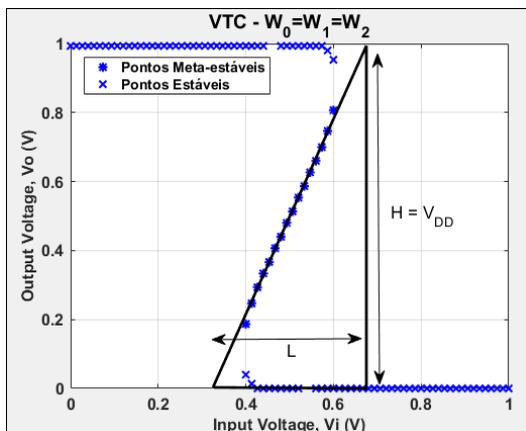


Figura 26: Aproximação da largura do laço de histerese pelo ganho em $V_i=V_o=V_{DD}/2$.

É possível observar que na verdade a largura do laço está relacionada a uma altura $H=V_{DD}-\Delta V$ ao invés de puramente V_{DD} . O ganho do circuito em $V_i=V_o=V_{DD}/2$, por sua vez, representa a inclinação da hipotenusa do triângulo. O cálculo de V_{iL} encontra-se descrito em detalhes no apêndice E de [1] e pode ser escrito como

$$V_{iL} = \frac{(V_{DD} - V_{TN} - |V_{TP}|)}{1 + \frac{I_0}{I_2} * \sqrt{1 + \frac{I_1}{I_0} + \frac{I_2}{I_0}}} \quad (39)$$

com a adição do fator de correção $\Delta V=V_{TN} + |V_{TP}|$. A Figura 27 apresenta a comparação da equação (39) com os resultados numéricos.

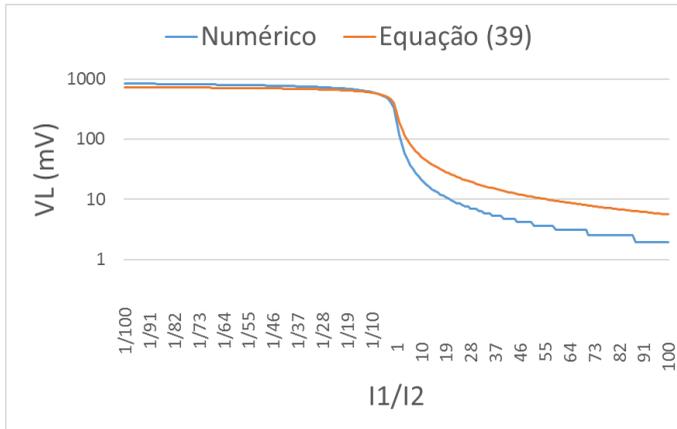


Figura 27: Comparação da largura do laço de histerese numérica com a equação do ganho em $V_i=V_o=V_{DD}/2$.

Na Figura 27 a tensão de alimentação é 1V e $V_{TN}=-V_{TP}=100\text{mV}$. Inicialmente, com os transistores de realimentação 100 vezes maiores que os demais, a Equação (39) representa em torno de 90% do valor numérico. Conforme a razão de realimentação diminui, as curvas se aproximam, até se cruzarem próximo a razão 1/10. Para razões de realimentação entre 1/5 e 5, mais viáveis na prática, as curvas apresentam um comportamento muito similar. Novamente, os valores convergem assintoticamente para razões de realimentação extremamente pequenas.

3.3 CÁLCULO DA LARGURA DO LAÇO PONDERADA PELO INVERSOR CONVENCIONAL

Embora a Equação (39) apresente um bom resultado na região de maior interesse, com razões de realimentação em torno de 1, a aproximação ainda não é boa suficiente, sendo desejável estimar a largura do laço de histerese de forma apropriada para qualquer razão de realimentação. Assim, um terceiro método é proposto para estimar a largura do laço.

Olhando para o circuito da Figura 1 é fácil perceber que, caso a largura dos transistores de realimentação seja 0, o inversor *Schmitt Trigger* torna-se o inversor CMOS convencional, Figura 28.

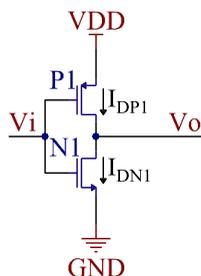


Figura 28: Inversor CMOS convencional.

O funcionamento do circuito da Figura 28 pode ser verificado detalhadamente em [13]. Para iniciar a análise, considera-se a VTC, Figura 29, do inversor da Figura 28.

A análise conduzida em [13] demonstra a metodologia para determinar as tensões V_i e V_o nos pontos de transição do circuito, tanto para $V_i=0 \rightarrow V_{DD}$, quanto para $V_i=V_{DD} \rightarrow 0$. Nesse caso, por simplicidade, iremos conduzir a análise apenas para o primeiro caso e então estender o raciocínio para obter o limiar do caminho contrário, sempre considerando $I_0=I_1$.

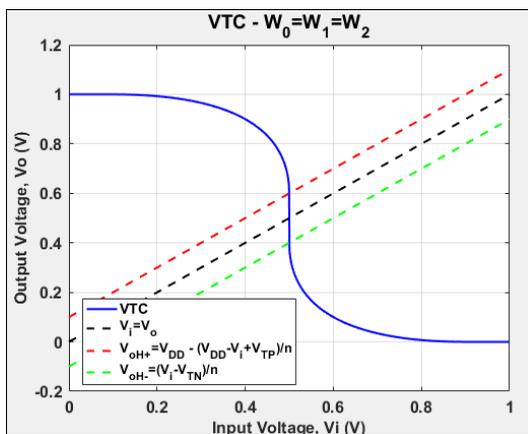


Figura 29: VTC do inversor CMOS convencional.

Assim, no limiar da transição do *Schmitt Trigger*, para $V_i=0 \rightarrow V_{DD}$, tem-se que os transistores P_0 e P_1 da rede de *pull-up* encontram-se conduzindo na região de triodo, enquanto P_2 está cortado. Já na rede de *pull-down*, o transistor N_0 encontra-se na região de triodo, enquanto N_1 e N_2 encontram-se em saturação. A partir de [13] sabe-se que

$$V_{oH+} = V_{DD} - \frac{\left(\frac{V_{DD}}{2} + V_{TP}\right)}{n_p} \quad (40.a)$$

representa a tensão de saída do inversor convencional para a transição de nível lógico. A Figura 30 apresenta a extrapolação desse raciocínio para o ST.

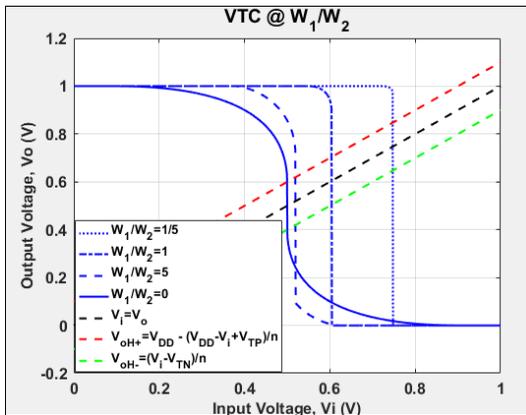


Figura 30: VTC do *Schmitt Trigger* para $W_2=0$ e razões W_0/W_2 de 1/5, 1 e 5.

Observando a Figura 30 fica claro que para $W_2 \rightarrow \infty$,

$$V_{oH+} \rightarrow V_{DD} \quad (40.b)$$

assim, interpolando os valores de V_{oH+} das equações (40.a) e (40.b) temos:

$$V_{oH+} = \frac{I_2}{I_0 + I_2} * V_{DD} + \frac{I_0}{I_0 + I_2} * V_{oSatP} \quad (41)$$

onde

$$V_{oSatP} = V_{DD} - \frac{(V_{DD} + V_{TP} - V_{iH+})}{n_p} \quad (42)$$

A combinação das equações (41) e (42) leva a

$$V_{oH+} = \frac{1}{1 + \frac{I_2}{I_0}} * V_{DD} - \frac{(V_{DD} + V_{TP} - V_{iH+})}{n_p} + \frac{V_{DD}}{1 + \frac{I_0}{I_2}} \quad (43)$$

Fazendo

$$\alpha = \frac{1}{1 + \frac{I_0}{I_2}} \quad (44)$$

e substituindo na equação (43), chega-se a

$$V_{oH+} = V_{DD} - \frac{(1 - \alpha)(V_{DD} + V_{TP} - V_{iH+})}{n_p} \quad (45)$$

Definindo

$$H = V_{DD} + V_{TP} - V_{iH+} \quad (46)$$

a corrente em P₁, descrita por,

$$I_{DP1} = \frac{I_0 I_1}{I_0 + I_1} * \left[\left(\frac{H}{n} \right)^2 - \left(\frac{(H) - n(V_{DD} - V_{oH+})}{n} \right)^2 \right] \quad (47)$$

pode ser simplificada como

$$I_{DP1} = \frac{I_0 I_1}{I_0 + I_1} * \left(\frac{H}{n} \right)^2 * (1 - \alpha^2) \quad (48)$$

Como dito anteriormente, uma das condições de operação estática do circuito é que as correntes em N₁ e P₁ sejam iguais, como descrito na equação (34). Igualando as correntes em N₁ e P₁ e efetuando alguma manipulação algébrica tem-se

$$(V_{iH+} - V_{TN} - n_N V_x)^2 = \frac{I_0}{I_0 + I_1} \left[H \frac{n_N}{n_P} \right]^2 (1 - \alpha^2) \quad (49)$$

Trazendo a rede de *pull-down* para a análise, considerando que a corrente em P2 é desprezível quando comparada a P1 e P0, a equação (31) pode ser reescrita como

$$I_{DP1} = I_{DP0} = \frac{I_0 I_1}{I_0 + I_1} \left[\left(\frac{H}{n_P} \right)^2 - \left(\frac{H}{n_P} - (V_{DD} - V_{oH+}) \right)^2 \right] \quad (50)$$

Por fim, a combinação das equações (45),(49) e (50) leva a

$$\left(\frac{n_N}{n_P} H \right)^2 (1 - \alpha^2) + \frac{I_2}{I_0} \left[H \left(1 + \frac{n_N}{n_P} \sqrt{\frac{I_0}{I_0 + I_1} (1 - \alpha^2)} - \frac{1 - \alpha}{n_P} \right) - V_{TP} \right]^2 = (V_{iH+} - V_{TN})^2 \quad (51)$$

Apesar de não ser possível isolar a variável V_{iH+} da equação (51), esta pode ser facilmente resolvida numericamente para estimar a transição do *Schmitt Trigger* para a borda de subida de V_i. A equação (52), para V_{iH-}

$$\left(\frac{n_N}{n_P} (V_{iH+} - V_{TN}) \right)^2 (1 - \alpha^2) + \frac{I_2}{I_0} \left[(V_{iH+} - V_{TN}) \left(1 + \frac{n_N}{n_P} \sqrt{\frac{I_0}{I_0 + I_1} (1 - \alpha^2)} - \frac{1 - \alpha}{n_P} \right) - V_{TP} \right]^2 = H^2 \quad (52)$$

pode ser obtida através do mesmo raciocínio, agora considerando a borda de descida de V_i.

3.3.1 APROXIMAÇÃO DA LARGURA DO LAÇO DE HISTERESE PARA REALIMENTAÇÃO FORTE

A aproximação para realimentação forte pode ser obtida a partir das equações (51) e (52). Para isso basta considerar que se $I_2 \rightarrow \infty$ então $\alpha \rightarrow 1$. Fazendo $\alpha=1$ a equação (51) pode ser simplificada para

$$V_{iH+} = V_{TN} + \frac{V_{DD} - V_{TN}}{1 + \sqrt{\frac{I_0}{I_2}}} \quad (53)$$

que coincide com a equação (30). A equação (52), por sua vez, reduz-se a

$$V_{iH-} = \frac{(V_{DD} - V_{TP}) \sqrt{\frac{I_0}{I_2}}}{1 + \sqrt{\frac{I_0}{I_2}}} \quad (54)$$

A combinação das equações (53) e (54) leva a

$$V_L = V_{iH+} - V_{iH-} = \frac{V_{DD} \left(1 - \sqrt{\frac{I_0}{I_2}}\right) (V_{TN} + V_{TP}) \sqrt{\frac{I_0}{I_2}}}{1 + \sqrt{\frac{I_0}{I_2}}} \quad (55)$$

A equação (55) apresenta uma excelente estimativa para o laço de histerese quando $I_2 > I_1$. A Figura 31 apresenta a sua comparação com os resultados numéricos.

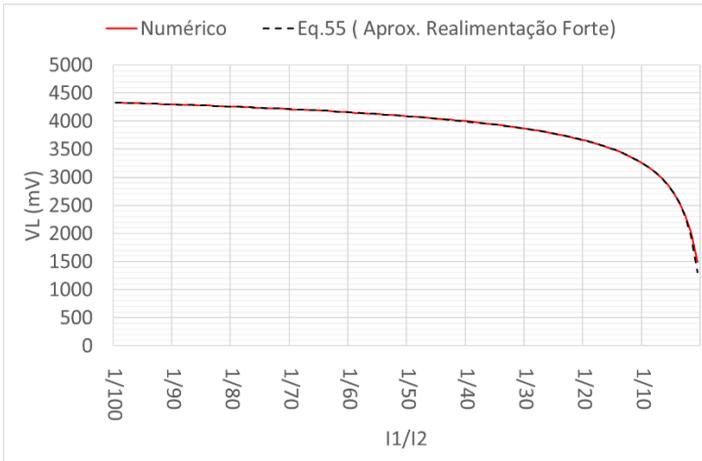


Figura 31: Comparação da aproximação para realimentação forte com os resultados numéricos.

Como pode ser observado na Figura 31, a estimativa da equação (55) apresenta bons resultados para I_1/I_2 entre 1/100 e 1/2. Entretanto, para configurações de realimentação fraca, ou seja, $I_1 > I_2$, a aproximação deixa de ser válida e passa a retornar valores negativos.

A Figura 32 apresenta a VTC do circuito para três configurações de realimentação, juntamente com os respectivos limiares entre as regiões II e III.

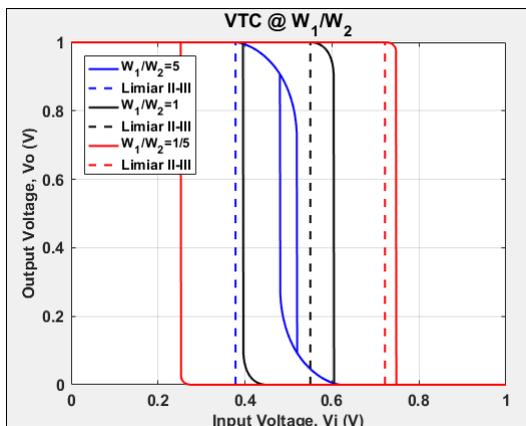


Figura 32: Comparação do limiar entre as regiões II e III (eq. (30)) com a VTC.

A Figura 32 ilustra claramente que conforme a razão I_1/I_2 diminui, ou seja, com o aumento da força de I_2 , o limiar entre as regiões II e III se aproxima de V_{iH+} . Também é possível observar que para I_2 5 vezes menor que I_0 e I_1 o limiar para $V_i=0 \rightarrow V_{DD}$ encontra-se antes que V_{iH-} , que representa a transição no sentido contrário, para $V_i=V_{DD} \rightarrow 0$. Esse efeito é responsável por fazer com que a estimativa da largura do laço passe a ser negativa e, mais do que isso, explica por que a metodologia proposta em [7] não é válida para configuração de realimentação fraca.

3.3.2 APROXIMAÇÃO DA LARGURA DO LAÇO DE HISTERESE PARA REALIMENTAÇÃO FRACA

Por outro lado, uma aproximação para realimentação fraca pode ser obtida fazendo com que $I_2 \rightarrow 0$ e, conseqüentemente, $\alpha \rightarrow 0$. Substituindo $\alpha=0$ nas equações (51) tem se

$$\left(\frac{n_N}{n_P} H\right)^2 + \frac{I_2}{I_0} \left[H \left(1 + \frac{n_N}{n_P} \sqrt{\frac{I_0}{I_0 + I_1}} - \frac{1}{n_P} \right) - V_{TP} \right]^2 = (V_{iH+} - V_{TN})^2 \quad (56)$$

Expandindo os termos e fazendo as simplificações necessárias chega-se a

$$V_{iH+} = \frac{V_{DD} + V_{TP} + V_{TN}}{2} + \frac{V_{EFF}}{2} \frac{1}{4} \frac{I_2}{I_0} \left(a - \frac{2V_{TP}}{V_{EFF}} \right)^2 \quad (57)$$

com

$$V_{EFF} = V_{DD} + V_{TP} - V_{TN} \quad (58)$$

e

$$a = \frac{n_N \sqrt{\frac{I_0}{I_0 + I_1}} + n_P - 1}{n_P} \quad (59)$$

A Equação (57) representa o limiar de transição do *Schmitt Trigger* para $V_i=0 \rightarrow V_{DD}$ e $I_2 < I_1$. O mesmo raciocínio aplicado à equação (52), para $V_i=V_{DD} \rightarrow 0$ leva a

$$V_{iH-} = \frac{V_{DD} + V_{TP} + V_{TN}}{2} + \frac{V_{EFF}}{2} \frac{1}{4} \frac{I_2}{I_0} \left(b + \frac{2V_{TN}}{V_{EFF}} \right)^2 \quad (60)$$

com

$$b = \frac{n_P \sqrt{\frac{I_0}{I_0 + I_1}} + n_N - 1}{n_N} \quad (61)$$

Finalmente, a subtração da Equação (57) pela Equação (60) leva à aproximação

$$V_L = V_{iH+} - V_{iH-} = \frac{V_{EFF}}{2} \frac{1}{4} \frac{I_2}{I_0} \left[\left(a - \frac{2V_{TP}}{V_{EFF}} \right)^2 + \left(b + \frac{2V_{TN}}{V_{EFF}} \right)^2 \right] \quad (62)$$

para o laço de histerese. A Figura 33 apresenta os resultados dessa aproximação. As duas curvas assumem valores muito pequenos para $I_1/I_2 < 40$, sendo necessária a utilização de uma escala logarítmica no eixo Y. Os cálculos consideram $V_{DD}=1V$, $V_{TN}=|V_{TP}|=100mV$, $\mu_N=\mu_P=400cm^2/V.s$ e $\mu_N=\mu_P=1,1$.

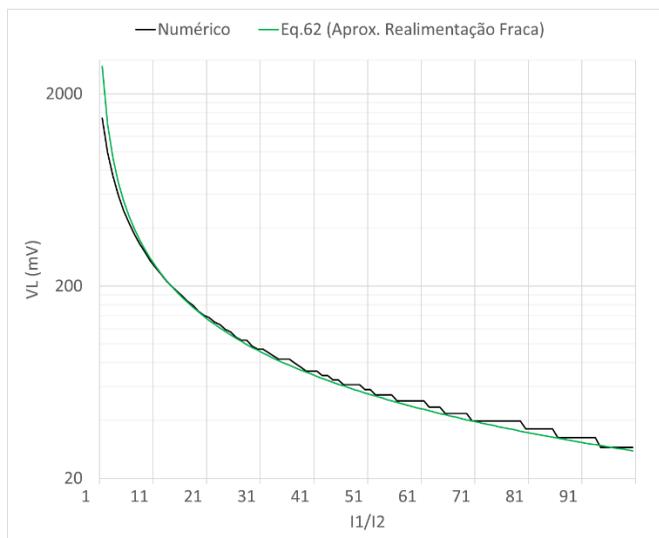


Figura 33: Comparação dos resultados numéricos com a aproximação para realimentação fraca (eq. (62)).

É possível verificar na Figura 33 que a equação (62) acompanha os valores do laço obtidos numericamente. Como esperado, a aproximação apresenta um erro considerável para razões de realimentação próximas a 1, convergindo para os valores numéricos conforme o transistor de realimentação se torna mais fraco que os demais. Vale ressaltar que a forma do gráfico dos valores numéricos se deve à resolução utilizada no algoritmo. Essa característica é evidenciada pela escala logarítmica aplicada ao eixo Y. O aumento do número de pontos utilizados na varredura da tensão de entrada reduz o efeito.

4 SIMULAÇÕES E RESULTADOS EXPERIMENTAIS

Para validação dos resultados analíticos e numéricos, algumas configurações do circuito foram testadas em bancada e em simulador elétrico. Primeiramente, utilizando o modelo do chip CD4007, simulações foram realizadas utilizando o SPECTRE *Circuit Simulator*. Em seguida as curvas foram extraídas utilizando chips e uma PCI de teste.

4.1 SIMULAÇÕES NO SPECTRE

Antes de iniciar as simulações, um modelo SPICE para o 4007 [14] foi importado para o software. Os parâmetros utilizados no modelo foram extraídos do chip através de uma série de medidas elétricas e físicas. A Tabela 2 apresenta os valores simulados para os limiares da histerese, bem como sua largura.

Tabela 2: Valores simulados da largura de histerese utilizando o modelo do 4007.

10/12	5V			10V			15V		
Razão	ViH+ (V)	ViH- (V)	VL (mV)	ViH+ (V)	ViH- (V)	VL (mV)	ViH+ (V)	ViH- (V)	VL (mV)
1/4	3,67	1,29	2380	7,25	2,61	4640	11,13	3,62	7510
1/3	3,54	1,4	2140	6,99	2,86	4130	10,59	4,1	6490
1/2	3,36	1,57	1790	6,6	3,21	3390	9,84	4,81	5030
1	3,04	1,85	1190	5,95	3,78	2170	8,85	5,73	3120
2	2,75	2,09	660	5,36	4,27	1090	7,95	6,47	1480
3	2,63	2,19	440	5,13	4,46	670	7,62	6,73	890
4	2,56	2,25	310	5,02	4,55	470	7,46	6,86	600

Os valores para a razão de realimentação e os níveis de tensão utilizados na Tabela 2 foram escolhidos a fim de possibilitar a reprodução dos resultados experimentalmente. A Figura 34 apresenta a comparação dos resultados das simulações com a modelagem numérica do circuito.

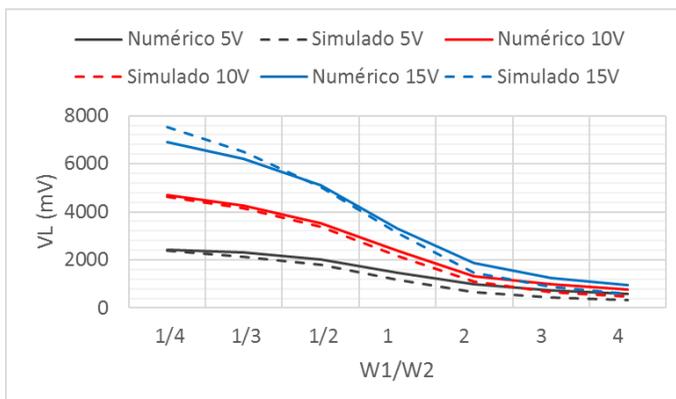


Figura 34: Comparação dos resultados simulados e numéricos para o 4007.

A Figura 34 apresenta a comparação dos resultados para três tensões de alimentação e 7 configurações de realimentação. O eixo “x” indica a razão I_1/I_2 de realimentação, considerando sempre que $I_1=I_0$. É possível observar que os valores para a largura do laço obtidos numericamente ficam muito próximos dos valores simulados. A *netlist* usada nas simulações pode ser verificada no APÊNDICE D – Netlist do SPECTRE para simulação do 4007.

4.2 PCI DE TESTE COM 4007

Os testes utilizando o 4007 foram iniciados com a caracterização dos chips, procurando utilizar aqueles com o menor desvio. Em seguida, uma placa de circuito impresso foi confeccionada com um conjunto de *jumpers* de configuração para alterar a razão de realimentação do circuito.

4.2.1 CARACTERIZAÇÃO DOS CHIPS

Inicialmente, os chips foram pré-selecionados considerando a simetria do VTC para o inversor convencional. Cada 4007, Figura 35, contém 3 transistores NMOS e 3 PMOS. Os pinos 14 e 7 são conectados, respectivamente, à alimentação e à referência do circuito.

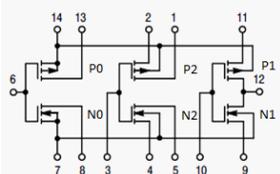


Figura 35: Estrutura interna do 4007.

Primeiramente, em torno de 30 chips foram colocados na SMU e tiveram as VTCs do inversor convencional, formado pelos pinos 9, 10, 11 e 12 da Figura 35, observadas. Os 10 chips que apresentavam pouca assimetria na VTC foram pré-selecionados. Em seguida, a VTC destes foi extraída e o ponto de operação nas proximidades de $V_i=V_{DD}/2$, observado. A tabela indica esses pontos para os 10 melhores chips.

Tabela 3: Comparação da VTC do inversor convencional usando 4007.

	5V		10V		15V	
CI	$V_i(V)$	$V_o(V)$	$V_i(V)$	$V_o(V)$	$V_i(V)$	$V_o(V)$
1	2,535	2,557	5,03	5,006	7,53	7,462
2	2,565	2,509	4,99	4,908	7,575	7,607
3	2,535	2,457	5,1	4,906	7,575	7,652

4	2,535	2,661	5,05	5,017	7,44	7,509
5	2,535	2,462	4,92	4,969	7,32	7,518
6	2,54	2,619	4,97	4,981	7,41	7,453
7	2,535	2,561	5,04	5,109	7,53	7,457
8	2,525	2,474	4,98	4,962	7,425	7,605
9	2,51	2,501	5,01	5,041	7,425	7,394
10	2,54	2,48	5,14	4,989	7,605	7,493

Na Tabela 3 as VTCs dos chips 1 à 10 foram extraídas através de uma SMU para as tensões de alimentação de 5V, 10V e 15V. Observando-a percebe-se que os chips 1, 4, 6, 7 e 9 mais se aproximam do ponto de operação $V_i=V_o=V_{DD}/2$.

Em seguida as tensões de limiar, $V_{TN(P)}$, foram extraídas para os chips escolhidos. A Tabela 4 apresenta os valores encontrados.

Tabela 4: Tensões de limiar extraídas dos chips.

Chip	VT_N0	VT_N1	VT_N2	VT_P0	VT_P1	VT_P2
1	1,381	1,383	1,382	1,234	1,24	1,243
4	1,382	1,375	1,377	1,236	1,232	1,242
6	1,406	1,398	1,404	1,257	1,249	1,256
7	1,381	1,374	1,376	1,237	1,241	1,237
9	1,388	1,376	1,388	1,275	1,284	1,267

Os valores de V_T da Tabela 4 foram extraídos utilizando a técnica de $3I_S$ [11], onde uma corrente correspondente a três vezes a corrente específica deste é aplicado ao dreno do transistor. Desta forma, com os terminais de porta e dreno curto-circuitados, a tensão observada no terminal de fonte do transistor, referenciada ao terra, corresponde a sua tensão de limiar. O procedimento foi aplicado a cada um dos 6 transistores presentes nos chips do 4007, sendo 3 NMOS e 3 PMOS. O transistor “6”, que, de forma geral, apresenta o menor desvio nas tensões de limiar, foi escolhido para formar a base do circuito. A Figura 36 apresenta o esquemático de um *Schmitt Trigger* utilizando apenas um 4007.

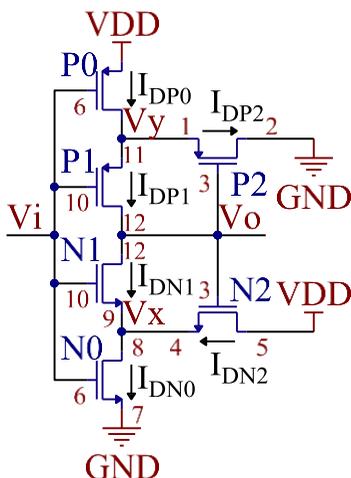


Figura 36: Base da PCI de teste utilizando o chip "6" do 4007.

O circuito da Figura 36 indica os pinos do 4007, Figura 35, correspondentes a cada terminal de cada transistor. A alteração da razão de realimentação foi realizada através da adição de transistores em série, para reduzi-la, ou em paralelo, para aumentá-la, aos transistores de realimentação, N_2 e P_2 . Observando o circuito percebe-se que, para adicionar um transistor em série, é necessário que os drenos de N_2 e P_2 passem a ser conectados às fontes dos transistores a serem adicionados. Os drenos desses transistores, por sua vez, serão conectados ao GND, para o PMOS, e ao V_{DD} , para o NMOS. A Figura 37 ilustra a conexão dos transistores em série.

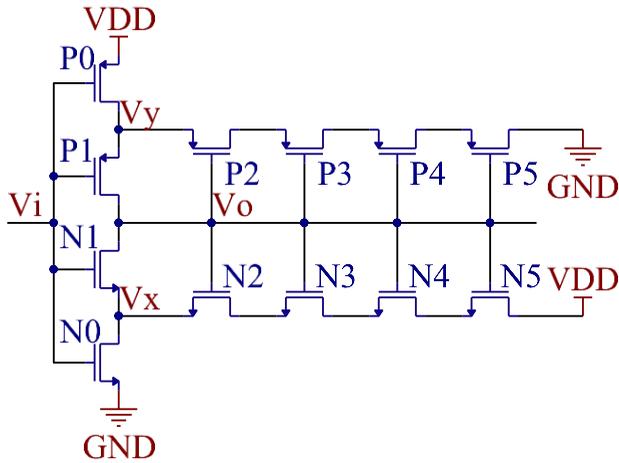


Figura 37: *Schmitt Trigger* com transistores de realimentação em série.

Para a adição de transistores em paralelo basta conectar os seus terminais de fonte nos nós intermediários V_x e V_y e os terminais de dreno na alimentação. A Figura 38 ilustra a conexão dos transistores de realimentação em paralelo.

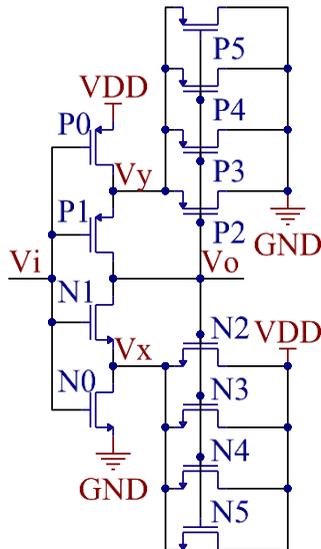


Figura 38: *Schmitt Trigger* com transistores de realimentação em paralelo.

Apenas os transistores centrais do 4007, Figura 35, puderam ser utilizadas para essa finalidade, já que os pinos 14 e 7 são utilizados para alimentação do chip e o pino 12 conecta os terminais de fonte de um transistor PMOS com um NMOS. O esquemático da PCI pode ser observado na Figura 39.

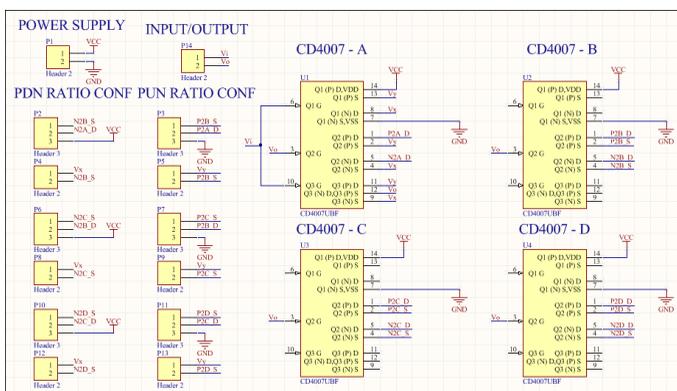


Figura 39: Esquemático da PCI de teste.

A PCI, Figura 39, apresenta 4 unidades do 4007 e 14 barra-pinos. O CD4007-A forma a base do ST, Figura 36, enquanto os outros 3 chips servem para adicionar os transistores de realimentação em série ou paralelo. O barra-pino *P1* alimenta o circuito, enquanto *P14* conecta a entrada e a saída ao dispositivo de medição. Os barra-pinos *P2*, *P4*, *P6*, *P8*, *P10* e *P12* configuram a razão de realimentação da rede de *pull-down*, enquanto *P3*, *P5*, *P7*, *P9*, *P11* e *P13* configuram a rede de *pull-up*.

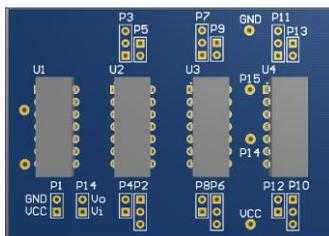


Figura 40: PCI de teste em 3D.

Considerando que, inicialmente, nenhum dos barra-pinos de *P2* a *P13* está conectada, a configuração $I_0/I_2=1/1$ é obtida inserindo os *jumpers* em *P2* e *P3* na posição 2-3. A partir disso, a configuração

$I_0/I_2=1/2$ é obtida adicionando os *jumpers* em *P4* e *P5* na posição 1-2 e os *jumpers* em *P6* e *P7* na posição 2-3. O mesmo procedimento em *P8*, *P9*, *P10* e *P11* leva a configuração $I_0/I_2=1/3$. Para $I_0/I_2=1/4$, *P12* e *P13* devem ser conectados, assim como as conexões entre *P15* e GND, e *P14* e V_{DD} .

Novamente considerando que a PCI está inicialmente na configuração $I_0/I_2=1/1$, a configuração $I_0/I_2=2/1$ é realizada mudando a posição dos *jumpers* em *P2* e *P3* para 1-2 e adicionando os *jumpers* em *P6* e *P7* na posição 2-3. Para $I_0/I_2=3/1$ os *jumpers* em *P6* e *P7* passam para a posição 1-2 e *P10* e *P11* recebem a conexão na posição 2-3. Por fim, $I_0/I_2=4/1$ é obtido passando *P10* e *P11* para a posição 1-2 e fazendo as conexões entre *P15* e GND, e *P14* e V_{DD} . É importante ressaltar que, para a adição de transistores em série é necessário seguir a sequência acima. A Figura 41 apresenta o layout da placa de teste.

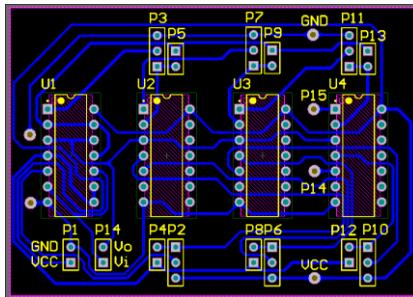


Figura 41: Layout da PCI de teste.

A Figura 42 indica a placa de circuito impresso da Figura 41 após a montagem.

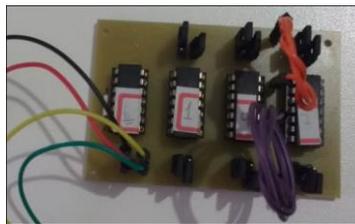


Figura 42: PCI de teste montada.

4.2.2 MEDIÇÕES

As medições da PCI da Figura 42 foram realizadas utilizando um analisador de parâmetros de semicondutores de precisão, modelo *Agilent 4156C* calibrado em março de 2017. O equipamento foi configurado para

realizar medidas variando a tensão de entrada V_i de 0 à V_{DD} e depois de V_{DD} à zero. As tensões de alimentação utilizadas foram 5V, 10V e 15V. A Tabela 5 apresenta os valores para a largura do laço encontrados.

É possível observar na Tabela 5 que a caracterização e escolha dos chips foi efetiva, uma vez que não há muita assimetria entre os limiares de histerese medidos.

Tabela 5: Valores experimentais da largura de histerese utilizando o 4007.

Razão (I_0/I_2)	5V			10V			15V		
	V_{IH+} (V)	V_{IH-} (V)	V_L (Mv)	V_{IH+} (V)	V_{IH-} (V)	V_L (Mv)	V_{IH+} (V)	V_{IH-} (V)	V_L (Mv)
¼	3,615	1,58	2035	7,61	2,44	5170	11,355	3,585	7770
1/3	3,605	1,62	1985	7,32	2,66	4660	10,815	3,975	6840
½	3,535	1,64	1895	6,84	3,02	3820	10,035	4,56	5475
1	3,32	1,82	1500	6,05	3,7	2350	8,775	5,55	3225
2	2,995	2,08	915	5,48	4,23	1250	8,025	6,39	1635
3	2,845	2,205	640	5,24	4,49	750	7,65	6,675	975
4	2,765	2,285	480	5,17	4,99	562	7,695	7,5	731

4.2.3 COMPARAÇÃO DOS RESULTADOS

Após a comparação dos valores numéricos e simulados, os valores experimentais para a largura do laço de histerese foram comparados com a expressão analítica, através da subtração dos resultados das Equações (51) e (52). Os gráficos foram padronizados para apresentar os valores do laço experimentais em vermelho e analíticos em azul. A Figura 43 apresenta os resultados para a tensão de alimentação de 5V.



Figura 43: Comparação da largura do laço do 4007 para 5V.

A Figura 43 apresenta valores experimentais e analíticos muito próximos, principalmente para a razão de realimentação 1. A Figura 44 faz a mesma comparação para uma alimentação de 10V.

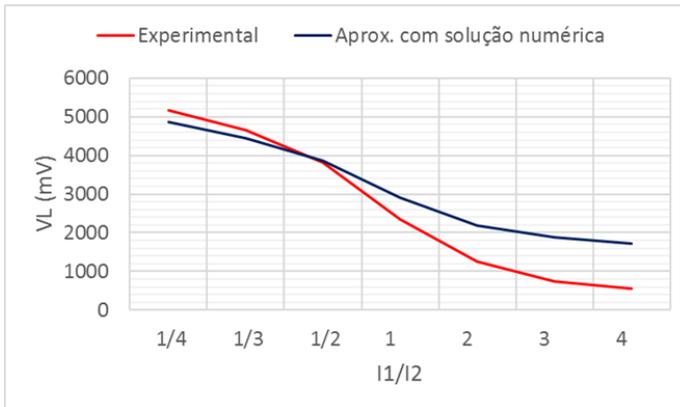


Figura 44: Comparação da largura do laço do 4007 para 10V.

A Figura 44 indica resultados melhores para realimentação forte. Para realimentação fraca, por outro lado, há uma piora na aproximação. Os resultados para alimentação de 15V podem ser observados na Figura 45.

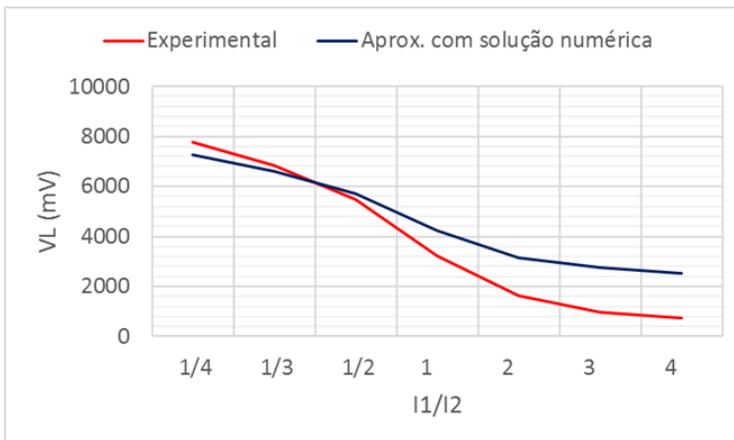


Figura 45: Comparação da largura do laço do 4007 para 15V.

A Figura 45 indica, novamente, resultados melhores para realimentação forte do que para realimentação fraca. A origem desse

comportamento não está clara. Entretanto, acredita-se que o descasamento entre as redes de *pull-up* e *pull-down* possa ter mais influência na aproximação para realimentação fraca, já que o seu erro cresce com o aumento da tensão de alimentação.

A Figura 46 apresenta a comparação dos resultados simulado, numérico e da aproximação para realimentação forte para uma gama maior de razões de realimentação.

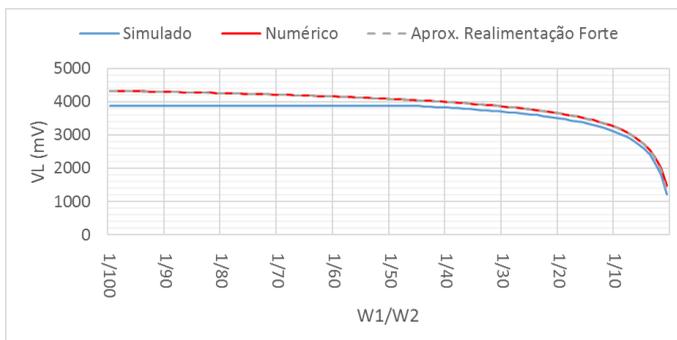


Figura 46: Comparação dos resultados simulados, numéricos e analíticos para a largura do laço com realimentação fraca utilizando os parâmetros do 4007. $V_{DD}=5V$, $V_{TN}=1,38V$, $V_{TP}=-1,24V$, $n_N=1,95$, $n_P=1,25$.

Na Figura 46, os resultados para o laço de histerese numérico e aproximado apresentam um erro muito pequeno. Os valores simulados, por outro lado, apresentam alguma discrepância. É importante notar que a largura do laço simulado não varia para razões de realimentação entre 1/100 e 1/45. Mais do que isso, como explicado na Subseção 2.2.2, o laço de histerese simulado chega a uma largura 3876 mV, bem acima de 2380 mV, que corresponde a $V_{DD}-V_{TN}+V_{TP}$. A Figura 47 apresenta o erro entre a simulação e a aproximação para realimentação forte.

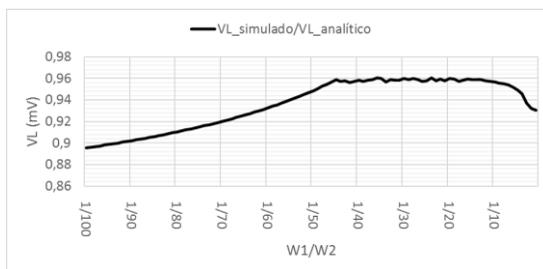


Figura 47: Erro entre a largura do laço simulada e a analítica para realimentação forte utilizando os parâmetros do 4007. $V_{DD}=5V$, $V_{TN}=1,38V$, $V_{TP}=-1,24V$, $n_N=1,95$, $n_P=1,25$.

Na Figura 47, o erro da aproximação é cerca de 10% para I_2 100 vezes maior que I_1 . O erro mínimo fica em torno de 5% e então, para I_1/I_2 próximos a 1, o erro começa a aumentar. A Figura 48 apresenta os resultados para realimentação fraca.

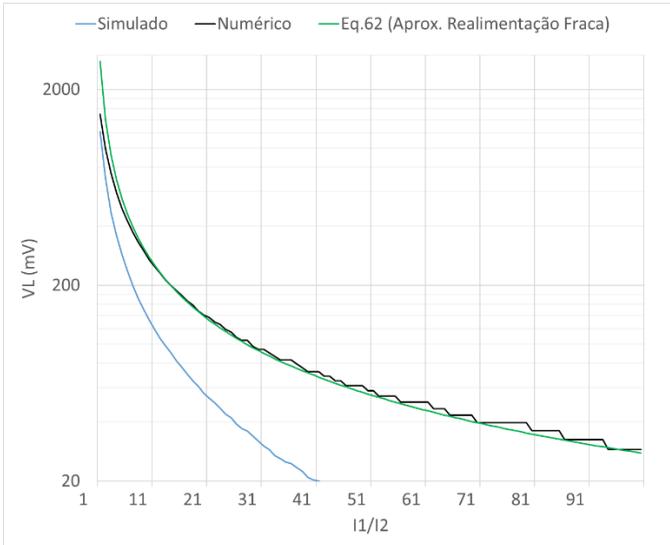


Figura 48: Comparação dos resultados simulados, numéricos e analíticos para a largura do laço com realimentação fraca utilizando os parâmetros do 4007. $V_{DD}=5V$, $V_{TN}=1,38V$, $V_{TP}=-1,24V$, $nN=1,95$, $nP=1,25$.

Na Figura 48, ao contrário dos resultados numérico e analítico, a largura do laço simulado tende à zero para realimentações muito fracas. Vale ressaltar, entretanto, que em nenhum momento o laço desaparece, mesmo chegando a apresentar largura menor do que 1mV.

5 CONCLUSÃO E TRABALHOS FUTUROS

Durante esse trabalho um estudo detalhado do inversor CMOS *Schmitt Trigger* convencional foi realizado. A modelagem numérica do circuito permitiu um melhor entendimento do comportamento das tensões e correntes nos transistores.

O método das correntes permitiu visualizar que a afirmação de que a largura do laço está limitada a $V_{DD}-V_{TN}+V_{TP}$ não é verdadeira para inversão forte devido ao efeito acentuado de resistência negativa nas correntes de N_1 e P_1 . A descrição, ou até mesmo menção desse efeito não foi constatada na revisão bibliográfica, tratando-se de uma característica até então desconhecida.

A descrição analítica se mostrou substancialmente mais complexa do que a análise para inversão fraca [8]. Entretanto, ainda assim foi possível ilustrar o funcionamento do circuito e aproximar expressões para a largura do laço. Tanto a aproximação para realimentação forte quanto a para realimentação fraca se mostraram muito próximas aos valores numéricos para uma grande variedade de razões de realimentação. Para razões de realimentação próximas a 1 as expressões não aproximadas devem ser resolvidas numericamente para obtenção da largura do laço de histerese.

No Capítulo 3 diversas expressões para a largura do laço são apresentadas, oferecendo aos projetistas de circuitos integrados o desenvolvimento do *Schmitt Trigger* em inversão forte para qualquer configuração de realimentação, desde muito fraca até muito forte.

A utilização do 4007 experimentalmente, bem como seu modelo na simulação e na solução numérica, mostraram-se ferramentas valiosas na verificação dos trabalhos desenvolvidos.

Além disso, a validação tanto dos modelos numéricos, quanto das expressões analíticas, deve ser realizada experimentalmente com tecnologias mais recentes que a do 4007. Recomenda-se também o projeto e a fabricação de *chips* teste para validação dos resultados. Tais chips devem ser dimensionados para possibilitar a avaliação da modelagem para o maior número de razões de realimentação possível.

Por fim, a obtenção de um conjunto de equações para o projeto do *Schmitt Trigger* independente do nível de inversão dos transistores e da razão de realimentação é desejável, apresentando uma boa oportunidade para trabalhos futuros.

REFERÊNCIAS

- [1] L. A. P. Melek, *Analysis and design of a subthreshold CMOS Schmitt trigger circuit.*, Florianópolis: Tese (Doutorado em Eng. Elétrica) - UFSC, 2017.
- [2] J. P. Kulkarni, K. Kim e K. Roy, “A 160 mV Robust Schmitt Trigger Based Subthreshold SRAM,” *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 42, n° 10, OCTOBER 2007.
- [3] N. Lotze e Y. Manoli, “A 62 mV 0.13 μ m CMOS Standard-Cell-Based Design Technique Using Schmitt-Trigger Logic,” *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 47, n° 1, JANUARY 2012.
- [4] J. R. Baker, *CMOS Circuit Design, Layout and Simulation*, 3rd Edition, 2010: John Wiley & Sons, Inc., 2010.
- [5] X. Lai, L. Zhong, D. Xu, H. Wang, B. Yuan, Q. Li, R. Ding e J. Zhao, “A Novel Low Delay High-Voltage Level Shifter with Transient Performance Insensitive to Parasitic Capacitance and Transfer Voltage Level,” *Circuits, Systems and Signal Processing - Springer US*, pp. 3598-3615, September 2017.
- [6] C. Cockrill, “Understanding Schmitt Triggers,” Texas Instruments Application Report, Dallas, Texas, 2011.
- [7] I. Filanovsky e H. Bakes, “CMOS Schmitt Trigger Design,” *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-1:FUNDAMENTAL THEORY AND APPLICATIONS*, vol. 41, n° 1, JANUARY 1994.
- [8] L. A. P. Melek, A. L. da Silva, M. C. Schneider e C. Galup-Montoro, “Analysis and design of the classical CMOS Schmitt trigger in subthreshold operation,” *IEEE Transactions on Circuits and Systems I:Regular Papers*, vol. 64, n° 4, APRIL 2017.
- [9] L. A. P. Melek, M. C. Schneider e C. Galup-Montoro, “Operation of the Classical CMOS Schmitt Trigger as an Ultra-Low-Voltage Amplifier,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. Early acces, pp. 1-1, 2017.

- [10] B. L. Dokic, "CMOS Schmitt triggers," *IEEE PROCEEDINGS*, vol. 131, n° 5, OCTOBER 1984.
- [11] C. S. Márcio e C. Galup-Motoro, *CMOS Analog Design Using All-Region MOSFET Modeling*, Cambridge: Cambridge University Press, 2010.
- [12] O. d. C. Gouveia, A. I. A. Cunha, M. C. Schneider e C. Galup-Montoro, "The ACM model for circuit simulation and equations for SMASH," <http://www.lci.ufsc.br/pdf/report.pdf>, Florianópolis, 1997.
- [13] R. C. Jaeger e T. N. Blalock, *Microelectronic circuit design*, Fourth Edition ed., New-York: McGraw-Hill, 2011.
- [14] L. Fuller, 2015. [Online]. Available: https://people.rit.edu/lffeee/CD4007_SPICE_MODEL.pdf. [Acesso em 25 07 2018].

APÊNDICE A – Algoritmo para obtenção da VTC com modelo sem singularidades

```
% Script for Vo determination with the singularities-free model
%version 2.1
```

```
%Author: Anselmo Silva
```

Script para determinação de V_o .

```
%close all
```

```
clear
```

```
clc
```

```
format longg
```

```
global Vo Vi Vx Vx_itr Vy Vy_itr VT0n VT0p VDD KN0 KN1 KN2 KP0
KP1 KP2 Rn Rp epsilon nn np
```

```
VDD = 1000e-3;
```

```
VT0n = 100e-3;
```

```
VT0p = -100e-3;
```

```
nn = 1.1;
```

```
np = 1.1;
```

```
u= 400;
```

```
Cox = 690;
```

```
L= 25e-6;
```

```
WN0= 75e-6;
```

```
WN1= 75e-6;
```

```
WN2= 25e-6;
```

```
KN0 = u*(WN0/L)*1/(2*nn*Cox);
```

```
KN1 = u*(WN1/L)*1/(2*nn*Cox);
```

```
KN2 = u*(WN2/L)*1/(2*nn*Cox);
```

```
WP0= 75e-6;
```

```
WP1= 75e-6;
```

```
WP2= 25e-6;
```

```
KP0 = u*(WP0/L)*1/(2*np*Cox);
```

```
KP1 = u*(WP1/L)*1/(2*np*Cox);
```

```
KP2 = u*(WP2/L)*1/(2*np*Cox);
```

```
epsilon = 1000e-6;
```

```
Rn = nn*Cox/2;
```

```
Rp = np*Cox/2;
```

```
tam = 500;
```

```
Conv_Tol = 1e-9;
```

```
Vi_initial = 0;
```

```
Vi_step = (VDD - Vi_initial)/tam;
```

```
Vi_max = VDD;
```

```
Vi_loop = Vi_initial: Vi_step : Vi_max;
```

```

Vo_init = 0;
Vx_itr = 0;
Vy_itr = 0;

Vx_op(tam) = 0;
Vy_op(tam) = 0;
Vo_op(tam) = 0;
Vo_temp(2) = 0;
Itr_counter(tam+1) = 0;
options =
optimoptions('fsolve','Display','off','MaxIterations',500);
for index_Vi = 1:(tam+1)
    Vi = Vi_loop(index_Vi);
    Vo_temp(2) = VDD/2;
while 1
    Vo = Vo_init;
    Vx_op(index_Vi) = fzero('fZero_PDN', [0 VDD],options);
    Vy_op(index_Vi) = fzero('fZero_PUN', [0 VDD],options);
    Vx = Vx_op(index_Vi);
    Vy = Vy_op(index_Vi);
    Vo_op(index_Vi) = fzero('fZero_Vo', [0 VDD],options);
    Vo_init = Vo_op(index_Vi);

    Vo_temp(1) = Vo_temp(2);
    Vo_temp(2) = Vo_init;
    Vo_error = abs(Vo_temp(2) - Vo_temp(1));
    Itr_counter(index_Vi) = Itr_counter(index_Vi)+1;
    if Vo_error < Conv_Tol;
        break
    end
end
end

Vi_initial2 = VDD;
Vi_step2 = (-Vi_initial2)/tam;
Vi_max2 = 0;
Vi_loop2 = Vi_initial2: Vi_step2 : Vi_max2;

Vo_init = 0;
Vx_op2(tam) = 0;
Vy_op2(tam) = 0;
Vo_op2(tam) = 0;
Itr_counter2(tam+1) = 0;
options = optimoptions('fsolve','Display','off');
for index_Vi = 1:(tam+1)
    Vi = Vi_loop2(index_Vi);
    Vo_temp(2) = VDD/2;
while 1
    Vo = Vo_init;
    Vx_op2(index_Vi) = fzero('fZero_PDN', [0 VDD],options);
    Vy_op2(index_Vi) = fzero('fZero_PUN', [0 VDD],options);
    Vx = Vx_op2(index_Vi);

```

```

Vy = Vy_op2(index_Vi);
Vo_op2(index_Vi) = fzero('fZero_Vo', [0 VDD],options);
Vo_init = Vo_op2(index_Vi);

Vo_temp(1) = Vo_temp(2);
Vo_temp(2) = Vo_init;
Vo_error = abs(Vo_temp(2) - Vo_temp(1));
Itr_counter2(index_Vi) = Itr_counter2(index_Vi)+1;
if Vo_error < Conv_Tol;
    break
end
end
end

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% VTC %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
figure
plot(Vi_loop, Vo_op,'b','LineWidth',1.5); hold on
plot(Vi_loop2, V0_op2,'b','LineWidth',1.5); hold on
title('VTC');
grid on
set(gca,'GridLineStyle','-');
xlabel('Input Voltage, Vi (V)', 'FontSize', 12,
'FontName','Arial', 'FontWeight', 'Bold');
ylabel('Output Voltage, Vo (V)', 'FontSize', 12,
'FontName','Arial', 'FontWeight', 'Bold');
t = strcat('VTC @ \epsilon=',num2str(epsilon*1000)); t =
strcat(t,'mV, VDD=', num2str(VDD*1000));t = strcat(t,'mV');
title(t, 'FontSize', 12, 'FontName','Arial', 'FontWeight',
'Bold');
set(0,'defaultAxesFontName', 'Arial');
set(0,'defaultAxesFontSize', 12);
set(0,'defaultAxesFontWeight', 'bold');

```

Função para V_x

```

function fun_PDN = fZero_PDN(Vx)
global Vo Vi VT0n VDD KN0 KN1 KN2 Rn epsilon nn

VNp = (Vi - VT0n)/nn;
VNp2 = (Vo - VT0n)/nn;

fun_PDN = KN1*((Rn*((VNp - Vx) + sqrt((VNp - Vx).^2 +
epsilon^2))).^2 - (Rn*((VNp - Vo) + sqrt((VNp - Vo).^2 +
epsilon^2))).^2) ... %IN1
+ KN2*((Rn*((VNp2 - Vx) + sqrt((VNp2 - Vx).^2 + epsilon^2))).^2
- (Rn*((VNp2 - VDD) + sqrt((VNp2 - VDD).^2 + epsilon^2))).^2)
... %IN2
- KN0*((Rn*((VNp) + sqrt((VNp).^2 + epsilon^2))).^2 - (Rn*((VNp
- Vx) + sqrt((VNp - Vx).^2 + epsilon^2))).^2);
%INO
End

```

Função para V_y

```

function fun_PUN = fZero_PUN(Vy)

```

```
global Vo Vi VT0p VDD KP0 KP1 KP2 Rp epsilon np
```

```
Vpp = ((VDD - Vi) + VT0p)/np;
Vpp2 = ((VDD - Vo) + VT0p)/np;
```

```
fun_PUN = KP1*((Rp*((Vpp - VDD + Vy)+sqrt((Vpp - VDD + Vy).^2 +
epsilon^2))).^2 - (Rp*((Vpp - VDD + Vo)+sqrt((Vpp - VDD +
Vo).^2 + epsilon^2))).^2)... %%IP1
      +KP2*((Rp*((Vpp2 - VDD + Vy)+sqrt((Vpp2 - VDD +
Vy).^2 + epsilon^2))).^2 - (Rp*((Vpp2 - VDD)+sqrt((Vpp2 -
VDD).^2 + epsilon^2))).^2)... %%IP2
      -KP0*((Rp*((Vpp)+sqrt(Vpp^2 + epsilon^2))).^2 -
(Rp*((Vpp - VDD + Vy)+sqrt((Vpp - VDD + Vy).^2 +
epsilon^2))).^2); %%IP0
end
```

Função para V_o

```
function fun_Vo = fZero_Vo(Vo)
global Vi Vx Vy VT0n VT0p VDD KN1 KP1 Rn Rp epsilon nn np
```

```
VNp = (Vi - VT0n)/nn;
Vpp = ((VDD - Vi) + VT0p)/np;
```

```
fun_Vo = KN1*((Rn*((VNp - Vx) + sqrt((VNp - Vx).^2 +
epsilon^2))).^2 - (Rn*((VNp - Vo) + sqrt((VNp - Vo).^2 +
epsilon^2))).^2) ... %%IN1
      -KP1*((Rp*((Vpp - VDD + Vy)+sqrt((Vpp - VDD + Vy).^2 +
epsilon^2))).^2 - (Rp*((Vpp - VDD + Vo)+sqrt((Vpp - VDD +
Vo).^2 + epsilon^2))).^2); %%IP1
end
```

APÊNDICE B - Algoritmo para obtenção da VTC com modelo convencional

```
% Script for Vo determination with the singularities-free model
%version 2.1
%Author: Anselmo Silva
```

Script para determinação de V_o

```
clear
clc
format longg

global Vo Vo_itr Vi Vx Vx_itr Vy Vy_itr VT0n VT0p VDD KN0 KN1
KN2 KP0 KP1 KP2 Rn Rp nn np

VDD = 2000e-3;

VT0n = 100e-3;
VT0p = -100e-3;

nn = 1.1;
np = 1.1;
u= 400;
Cox = 690;
L= 25e-6;

WN0= 25e-6;
WN1= 25e-6;
WN2= 25e-6;
KN0 = u*(WN0/L)*1/(2*nn*Cox);
KN1 = u*(WN1/L)*1/(2*nn*Cox);
KN2 = u*(WN2/L)*1/(2*nn*Cox);

WP0= 25e-6;
WP1= 25e-6;
WP2= 25e-6;
KP0 = u*(WP0/L)*1/(2*nn*Cox);
KP1 = u*(WP1/L)*1/(2*nn*Cox);
KP2 = u*(WP2/L)*1/(2*nn*Cox);

Rn = nn*Cox;
Rp = np*Cox;

tam = 100;
itr_num = 10;
Conv_Tol = 1e-9;
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Vi = 0 -> VDD %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Vi_initial = 0;
Vi_step = (VDD - Vi_initial)/tam;
Vi_max = VDD;
Vi_loop = Vi_initial: Vi_step : Vi_max;
```

```

Vo_itr = 1;
Vx_itr = 1;
Vy_itr = 1;

Vx_op(tam+1) = 0;
Vy_op(tam+1) = 0;
Vo_op(tam+1) = 0;
Vo_temp(2) = 0;
Vx_temp(2) = 0;
Vy_temp(2) = 0;
Itr_counter(tam+1) = 0;
options = optimoptions('fsolve','Display','off');
for index_Vi = 1:(tam+1)
    Vi = Vi_loop(index_Vi);
    while 1
        Vo = Vo_itr;
        Vx_op(index_Vi) = fzero('OpRegionsModel_fZero_PDN',Vx_itr,
options);
        Is_NaN_Test1 = isnan(Vx_op(index_Vi));
        if Is_NaN_Test1 == 1;
            Vx_op(index_Vi) = rand;
            Is_NaN_Test1 = 0;
        end
        Vy_op(index_Vi) = fzero('OpRegionsModel_fZero_PUN', Vy_itr,
options);
        Is_NaN_Test2 = isnan(Vy_op(index_Vi));
        if Is_NaN_Test2 == 1;
            Vy_op(index_Vi) = rand;
            Is_NaN_Test2 = 0;
        end
        Vx = Vx_op(index_Vi);
        Vx_itr = Vx;
        Vy = Vy_op(index_Vi);
        Vy_itr = Vy;
        Vo_op(index_Vi) = fzero('OpRegionsModel_fZero_Vo', Vo_itr,
options);
        Is_NaN_Test3 = isnan(Vo_op(index_Vi));
        if Is_NaN_Test3 == 1;
            Vo_op(index_Vi) = rand;
            Is_NaN_Test3 = 0;
        end
        Vo_itr = Vo_op(index_Vi);
        Vo_temp(1) = Vo_temp(2);
        Vo_temp(2) = Vo_itr;
        Vo_error = abs(Vo_temp(2) - Vo_temp(1));
        Vy_temp(1) = Vy_temp(2);
        Vy_temp(2) = Vy_itr;
        Vy_error = abs(Vy_temp(2) - Vy_temp(1));
        Vx_temp(1) = Vx_temp(2);
        Vx_temp(2) = Vx_itr;
        Vx_error = abs(Vx_temp(2) - Vx_temp(1));
        Itr_counter(index_Vi) = Itr_counter(index_Vi)+1;
        if Vo_error < Conv_Tol;
            break
    end
end

```

```

    end
end
end

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Vi = VDD -> 0 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Vi_initial2 = VDD;
Vi_step2 = (-Vi_initial2)/tam;
Vi_max2 = 0;
Vi_loop2 = Vi_initial2: Vi_step2 : Vi_max2;

Vo_itr = 1;
Vx_itr = 1;
Vy_itr = 1;

Vx_op2(tam+1) = 0;
Vy_op2(tam+1) = 0;
Vo_op2(tam+1) = 0;
Vo_temp2(2) = 0;
Vx_temp2(2) = 0;
Vy_temp2(2) = 0;
Itr_counter2(tam+1) = 0;
for index Vi = 1:(tam+1)
    Vi = Vi_loop2(index_Vi);
    while 1
        Vo = Vo_itr;
        Vx_op2(index_Vi) = fzero('OpRegionsModel_fZero_PDN',Vx_itr,
options);
        Is_NaN_Test1 = isnan(Vx_op2(index_Vi));
        if Is_NaN_Test1 == 1;
            Vx_op2(index_Vi) = rand;
            Is_NaN_Test1 = 0;
        end

        Vy_op2(index_Vi) = fzero('OpRegionsModel_fZero_PUN',
Vy_itr, options);
        Is_NaN_Test2 = isnan(Vy_op2(index_Vi));
        if Is_NaN_Test2 == 1;
            Vy_op2(index_Vi) = rand;
            Is_NaN_Test2 = 0;
        end

        Vx = Vx_op2(index_Vi);
        Vx_itr = Vx;
        Vy = Vy_op2(index_Vi);
        Vy_itr = Vy;

        Vo_op2(index_Vi) = fzero('OpRegionsModel_fZero_Vo', Vo_itr,
options);
        Is_NaN_Test3 = isnan(Vo_op2(index_Vi));
        if Is_NaN_Test3 == 1;
            Vo_op2(index_Vi) = rand;
            Is_NaN_Test3 = 0;
        end
    end
end

```

```

Vo_itr = Vo_op2(index_Vi);

Vo_temp(1) = Vo_temp(2);
Vo_temp(2) = Vo_itr;
Vo_error = abs(Vo_temp(2) - Vo_temp(1));

Vy_temp(1) = Vy_temp(2);
Vy_temp(2) = Vy_itr;
Vy_error = abs(Vy_temp(2) - Vy_temp(1));

Vx_temp(1) = Vx_temp(2);
Vx_temp(2) = Vx_itr;
Vx_error = abs(Vx_temp(2) - Vx_temp(1));

Itr_counter2(index_Vi) = Itr_counter(index_Vi)+1;

if Vo_error < Conv_Tol;
    if Vx_error < Conv_Tol;
        if Vy_error < Conv_Tol;
            break
        end
    end
end
end
end

figure
set(gcf, 'Position', get(0, 'Screensize'));
plot(Vi_loop, Vo_op, 'k', 'LineWidth', 3); hold on
plot(Vi_loop2, Vo_op2, 'k', 'LineWidth', 3); hold on

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% VTC %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%figure
%plot(Vi_loop, Vo_op, 'k', 'LineWidth', 2); hold on
%plot(Vi_loop2, Vo_op2, 'b', 'LineWidth', 2); hold on
%title('VTC');
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Vx %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%figure
%plot(Vi_loop, Vx_op, 'g', 'LineWidth', 2); hold on
%plot(Vi_loop2, Vx_op2, 'r', 'LineWidth', 2); hold on
%title('V_x');
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Vy %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%figure
%plot(Vi_loop, Vy_op, '--g', 'LineWidth', 2); hold on
%plot(Vi_loop2, Vy_op2, '--r', 'LineWidth', 2); hold on
%title('V_y');

grid on
set(gca, 'GridLineStyle', '-');
xlabel('Input Voltage, Vi (V)', 'FontSize', 12,
'FontName', 'Arial', 'FontWeight', 'Bold');

```

```

ylabel('Output Voltage, Vo (V)', 'FontSize', 12,
'FontName', 'Arial', 'FontWeight', 'Bold');
t = strcat('VTC'); t = strcat(t, ' VDD=', num2str(VDD*1000)); t =
strcat(t, 'mV');
title(t, 'FontSize', 12, 'FontName', 'Arial', 'FontWeight',
'Bold');
set(0, 'defaultAxesFontName', 'Arial');
set(0, 'defaultAxesFontSize', 12);
set(0, 'defaultAxesFontWeight', 'bold');

```

Função para V_x

```

function fun_PDN = OpRegionsModel_fZero_PDN(Vx)
global Vo Vi Vx_itr VT0n VDD KN0 KN1 KN2 Rn nn

```

```

VNP = (Vi - VT0n)/nn;
VNP2 = (Vo - VT0n)/nn;

```

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% N0 %%%%%%%%%
if VNP > 0;
    QN0_is = Rn*VNP;
else
    QN0_is = 0;
end
if VNP - Vx_itr > 0;
    QN0_id = Rn*(VNP - Vx);
else
    QN0_id = 0;
end
ID_N0 = KN0*(QN0_is.^2 - QN0_id.^2);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% N1 %%%%%%%%%
if VNP - Vx_itr > 0;
    QN1_is = Rn*(VNP - Vx);
else
    QN1_is = 0;
end
if VNP - Vo > 0;
    QN1_id = Rn*(VNP - Vo);
else
    QN1_id = 0;
end
ID_N1 = KN1*(QN1_is.^2 - QN1_id.^2);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% N2 %%%%%%%%%
if VNP2 - Vx_itr > 0;
    QN2_is = Rn*(VNP2 - Vx);
else
    QN2_is = 0;
end
if VNP2 - VDD > 0;
    QN2_id = Rn*(VNP2 - VDD);
else
    QN2_id = 0;
end

```

```

end
ID_N2 = KN2*(QN2_is.^2 - QN2_id.^2);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Vx node current %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
fun_PDN = ID_N1 + ID_N2 - ID_N0;
end

```

Função para Vy

```

function fun_PUN = OpRegionsModel_fZero_PUN(Vy)
global Vo Vi Vy_itr VT0p VDD KP0 KP1 KP2 Rp np

VPp = ((VDD - Vi) + VT0p)/np;
VPp2 = ((VDD - Vo) + VT0p)/np;

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% P0 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
if VPp > 0;
    QP0_is = Rp*VPp;
else
    QP0_is = 0;
end
if VPp + Vy_itr - VDD > 0;
    QP0_id = Rp*(VPp + Vy - VDD);
else
    QP0_id = 0;
end
ID_P0 = KP0*(QP0_is.^2 - QP0_id.^2);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% P1 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
if VPp + Vy_itr - VDD > 0;
    QP1_is = Rp*(VPp + Vy - VDD);
else
    QP1_is = 0;
end
if VPp + Vo - VDD > 0;
    QP1_id = Rp*(VPp + Vo - VDD);
else
    QP1_id = 0;
end
ID_P1 = KP1*(QP1_is.^2 - QP1_id.^2);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% P2 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
if VPp2 + Vy_itr - VDD > 0;
    QP2_is = Rp*(VPp2 + Vy - VDD);
else
    QP2_is = 0;
end

if VPp2 - VDD > 0;
    QP2_id = Rp*(VPp2 - VDD);
else
    QP2_id = 0;
end
end

```


APÊNDICE C - Algoritmo para obtenção da VTC pelo método das correntes

As funções para V_x e V_y do APÊNDICE B também são válidas para o método das correntes, uma vez que ambos utilizam o modelo convencional do MOSFET.

Script para obtenção de V_o

```
% Script for Vo determination
%version 2.0
%close all
clear
clc
format longg

global Vo Vi Vx Vy VT0n VT0p VDD KN0 KN1 KN2 KP0 KP1 KP2 Rn Rp
nn np

VDD = 3300e-3;

%Vfb = -0.98;
%phif = 0.419;
%gama = 0.264;

VT0n = 1380e-3; %Vfb + 2*phif + gama*sqrt(2*phif);
VT0p = -1240e-3; %Vfb + 2*phif - gama*sqrt(2*phif);

nn = 1.95;
np = 1.25;
u= 400;
T_ox = 40e-7; %%tox cm
e_ox=3.9*8.85e-14;
Cox = e_ox/T_ox; %%Oxide capacitance nF/cm^2
L= 0.18e-6;

WN0= 0.25e-6;
WN1= WN0;
WN2= 0.25e-6;
KN0 = u* (WN0/L) *1/ (2*nn*Cox) ;
KN1 = u* (WN1/L) *1/ (2*nn*Cox) ;
KN2 = u* (WN2/L) *1/ (2*nn*Cox) ;

WP0= WN0;
WP1= WN0;
WP2= WN2;
KP0 = u* (WP0/L) *1/ (2*np*Cox) ;
KP1 = u* (WP1/L) *1/ (2*np*Cox) ;
KP2 = u* (WP2/L) *1/ (2*np*Cox) ;

Rn = nn*Cox;
Rp = np*Cox;
```

```

tam = 2;
tam2 = 150;
Conv_Tol = 1e-9;
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Vi = 0 -> VDD
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Vi_initial = 1;
Vi_max = 1.6;
Vi_step = (Vi_max - Vi_initial)/tam;
Vi_loop = Vi_initial: Vi_step : Vi_max;

Vo_initial = 0*VDD;
Vo_max = 1*VDD;
Vo_step = (Vo_max - Vo_initial)/tam2;
Vo_loop = Vo_initial: Vo_step : Vo_max;

QN0_is(tam+1, tam2+1) = 0;
QN0_id(tam+1, tam2+1) = 0;
ID_N0(tam+1, tam2+1) = 0;

QN1_is(tam+1, tam2+1) = 0;
QN1_id(tam+1, tam2+1) = 0;
ID_N1(tam+1, tam2+1) = 0;

QN2_is(tam+1, tam2+1) = 0;
QN2_id(tam+1, tam2+1) = 0;
ID_N2(tam+1, tam2+1) = 0;

QP0_is(tam+1, tam2+1) = 0;
QP0_id(tam+1, tam2+1) = 0;
ID_P0(tam+1, tam2+1) = 0;

QP1_is(tam+1, tam2+1) = 0;
QP1_id(tam+1, tam2+1) = 0;
ID_P1(tam+1, tam2+1) = 0;

QP2_is(tam+1, tam2+1) = 0;
QP2_id(tam+1, tam2+1) = 0;
ID_P2(tam+1, tam2+1) = 0;

Vx_op(tam+1, tam2+1) = VDD;
Vy_op(tam+1, tam2+1) = VDD;
Vx_temp(2) = 0;
Vy_temp(2) = 0;
Itr_counter(tam+1, tam2+1) = 0;
options =
optimoptions('fsolve','Display','off','TolX',Conv_Tol);
figure
for index_Vi = 1:(tam+1)
    Vi = Vi_loop(index_Vi);
    Vx_temp(2) = VDD/2;
    Vy_temp(2) = VDD/2;

```

```

for index_Vo = 1:(tam2+1)
Vo = Vo_loop(index_Vo);

while 1

    Vx_op(index_Vi, index_Vo) =
fzero('OpRegionsModel_fZero_PDN2', [-0.05*VDD 1.05*VDD],
options);
    Is_NaN_Test1 = isnan(Vx_op(index_Vi, index_Vo));
    if Is_NaN_Test1 == 1;
        Vx_op(index_Vi, index_Vo) =VDD * rand;
        Is_NaN_Test1 = 0;
        if Itr_counter(index_Vi, index_Vo) > 100;
            Vx_op(index_Vi, index_Vo) = Vx_op(index_Vi,
index_Vo);
        end
    end

    Vy_op(index_Vi, index_Vo) =
fzero('OpRegionsModel_fZero_PUN2', [-0.05*VDD 1.05*VDD],
options);
    Is_NaN_Test2 = isnan(Vy_op(index_Vi, index_Vo));
    if Is_NaN_Test2 == 1;
        Vy_op(index_Vi, index_Vo) =VDD * rand;
        Is_NaN_Test2 = 0;
        if Itr_counter(index_Vi, index_Vo) > 100;
            Vy_op(index_Vi, index_Vo) = Vy_op(index_Vi,
index_Vo);
        end
    end

    Vx = Vx_op(index_Vi, index_Vo);
    Vx_temp(1) = Vx_temp(2);
    Vx_temp(2) = Vx;
    Vx_error = abs(Vx_temp(2) - Vx_temp(1));

    Vy = Vy_op(index_Vi, index_Vo);
    Vy_temp(1) = Vy_temp(2);
    Vy_temp(2) = Vy;
    Vy_error = abs(Vy_temp(2) - Vy_temp(1));

    Itr_counter(index_Vi, index_Vo) = Itr_counter(index_Vi,
index_Vo)+1;

    if Vx_error < Conv_Tol;
        if Vy_error < Conv_Tol;
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Pull-down Network
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
            VNp = (Vi_loop(index_Vi) - VT0n)/nn;
            VNp2 = (Vo_loop(index_Vo) - VT0n)/nn;

```

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%      N0 Operation Region
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
      if VNp > 0;
          QN0_is(index_Vi, index_Vo) = Rn*VNp;
      else
          QN0_is(index_Vi, index_Vo) = 0;
      end

      if VNp - Vx_op(index_Vi, index_Vo) > 0;
          QN0_id(index_Vi, index_Vo) = Rn*(VNp -
Vx_op(index_Vi, index_Vo));
      else
          QN0_id(index_Vi, index_Vo) = 0;
      end
      ID_N0(index_Vi, index_Vo) =
KN0*(QN0_is(index_Vi, index_Vo).^2 - QN0_id(index_Vi,
index_Vo).^2);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%      N1 Operation Region
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
      if VNp - Vx_op(index_Vi, index_Vo) > 0;
          QN1_is(index_Vi, index_Vo) = Rn*(VNp -
Vx_op(index_Vi, index_Vo));
      else
          QN1_is(index_Vi, index_Vo) = 0;
      end

      if VNp - Vo_loop(index_Vo) > 0;
          QN1_id(index_Vi, index_Vo) = Rn*(VNp -
Vo_loop(index_Vo));
      else
          QN1_id(index_Vi, index_Vo) = 0;
      end
      ID_N1(index_Vi, index_Vo) =
KN1*(QN1_is(index_Vi, index_Vo).^2 - QN1_id(index_Vi,
index_Vo).^2);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%      N2 Operation Region
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
      if VNp2 - Vx_op(index_Vi, index_Vo) > 0;
          QN2_is(index_Vi, index_Vo) = Rn*(VNp2 -
Vx_op(index_Vi, index_Vo));
      else
          QN2_is(index_Vi, index_Vo) = 0;
      end
      if VNp2 - VDD > 0;
          QN2_id(index_Vi, index_Vo) = Rn*(VNp2 -
VDD);
      else
          QN2_id(index_Vi, index_Vo) = 0;
      end

```

```

        ID_N2(index_Vi, index_Vo) =
KN2*(QN2_is(index_Vi, index_Vo).^2 - QN2_id(index_Vi,
index_Vo).^2);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Pull-up Network
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
        VPp = ((VDD - Vi_loop(index_Vi)) + VT0p)/np;
        VPp2 = ((VDD - Vo_loop(index_Vo)) + VT0p)/np;
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% P0 Operation Region
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
        if VPp > 0;
            QP0_is(index_Vi, index_Vo) = Rp*VPp;
        else
            QP0_is(index_Vi, index_Vo) = 0;
        end
        if VPp + Vy_op(index_Vi, index_Vo) - VDD > 0;
            QP0_id(index_Vi, index_Vo) = Rp*(VPp +
Vy_op(index_Vi, index_Vo) - VDD);
        else
            QP0_id(index_Vi, index_Vo) = 0;
        end
        ID_P0(index_Vi, index_Vo) =
KP0*(QP0_is(index_Vi, index_Vo).^2 - QP0_id(index_Vi,
index_Vo).^2);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% P1 Operation Region
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
        if VPp + Vy_op(index_Vi, index_Vo) - VDD > 0;
            QP1_is(index_Vi, index_Vo) = Rp*(VPp +
Vy_op(index_Vi, index_Vo) - VDD);
        else
            QP1_is(index_Vi, index_Vo) = 0;
        end
        if VPp + Vo_loop(index_Vo) - VDD > 0;
            QP1_id(index_Vi, index_Vo) = Rp*(VPp +
Vo_loop(index_Vo) - VDD);
        else
            QP1_id(index_Vi, index_Vo) = 0;
        end
        ID_P1(index_Vi, index_Vo) =
KP1*(QP1_is(index_Vi, index_Vo).^2 - QP1_id(index_Vi,
index_Vo).^2);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% P2 Operation Region
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
        if VPp2 + Vy_op(index_Vi, index_Vo) - VDD > 0;
            QP2_is(index_Vi, index_Vo) = Rp*(VPp2 +
Vy_op(index_Vi, index_Vo) - VDD);
        else
            QP2_is(index_Vi, index_Vo) = 0;
        end
        if VPp2 - VDD > 0;

```

```

        QP2_id(index_Vi, index_Vo) = Rp*(VPp2 -
VDD);
    else
        QP2_id(index_Vi, index_Vo) = 0;
    end
    ID_P2(index_Vi, index_Vo) =
KP2*(QP2_is(index_Vi, index_Vo).^2 - QP2_id(index_Vi,
index_Vo).^2);

        break
    end
end
end
end
set(gca,'ColorOrderIndex',index_Vi)
t = strcat('ID_N_1 @'); t = strcat(t, ' V_i=',
num2str(Vi_loop(index_Vi)));t = strcat(t,'V');
plot( Vo_loop, ID_N1(index_Vi,:), 'LineWidth',1.5,
'DisplayName', t); hold on
set(gca,'ColorOrderIndex',index_Vi)
t = strcat('ID_P_1 @'); t = strcat(t, ' V_i=',
num2str(Vi_loop(index_Vi)));t = strcat(t,'V');
plot( Vo_loop, ID_P1(index_Vi,:), '--', 'LineWidth',1.5,
'DisplayName', t); hold on

end
grid on
set(gca,'GridLineStyle','-');
title('V_D_D = 1V @ W_0 = W_1 = W_2');
xlabel('Vo voltage, Vo (V)', 'FontSize', 12,
'FontName','Arial', 'FontWeight', 'Bold');
ylabel('Drain currents, I_D (A)', 'FontSize', 12,
'FontName','Arial', 'FontWeight', 'Bold');
% ylim([0 12e-6]);
legend('show');

Vo_intersec_mid = NaN(tam+1,tam2);
Vo_intersec = NaN(tam+1,tam2);

Vx_intersec_mid = NaN(tam+1,tam2);
Vx_intersec = NaN(tam+1,tam2);

Vy_intersec_mid = NaN(tam+1,tam2);
Vy_intersec = NaN(tam+1,tam2);

for index_Vi = 1:(tam+1)
    Intersec_aux = 0;
    for index_Vo = 1:tam2/2
        if ID_N1( index_Vi, index_Vo) < ID_P1( index_Vi,
index_Vo);
            if ID_N1( index_Vi, index_Vo+1) >= ID_P1( index_Vi,
index_Vo+1);

```

```

        Vo_intersec( index_Vi, index_Vo) =
Vo_loop(index_Vo);
        Vx_intersec( index_Vi, index_Vo) =
Vx_op(index_Vi,index_Vo);
        Vy_intersec( index_Vi, index_Vo) =
Vy_op(index_Vi,index_Vo);
    else
        Vo_intersec( index_Vi, index_Vo) = NaN;
        Vo_intersec_mid( index_Vi, index_Vo) = NaN;
        Vx_intersec( index_Vi, index_Vo) = NaN;
        Vx_intersec_mid( index_Vi, index_Vo) = NaN;
        Vy_intersec( index_Vi, index_Vo) = NaN;
        Vy_intersec_mid( index_Vi, index_Vo) = NaN;
    end
end
else
    if ID_N1( index_Vi, index_Vo+1) <= ID_P1( index_Vi,
index_Vo+1);
        Vo_intersec_mid( index_Vi, index_Vo) =
Vo_loop(index_Vo);
        Vx_intersec_mid( index_Vi, index_Vo) =
Vx_op(index_Vi,index_Vo);
        Vy_intersec_mid( index_Vi, index_Vo) =
Vy_op(index_Vi,index_Vo);
    else
        Vo_intersec_mid( index_Vi, index_Vo) = NaN;
        Vo_intersec( index_Vi, index_Vo) = NaN;
        Vx_intersec( index_Vi, index_Vo) = NaN;
        Vx_intersec_mid( index_Vi, index_Vo) = NaN;
        Vy_intersec( index_Vi, index_Vo) = NaN;
        Vy_intersec_mid( index_Vi, index_Vo) = NaN;
    end
end
end
end
for index_Vo = tam2/2:tam2
    if ID_N1( index_Vi, index_Vo) < ID_P1( index_Vi,
index_Vo);
        if ID_N1( index_Vi, index_Vo+1) >= ID_P1( index_Vi,
index_Vo+1);
            Vo_intersec( index_Vi, index_Vo) =
Vo_loop(index_Vo);
            Vx_intersec( index_Vi, index_Vo) =
Vx_op(index_Vi,index_Vo);
            Vy_intersec( index_Vi, index_Vo) =
Vy_op(index_Vi,index_Vo);
        else
            Vo_intersec( index_Vi, index_Vo) = NaN;
            Vo_intersec_mid( index_Vi, index_Vo) = NaN;

            Vx_intersec( index_Vi, index_Vo) = NaN;
            Vx_intersec_mid( index_Vi, index_Vo) = NaN;

            Vy_intersec( index_Vi, index_Vo) = NaN;
            Vy_intersec_mid( index_Vi, index_Vo) = NaN;
        end
    end
end
end

```

```

        else
            if ID_N1( index_Vi, index_Vo+1) <= ID_P1( index_Vi,
index_Vo+1);
                Vo_intersec_mid( index_Vi, index_Vo) =
Vo_loop(index_Vo);
                Vx_intersec_mid( index_Vi, index_Vo) =
Vx_op(index_Vi,index_Vo);
                Vy_intersec_mid( index_Vi, index_Vo) =
Vy_op(index_Vi,index_Vo);
            else
                Vo_intersec_mid( index_Vi, index_Vo) = NaN;
                Vo_intersec( index_Vi, index_Vo) = NaN;

                Vx_intersec( index_Vi, index_Vo) = NaN;
                Vx_intersec_mid( index_Vi, index_Vo) = NaN;

                Vy_intersec( index_Vi, index_Vo) = NaN;
                Vy_intersec_mid( index_Vi, index_Vo) = NaN;
            end
        end
    end
end
VH_P = VT0n + (VDD - VT0n - abs(VT0p))/(1+sqrt((KN0 + KN1)/(KN0
+ KN1 + KN2)));
VH_N = VDD - abs(VT0p) - (VDD - VT0n - abs(VT0p))/(1+sqrt((KP0
+ KP1)/(KP0 + KP1 + KP2)));

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% VTC and Vx/Vy%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Vo %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
figure
% subplot(4,2,[1,4])
plot(Vi_loop,
Vo_intersec_mid,'*b','LineWidth',1.5,'HandleVisibility','off');
hold on
plot(Vi_loop,
Vo_intersec,'xb','LineWidth',1.5,'HandleVisibility','off');
hold on
plot(Vi_loop(1),
Vo_intersec_mid(1,1),'*b','LineWidth',1.5,'DisplayName','Pontos
Meta-estáveis'); hold on
plot(Vi_loop(1),
Vo_intersec(1,1),'xb','LineWidth',1.5,'DisplayName','Pontos
Estáveis'); hold on
legend('show');
title('VTC - W_0=W_1=W_2','FontSize', 14, 'FontName','Arial',
'FontWeight', 'Bold');
grid on
set(gca,'GridLineStyle','-');
xlabel('Input Voltage, Vi (V)', 'FontSize', 12,
'FontName','Arial', 'FontWeight', 'Bold');
ylabel('Output Voltage, Vo (V)', 'FontSize', 12,
'FontName','Arial', 'FontWeight', 'Bold');
set(0,'defaultAxesFontName', 'Arial');

```

```

set(0,'defaultAxesFontSize', 12);
set(0,'defaultAxesFontWeight', 'bold');
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Vx and Vy
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% subplot(4,2,[5,8])
% plot(Vi_loop,
Vx_intersec_mid,'.b','LineWidth',1.5,'DisplayName','V_x @ V_i 0
-> V_D_D'); hold on
% plot(Vi_loop,
Vy_intersec_mid,'.g','LineWidth',1.5,'DisplayName','V_y @ V_i 0
-> V_D_D'); hold on
%
% plot(Vi_loop,
Vx_intersec,'.b','LineWidth',1.5,'DisplayName','V_x @ V_i V_D_D
-> 0'); hold on
% plot(Vi_loop,
Vy_intersec,'.g','LineWidth',1.5,'DisplayName','V_y @ V_i V_D_D
-> 0'); hold on
% % legend('show');
% title('VTC - V_x and V_y','FontSize', 12, 'FontName','Arial',
'FontWeight', 'Bold');
% grid on
% set(gca,'GridLineStyle','-');
% xlabel('Input Voltage, Vi (V)', 'FontSize', 10,
'FontName','Arial', 'FontWeight', 'Bold');
% ylabel('Nodes Voltages, Vx & Vy (V) ', 'FontSize', 10,
'FontName','Arial', 'FontWeight', 'Bold');
% set(0,'defaultAxesFontName', 'Arial');
% set(0,'defaultAxesFontSize', 12);
% set(0,'defaultAxesFontWeight', 'bold');

% figure
% plot(Vi_loop, Vo_intersec_mid,'*b','LineWidth',1.5); hold on
% plot(Vi_loop, Vo_intersec,'xb','LineWidth',1.5); hold on
% plot(Vi_loop, Vx_intersec_mid,'*g','LineWidth',1.5); hold on
% plot(Vi_loop, Vx_intersec,'xg','LineWidth',1.5); hold on
% plot(Vi_loop, Vy_intersec_mid,'*r','LineWidth',1.5); hold on
% plot(Vi_loop, Vy_intersec,'xr','LineWidth',1.5); hold on
% grid on
% set(gca,'GridLineStyle','-');
% title('V_D_D = 1V @ 5W_0 = 5W_1 = W_2');
% xlabel('Vi voltage, Vi (V)', 'FontSize', 12,
'FontName','Arial', 'FontWeight', 'Bold');
% ylabel('Vo voltage, Vo (V)', 'FontSize', 12,
'FontName','Arial', 'FontWeight', 'Bold');

```

APÊNDICE D – Netlist do SPECTRE para simulação do 4007

```

***** 6T CMOS Schmitt trigger*****
***** 4007 transistor models****
simulator lang=spectre
parameters Vinput=0 Vsupply=5
v0 (Vdd 0) vsource dc=Vsupply
v1 (Vi 0) vsource dc=Vinput
* MOS syntax: M(name) D G S B .model*
simulator lang=spice
.param ratioW1 = 1
.param ratioW2 = 1
.param w_valN = 170u
.param w_valP = 360u
.param w1_N = ratioW1*w_valN
.param w1_P = ratioW1*w_valP
.param w2_N = ratioW2*w_valN
.param w2_P = ratioW2*w_valP
Mn0 Vx Vi 0 0 4007_nmos W=w1_N
Mn1 Vo Vi Vx 0 4007_nmos W=w1_N
Mn2 VDD Vo Vx 0 4007_nmos W = w2_N
Mp0 Vy Vi Vdd Vdd 4007_pmos W=w1_P
Mp1 Vo Vi Vy Vdd 4007_pmos W=w1_P
Mp2 0 Vo Vy Vdd 4007_pmos W=w2_P
ic Vo=5
.op
*** NMOS model***
*Note:Properties L=10u W=170u Ad=8500p As=8500p Pd=440u Ps=440u
NRD=0.1 NRS=0.1
.model 4007_nmos NMOS (level=5
+version=3.1 capmod=2 mobmod=1
+tox=4e-8 xj=2.9e-7 nch=4e15 nsub=5.33e15 xt=8.66e-8
+vt0=1.38 u0=1300 wint=2.0e-7 lint=1e-7
+ngate=5e20 rsh=300 js=3.23e-8 jsw=3.23e-8 cj=6.8e-8 mj=0.5
pb=0.95
+cjsw=1.26e-10 mjsw=0.5 pbsw=0.95 pclm=5
+cgso=3.4e-10 cgdo=3.4e-10 cgbo=5.75e-10)
*
*** PMOS model***
*Note:Properties L=10u W=360u Ad=18000p As=18000p Pd=820u
Ps=820u NRS=0.54 NRD=0.54
.model 4007_pmos PMOS (level=5
+version=3.1 capmod=2 mobmod=1
+tox=5e-8 xj=2.26e-7 nch=1e15 nsub=8e14 xt=8.66e-8
+vt0=-1.24 u0=400 wint=1.0e-6 lint=1e-6
+ngate=5e20 rsh=1347 js=3.15e-8 jsw=3.51e-8 cj=5.28e-8 mj=0.5
pb=0.94
+cjsw=1.19e-10 mjsw=0.5 pbsw=0.94 pclm=5
+cgso=4.5e-10 cgdo=4.5e-10 cgbo=5.75e-10)
*
*font: https://people.rit.edu/lffeee/CD4007_SPICE_MODEL.pdf*
simulator lang=spectre
dc_sweep dc hysteresis=yes param=Vinput start=0 stop=Vsupply
step=0.0001

```