

MAICON DEIVID PEREIRA

**AMPLIFICADOR DE BAIXO RUÍDO CMOS PORTA
COMUM PARA 2,4 GHZ**

Florianópolis

2009

UNIVERSIDADE FEDERAL DE SANTA CATARINA

**PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

**AMPLIFICADOR DE BAIXO RUÍDO CMOS PORTA
COMUM PARA 2,4 GHZ**

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica

MAICON DEIVID PEREIRA

Florianópolis, Setembro de 2009

AMPLIFICADOR DE BAIXO RUÍDO CMOS PORTA COMUM PARA 2,4 GHZ

Maicon Deivid Pereira

‘Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em *Circuitos e Sistemas Integrados*, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

Prof. Márcio Cherem Schneider, D.Sc.
Orientador

William Prodanov, Ph.D. Co-Orientador

Prof. Roberto de Souza Salgado, Ph.D.
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

Márcio Cherem Schneider, D.Sc.
Presidente

Carlos Galup-Montoro, Dr.

Fernado Rangel de Sousa, Dr.

Adroaldo Raizer, Dr.

Carlos Aurélio Faria da Rocha, Dr.

William Prodanov, Ph.D.

AGRADECIMENTOS

Agradeço a meus pais Maria e Edmilson, e meus irmãos Bianca, Diogo e Samanta por me incentivarem, na maioria das vezes, a dar continuidade aos estudos mesmo com todas as dificuldades e privações que me foram impostas. Aos meus amigos em Tijuca e Florianópolis, Wagner, Filipe, Rafael, Gabriel, Eurico e Willian, e aos colegas do LCI, do Grude, do Grante, e muitos do curso de Engenharia Elétrica por compartilharem comigo as dificuldades e recompensas da vida cotidiana e acadêmica. Aos Meus professores no LCI e Grude, Márcio, Galup e Carlo por estarem dispostos a me ensinar e compartilhar o conhecimento.

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

AMPLIFICADOR DE BAIXO RUÍDO CMOS PORTA COMUM PARA 2,4 GHZ

Maicon Deivid Pereira

Setembro/2009

Orientador: Márcio Cherem Schneider, Dr. Eng.

Co-Orientador: William Prodanov, Ph.D.

Área de Concentração: Circuitos e Sistemas Integrados.

Palavras-chave: Amplificador de baixo ruído, LNA, CMOS, modelo ACM, amplificador porta comum, fonte comum.

Número de páginas: 61

RESUMO

Este trabalho apresenta um projeto de um amplificador de baixo ruído (LNA - do inglês, *Low Noise Amplifier*) em tecnologia CMOS operando em 2,4 GHz. Inicialmente é feita uma análise das características das topologias mais utilizadas: o LNA fonte comum e o LNA porta comum, avaliando o desempenho com relação a ganho, impedância de entrada, fator de ruído, consumo de potência e área. Utilizando o modelo ACM (*Advanced Compact Model*) projeta-se o LNA porta comum para atender as especificações de um receptor para telefones sem fio operando na banda ISM (*Industrial, Scientific and Medical*) em 2,4 GHz. A verificação do projeto é feita através de simulações com modelos adequados para rádio frequência e o leiaute do circuito é criado visando medidas experimentais diretamente no *die*.

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

A 2.4 GHZ CMOS COMMON-GATE LOW NOISE AMPLIFIER

Maicon Deivid Pereira

September/2009

Advisor: Márcio Cherem Schneider, Dr. Eng.

Co-Advisor: William Prodanov, Ph.D.

Area of Concentration: Integrated Circuits and Systems

Keywords: Low noise amplifier, LNA, CMOS, common-gate amplifier, common-source.

Number of Pages: 61

ABSTRACT

This work presents a design of a CMOS low noise amplifier (LNA) operating at 2.4 GHz. Initially, an analysis of the most used topologies characteristics is presented: the common-source and the common-gate LNAs. The analyses consider their gain, input impedance, noise factor, power consumption, and area. Using the ACM (Advance Compact Model), the common gate LNA is designed to satisfy the specifications of a receiver for cordless phones operating in the ISM (*Industrial, Scientific and Medical*) band at 2.4 GHz. The design verification was done by means of simulations with proper radio frequency models and the layout is generated with the aim of on die measurements.

SUMÁRIO

RESUMO	i
ABSTRACT.....	ii
SUMÁRIO	iii
LISTA DE FIGURAS	v
LISTA DE ABREVIÇÕES.....	vi
LISTA DE SÍMBOLOS	vii
LISTA DE TABELAS.....	ix
1 - Introdução.....	1
1.1 - Sistemas de comunicação	3
1.2 - LNA.....	5
1.2.1 - Ruído	7
1.2.2 - Parâmetros S.....	13
1.2.3 - Ponto de compressão de 1 dB	15
2 – Projeto do LNA porta comum.....	16
2.1 - Topologias	16
2.2 - Tecnologia, modelo e demais considerações.....	21
2.3 - Projeto de M1	24
2.3.1 - Impedância de entrada	24
2.3.2 - Ganho	31
2.3.3 - Figura de ruído.....	32
2.2 - Projeto dos circuitos de polarização.....	36
3 - Simulações.....	41
3.1 - Análise DC.....	42
3.2 - Análise AC.....	43
3.2.1 - Ganho	44
3.2.2 - Z_{in} , S_{11} e S_{12}	45
3.2.3 - Figura de ruído.....	47
3.2.4 - Ponto de compressão de 1 dB	48
4 - Leiaute.....	51
4.1 – “Pads”	52
4.2 - Bloco principal.....	54
5 - Considerações finais	57

6 – Referências Bibliográficas..... 58

LISTA DE FIGURAS

Figura 1.1 – Diagrama de blocos de um transceptor típico [8]. Rx representa o receptor e Tx o transmissor.	4
Figura 1.2 – Valores de γ extraídos (símbolos) e modelados versus V_{DS} , para $V_{GS} = 0,6$ V e $V_{GS} = 1,6$ V com transistores de várias tecnologias[11].	9
Figura 1.3 – Modelo de ruído para o transistor MOS.	10
Figura 1.4 – Fator de ruído para componentes em cascata.	11
Figura 1.5 – Modelo equivalente de ruído para sistemas de 2 portas.	11
Figura 1.6 – Representação em parâmetros S de um sistema de duas portas.	14
Figura 1.7 – Ponto de compressão a 1 dB.	15
Figura 2.1 – LNAs: (a1 e a2) fonte comum com degeneração, (b1 e b2) porta comum.	18
Figura 2.2 – Circuito completo do LNA.	22
Figura 2.3 – LNA com fontes de polarização ideais.	24
Figura 2.4 – Circuito pequeno sinal para cálculo de Z_{in}	25
Figura 2.5 – Frequência de transição versus nível de inversão para $L = 0,35$ μm	26
Figura 2.6 – Circuito pequeno sinais equivalente ao circuito apresentado na Figura 2.3 para cálculo do fator de ruído.	32
Figura 2.7 – Espelho de alta excursão de sinal e referência de tensão.	37
Figura 3.1 – Subcircuito para o transistor MOS em RF.	41
Figura 3.2 – Configuração para simulação do ganho de tensão.	44
Figura 3.3 – Ganho de tensão do LNA.	45
Figura 3.4 – Ampliação do ganho de tensão simulado na banda de interesse.	45
Figura 3.5 – Configuração para simulação de parâmetros S.	46
Figura 3.6 – Parte real e imaginária de Z_{in}	46
Figura 3.7 – Índice de reflexão na entrada, S_{11}	47
Figura 3.8 – Isolação Reversa, S_{12}	47
Figura 3.9 – Figura de ruído para o LNA.	48
Figura 3.10 – Ponto de compressão de 1 dB.	49
Figura 4.1 – Leiaute do LNA.	51
Figura 4.2 – Estrutura do <i>bond pad</i>	53
Figura 4.3 – Distâncias entre pads adjacentes e alinhados.	54
Figura 4.4 – Estruturas para <i>de-embedding</i> : <i>short</i> , <i>open</i> e <i>thru</i>	54
Figura 4.5 – Leiaute do indutor.	55
Figura 4.6 – Detalhe do leiaute do LNA.	55

LISTA DE ABREVIACOES

AC – Corrente alternada
ACM – Advanced Compact Model
BiCMOS – Bipolar CMOS
CAG – Controle Automtico de Ganho
CG – Common-Gate
CMOS – Complementary MOS
CS – Common-Source
DC – Corrente contnua
FI – Frequncia Intermediria
FM – Frequency Modulation
FPB – Filtro Passa Banda
LNA – Low Noise Amplifier
MOS – Metal Oxide Semiconductor
RF – Rdio Frequncia

LISTA DE SÍMBOLOS

- ϕ_t – Potencial térmico
 μ – Mobilidade dos portadores de carga
 c – Coeficiente de correlação entre ruído do canal e ruído induzido na porta
 C'_{ox} – Capacitância do óxido por unidade de área
 C_{bd} – Capacitância entre substrato e dreno
 C_{bs} – Capacitância entre substrato e fonte
 C_{gd} – Capacitância entre porta e dreno
 C_{gdov} – Capacitância de *overlap* entre porta e dreno
 C_{gs} – Capacitância entre porta e fonte
 C_{gsov} – Capacitância de *overlap* entre porta e fonte
 C_{in} – Capacitância total de entrada
 C_{jd} – Capacitância da junção do dreno
 C_{js} – Capacitância da junção da fonte
 C_L – Capacitância de carga
 C_{out} – Capacitância total de saída
 F – Fator de ruído
 f_0 – Frequência de operação
 f_T – Frequência de transição
 g_{ds0} – Condutância entre dreno e fonte para $V_{DS} = 0$
 g_{md} – Transcondutância de dreno
 g_{mg} – Transcondutância de porta
 g_{ms} – Transcondutância de fonte
 G_V – Ganho de tensão
 I_d – Corrente de dreno
 i_f – Nível de inversão direto
 i_{nd} – Ruído induzido no canal
 i_{ng} – Ruído induzido na porta
 i_{ngc} – Ruído induzido na porta correlacionado com o ruído do canal
 i_{ngu} – Ruído induzido na porta não correlacionado com o ruído do canal
 i_{nr} – Ruído térmico de um resistor
 i_{ond} – Ruído induzido no canal referido à saída
 i_{ong} – Ruído induzido na porta referido à saída
 i_{ongc} – Ruído induzido na porta correlacionado com o canal referido à saída
 i_{ongu} – Ruído induzido na porta não correlacionado com o canal referido à saída

i_{onr} – Ruído térmico de um resistor referido à saída
 i_r – Nível de inversão reverso
 I_S – Corrente de normalização
 I_{S_q} – Corrente de normalização quadrada
 k – Constante de Boltzmann
 L – Comprimento do canal
 NF – Figura de ruído
 OP_{1dB} – Ponto de compressão de ganho na saída
 q'_{id} – Densidade de carga de inversão normalizada no dreno
 q'_{is} – Densidade de carga de inversão normalizada na fonte
 RL – Resistor de carga
 R_s – Resistência da fonte de sinal
 S_{11} – Índice de reflexão na entrada
 S_{12} – Isolação reversa
 T – Temperatura absoluta
 V_d – Tensão do dreno
 V_{DSsat} – Tensão de saturação entre dreno e fonte
 V_P – Tensão de *pinch-off*
 V_s – Tensão da fonte
 V_{T0} – Tensão de limiar
 W – largura do canal
 Z_{in} – Impedância de entrada
 Z_L – Impedância de carga
 α – Coeficiente de saturação
 γ – Coeficiente de ruído no canal
 δ – Coeficiente de ruído na porta
 ω_0 – Frequência angular de operação
 ω_T – Frequência angular de transição

LISTA DE TABELAS

Tabela 1.1 – Penetração mundial das telecomunicações na última década [1] (em percentual da população mundial).	2
Tabela 1.2 – Especificações para o LNA.	6
Tabela 2.1 – Características dos amplificadores fonte comum e porta comum [26], [19].	19
Tabela 2.2 – Conjunto básico de equações para o modelo ACM.	23
Tabela 2.3 – Largura de canal de M3 a M7 para $L = 0,35 \mu\text{m}$	39
Tabela 2.4 – Dimensões e valores dos componentes.	40
Tabela 3.1 – Modelos para simulação utilizados.	42
Tabela 3.2 – Valores DC para o LNA.	43
Tabela 3.3 – Comparação entre resultados e requisitos a 2,4 GHz.	49
Tabela 4.1 – Parâmetros elétricos para <i>bond wire</i> de 2 mm x 25,4 μm [44].	52

1 - INTRODUÇÃO

O domínio da eletricidade talvez nunca seja considerado o grande avanço de todos os tempos da humanidade, mas certamente alterou radicalmente nosso modo de vida nos últimos 150 anos desde seu aparecimento. Do gerador ao motor elétrico, da lâmpada ao telégrafo, passando pelo telefone, pelo rádio, pela televisão, além de uma infinidade de outros aparelhos, culminando com o computador, chegamos a uma fase em que dispositivos movidos pela eletricidade aparecem em praticamente todas as atividades que nos cercam. Os novos aparelhos que inundam o mercado todos os dias recebem cada vez mais funcionalidades, ficam menores, mais leves e consomem menos energia. Se observarmos, de todas as virtudes técnicas, a mais divulgada e cobiçada nos dias de hoje é a comunicação sem fio. Home theaters, video-games, telefones, redes de computadores, redes de sensores, enfim uma diversidade de equipamentos estampa essa capacidade que há muito tempo estava limitada a nossas TVs e rádios. E é essa característica específica, aliada à contínua expansão da telefonia móvel iniciada nos anos 80, que tem atraído grande atenção da indústria e academia para pesquisa e desenvolvimento no campo da eletrônica de rádio-frequência (RF).

Em termos de alterações no mercado de comunicação, a última década viu um crescimento massivo no acesso da população ao telefone móvel e à internet, como mostra a Tabela 1.1. A telefonia fixa, apesar do crescimento, tem ficado para trás evidenciando a tendência de migração para os telefones móveis. Na China, por exemplo, entre janeiro e setembro de 2008 o número de usuários de telefones celulares aumentou 1,47% ao mês, enquanto que para os telefones fixos houve uma redução de 0,38% ao mês, uma tendência já iniciada há algum tempo em países desenvolvidos [1]. Esse aumento de popularidade tem suas raízes na saturação da telefonia fixa, cuja infraestrutura não tem a capacidade de evoluir na velocidade necessária, e nas facilidades agregadas ao uso dos telefones celulares, nominalmente a portabilidade e as funcionalidades. Os aparelhos portáteis atuais possuem câmeras fotográficas, gravam áudio, reproduzem músicas e vídeos, são televisão e rádio, e até o acesso à internet antigamente restrito aos computadores está encontrando seu espaço com os aparelhos de terceira geração (3G).

Tabela 1.1 – Penetração mundial das telecomunicações na última década [1] (em percentual da população mundial).

	Janeiro de 1998	Janeiro de 2008
Internet	2,0 %	19,1 %
Telefonia fixa	13,66 %	19,46 %
Telefonia móvel	3,68 %	48 %

Mas esta revolução tem um custo, tecnologicamente falando, e não são apenas os avanços na miniaturização dos transistores através de processos litográficos extremamente complexos, e que têm ajudado a manter a lei de Moore válida, os únicos responsáveis por essa expansão ou por sua manutenção. Inovações importantes em circuitos, arquitetura de sistemas, padrões de comunicação, códigos de compactação de dados, encapsulamento, programas para projeto e simulação de sistemas e circuitos, entre outros, também são necessários para dar continuidade a essa massificação dos dispositivos de comunicação, sejam eles portáteis ou não. De fato, novas exigências como a capacidade de trabalhar em mais de um padrão de comunicação, com diferentes frequências de operação, requisitos de filtragem e desempenho, têm aumentando drasticamente a complexidade dos sistemas de comunicação.

Em geral o aumento da complexidade leva à opção pela integração nos chamados SOC's (*System On Chip*) que, apesar de ser uma solução, nem sempre é viável ou evidente se comparada às implementações usando componentes discretos, já que várias questões emergem como: escolha do processo de fabricação, desempenho, *time-to-market* e gerenciamento da equipe de desenvolvimento [2].

Nessa busca pelo dispositivo universal as últimas soluções são o 'rádio definido por software', no qual todo o tratamento do sinal, desde a antena, é feito por software, ou seja, em domínio digital; e os sistemas MIMO (*multiple input multiple output*) de múltiplas antenas, onde o sinal das várias antenas é combinado permitindo uma comunicação mais confiável e taxas de transferência de dados maiores [3].

No que diz respeito aos desafios ligados à integração dos dispositivos usando tecnologia CMOS, bipolar ou BiCMOS, as dificuldades estão em conseguir operar em frequências cada vez maiores, com requisitos de ganho elevado, banda, linearidade, reduzida tensão de alimentação e baixo consumo de área, simultaneamente. A tecnologia CMOS vem ganhando espaço no projeto de circuitos RF, historicamente dominado por

transistores bipolares devido ao seu desempenho superior com relação a ganho, impedância de saída, ruído e máxima frequência de operação. A busca por essa mudança se deve ao fato de os circuitos digitais para processamento em banda base também necessitarem de tecnologia CMOS.

Assim, a produção em tecnologia CMOS do *front-end* RF permitiria a integração de todo o sistema em uma única tecnologia, e se beneficiaria dos avanços técnicos da mesma, principalmente o escalonamento do comprimento do canal dos transistores, o que tem permitido a operação em frequências maiores, menor consumo e redução nos custos de fabricação.

Dentro deste contexto, este trabalho visa iniciar as atividades do Laboratório de Circuitos Integrados (LCI) na área de circuitos integrados em RF, complementando o projeto que começou com a criação, há alguns anos, da disciplina EEL7411 – Circuitos Eletrônicos em RF, na qual é montado um transceptor FM para 24 MHz apenas com componentes discretos comerciais.

Mais especificamente, o objetivo é projetar um amplificador de baixo ruído (LNA), um dos blocos em circuitos receptores, utilizando tecnologia CMOS para operar em 2,4 GHz e que possa fazer parte de um receptor adequado ao esquema de modulação VAEE (Voz Amostrado com Espalhamento Espectral) [4], como alternativa ao padrão DECT (*Digital Enhanced Cordless Telecommunications*) [5] utilizado em telefones sem fio. Como o projeto é dirigido à integração do circuito em silício utilizando tecnologia CMOS, sua execução permitirá identificar necessidades teóricas e experimentais mais específicas e estritamente ligadas à integração dos componentes. Além disso, será possível verificar o desempenho do modelo ACM (*Advanced Compact Model*) [6], desenvolvido no LCI, no projeto de circuitos RF, e criar uma familiarização com as ferramentas de simulação para circuitos em RF.

1.1 - Sistemas de comunicação

Os sistemas de comunicação evoluíram de alguns blocos unicamente analógicos, com poucos componentes e operando em frequências de dezenas de MHz, como os sistemas FM, para circuitos complexos contendo simultaneamente células analógicas exclusivamente para o processamento em alta frequência, o chamado *front end*, que operam na casa dos GHz, e células digitais para manipular o sinal em baixa frequência ou banda base, o chamado *back end*. Um exemplo desse tipo de sistema são os aparelhos celulares atuais.

Uma das principais razões para essa mudança é ocupação do espectro eletromagnético para comunicação. À medida que aumentam a quantidade de sinais e as taxas de transmissão de dados há a necessidade de alocar novas faixas de frequência, utilizar métodos mais eficientes de modulação e projetar circuitos mais robustos a interferências, levando a modificações nas topologias e ao inevitável aumento de complexidade.

A Figura 1.1 apresenta um diagrama de blocos para um transceptor (transmissor e receptor) típico. A arquitetura na figura é dita heterodina, devido ao sinal de RF ser convertido para a uma frequência intermediária (FI) antes de ser convertido para banda base, diferente de arquiteturas homodinas nas quais o sinal de RF é convertido diretamente para banda base. A vantagem desse tipo de arquitetura reside na menor dificuldade de se projetar filtros para uma frequência intermediária do que para frequências de RF. Sua principal desvantagem é o aparecimento da frequência imagem que pode interferir no sinal de interesse. Esse problema não aparece nas soluções homodinas que, contudo, podem apresentar dificuldades com offset DC, distorção devido a harmônicas de ordem par, ruído *flicker*, entre outros [7].

O transceptor apresentado está dividido em três estágios de frequência, a começar pelo estágio banda base que geralmente é responsável pela modulação, demodulação, processamento digital e conversão analógico-digital do sinal. Em seguida há o estágio de FI que faz a interface entre a alta frequência do RF e a banda base, onde é comum encontrar filtros, conversores digital-analógico, blocos para controle de ganho automático, etc. E finalmente o estágio de RF onde está o bloco de interesse, o LNA, que será explicado com mais detalhes a seguir.

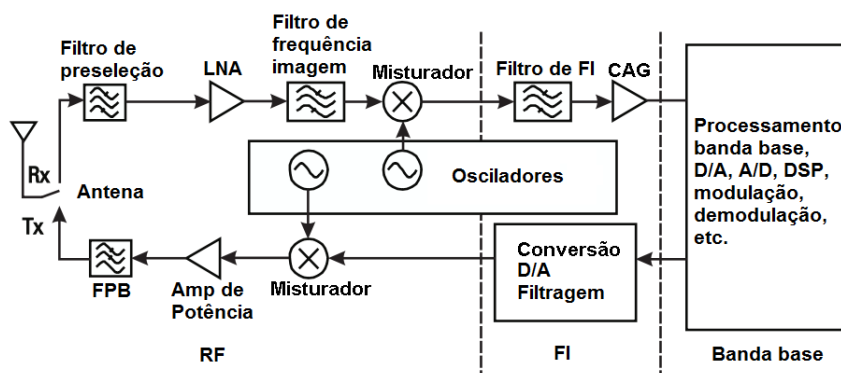


Figura 1.1 – Diagrama de blocos de um transceptor típico [8]. Rx representa o receptor e Tx o transmissor.

No transmissor o estágio de RF é composto pelo misturador (*mixer*), responsável pela translação do sinal para alta frequência com o auxílio do oscilador, o amplificador de potência que fornece o ganho necessário ao sinal antes da transmissão e filtros para limitar interferências em sinais de bandas vizinhas à de transmissão. No receptor, após a antena há o filtro de pré-seleção, seguido pelo amplificador de baixo ruído que faz a primeira amplificação do sinal recebido, possivelmente extremamente atenuado. Segue outro filtro para eliminar o problema da frequência imagem, e neste momento o sinal já pode ser convertido para a FI através do *mixer* e do oscilador.

1.2 - LNA

O LNA, como visto, é um dos primeiros estágios do sistema receptor, e sua função e posição na cadeia de recepção definem de forma específica seus critérios de projeto. De uma maneira geral, sabendo que todo circuito gera alguma forma de ruído, a principal função do LNA é amplificar o sinal recebido adicionando o mínimo de ruído possível para que o mesmo possa ser processado adequadamente nos estágios seguintes e atenda os requisitos de relação sinal-ruído para decodificação do esquema de modulação usado. Outra imposição é que o LNA deve ser capaz de fornecer um casamento de impedâncias adequado ao filtro (ou em alguns casos à antena) que o precede, pois essa característica é essencial para o desempenho de filtros de seleção além de maximizar a transferência de potência. A Tabela 1.2 apresenta o conjunto de especificações para o projeto do LNA a ser projetado de acordo com as necessidades de um receptor baseado no esquema de modulação VAEE.

O VAEE (Voz Amostrado com Espalhamento Espectral) é um esquema de modulação para telefones sem fio que operam na banda ISM (*Industrial, Scientific and Medical*) em 2,4 GHz e que foi desenvolvido conjuntamente entre a Universidade Federal de Santa Catarina, através do trabalho de dissertação de João Martinho da Costa [4], e a empresa Intelbras, como uma alternativa para o padrão DECT, amplamente utilizado atualmente. Os objetivos principais para o desenvolvimento de novo esquema foram a eventual redução do consumo e o maior alcance. Essas características foram alcançadas com o uso da técnica de espalhamento espectral, que distribui deliberadamente o sinal no domínio da frequência, causando naturalmente um aumento da banda utilizada, mas que com isso apresenta maior robustez a interferências possibilitando um maior alcance para a mesma potência transmitida, ou seja, contemplando os dois objetivos iniciais.

A escolha de operar com o VAEE na banda ISM em 2,4 GHz é bastante sensata tendo em vista que essa faixa de frequência é mundialmente utilizada como 'não licenciada' e, portanto, é adequada para sistemas de comunicação de curto alcance, como telefones sem fio, enquanto que apenas Estados Unidos, Israel e Austrália também utilizam a outra banda ISM em 900 MHz. O fato de o padrão ser competidor com o DECT também é extremamente relevante, pois a criação do padrão e sua eventual adoção pela indústria eletrônica nacional ou internacional na produção de telefones sem fio, poderia reduzir os custos dessa tecnologia para o Brasil, que atualmente importa todos os chips DECT utilizados. Ainda, do ponto de vista da produção de circuito integrados, a operação em 2,4 GHz apresenta uma maior facilidade para integração dos circuitos para um transceptor que opere nessa banda se comparada a banda ISM em 900 MHz.

A empresa Intelbras, junto ao seu departamento de desenvolvimento, está projetando um receptor baseado nesse esquema, e com o intuito de aproximar universidade e indústria, compartilhando conhecimento e experiências, e verificar as possibilidades de projeto forneceu as especificações comerciais completas apresentadas na Tabela 1.2 para o amplificador de baixo ruído, exceto pelo requisito de tecnologia. A tecnologia adotada pela Intelbras é BiCMOS e permite que o projeto do LNA seja implementado usando transistores bipolares, que possuem uma característica de ruído térmico mais robusta que o CMOS, o qual será adotado no projeto aqui apresentado. Essa diferença permitirá avaliar as dificuldades de projeto e o desempenho do LNA com CMOS, e utilizar a experiência do LCI em projeto CMOS utilizando o modelo ACM [6].

Tabela 1.2 – Especificações para o LNA.

Parâmetro	Requisitos
Ganho de tensão (G_V)	≥ 13 dB
Impedância de entrada (Z_{in})	50 Ω
Coeficiente de reflexão na entrada (S_{11})	≤ -12 dB
Isolação reversa (S_{12})	≥ 30 dB
Figura de ruído (NF)	≤ 3 dB
Ponto de compressão de 1 dB referido à saída ($OP_{1\text{ dB}}$)	≥ -10 dBm
Faixa de passagem	700 kHz
Frequência de operação (f_0)	2,4 GHz

Outras características ou requisitos gerais do estágio de RF do sistema não foram informados. Atualmente sabe-se que as especificações foram alteradas baseadas em modificações do projeto do sistema receptor. De qualquer forma o fato de o projeto ser para a banda ISM em 2,4 GHz, liberada para uso de sistemas comunicação não licenciados, possibilita que o LNA seja incorporado a qualquer novo padrão criado ou mesmo que seja utilizado em algum dos demais padrões de comunicação que fazem uso dessa faixa de frequência como ZigBee. Paralelamente ao projeto do LNA vem sendo desenvolvido um misturador pelo mestrando Juliano de Quadro Moreira do Laboratório de Circuitos Integrados, com características compatíveis ao deste LNA, para utilização no mesmo receptor. Informações sobre a existência de algum filtro entre os blocos do LNA e do misturador, não foram fornecidas.

Voltando à tabela 1.2, parte dos requisitos é associada a medidas de desempenho praticamente exclusivas de circuitos de RF e, portanto, será feita uma breve discussão sobre tais requisitos a seguir.

1.2.1 - Ruído

Existem vários tipos de ruído: térmico, *shot*, *flicker*, *popocorn* (ou *burst*) [6], [9]. Mas para os transistores MOS o ruído térmico e o ruído *flicker* são os mais importantes.

O ruído *flicker* também é conhecido como ruído $1/f$, devido a sua dependência com o inverso da frequência, e portanto, não é uma fonte relevante para a alta frequência, sendo desprezado em RF. Mais relevante para a frequência de operação do LNA é o ruído térmico, que será descrito a seguir.

O ruído térmico constitui-se de uma corrente ou tensão aleatória que tem origem na agitação térmica dos portadores de carga em condutores. O efeito é similar ao movimento Browniano de partículas suspensas em um líquido, explicado pelo teorema da equipartição da física estatística [6]. Essa característica de aleatoriedade do ruído faz com que o ruído térmico seja descrito por variáveis estatísticas.

O ruído térmico de resistores é caracterizado por uma densidade espectral de potência independente da frequência (ruído branco) que pode ser descrito pela equação:

$$\overline{i_{nR}^2} = 4kT \frac{1}{R} \Delta f \quad (1.1)$$

Onde k é a constante de Boltzmann e T é a temperatura absoluta. Transistores MOS apresentam ruído térmico devido à característica resistiva do canal. O ruído do canal se deve à agitação térmica das cargas no mesmo e é descrito pela equação:

$$\overline{i_{nd}^2} = 4kT \gamma g_{ds0} \Delta f \quad (1.2)$$

Onde g_{ds0} é a condutância dreno-fonte para $V_{DS} = 0$, e γ é o coeficiente de excesso de ruído do canal.

Para transistores canal longo em saturação $\gamma = 2/3$ e na região linear $\gamma = 1$. Contudo para transistores canal curto há um aumento desse parâmetro. Enquanto [9] aponta que γ pode ser tão grande quanto 2 ou 3, e [10], [6] apontam valores da mesma ordem para operação em inversão forte, estudos apresentados por [11], [12], [13] concordam com valores menos pessimistas, na ordem de $\gamma = 1,5$ ou menos. A Figura 1.2 apresenta os resultados de [11] para uma análise teórica levando em consideração polarização de dreno e porta, efeitos da velocidade de saturação dos portadores, modulação do comprimento de canal e elétrons quentes, apresentando boa concordância com medidas experimentais, para transistores de comprimento mínimo em diferentes tecnologias.

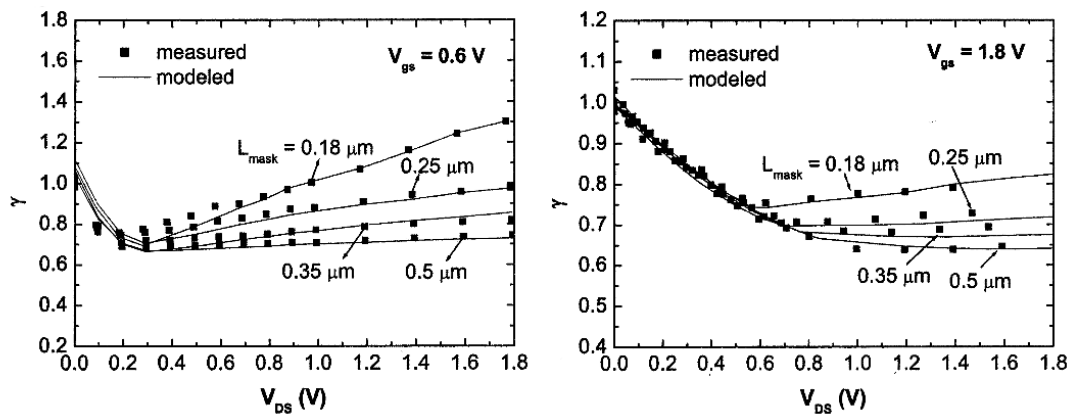


Figura 1.2 – Valores de γ extraídos (símbolos) e modelados versus V_{DS} , para $V_{GS} = 0,6$ V e $V_{GS} = 1,6$ V com transistores de várias tecnologias[11].

Das figuras é possível notar que para região linear o valor de γ é independente do comprimento do canal. Contudo na saturação há um aumento de γ mais pronunciado para dispositivos de canal mais curto e tensões de porta menores, que é atribuído por [11], [12] ao efeito de modulação do comprimento do canal.

A agitação térmica dos portadores no canal do transistor produz um potencial flutuante que é acoplado capacitivamente à porta do transistor dando origem ao chamado ruído induzido na porta, que para condição de inversão forte é dado pela equação (uma análise mais ampla, e válida para todos os níveis de inversão está disponível em [6]):

$$\overline{i_{ng}^2} = 4kT\delta g_g \Delta f, \quad (1.3)$$

onde δ é o coeficiente de ruído da porta, seu valor é 4/3 para transistores canal longo, o dobro de γ , e como a origem do ruído é a mesma nos dois casos, para canal curto considera-se que a relação δ/γ permanece constante [9]. O parâmetro g_g representa a componente real (condutiva) da admitância de porta e é dado por:

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{ds0}} \quad (1.4)$$

$$\overline{i_{ng}^2} = \overline{i_{ngu}^2} + \overline{i_{ngc}^2} = 4kT\delta g_g (1 - |c|^2) \Delta f + 4kT\delta g_g |c|^2 \Delta f \quad (1.5)$$

$$c \equiv \frac{\overline{i_{ng} i_{nd}^*}}{\sqrt{\overline{i_{ng}^2}} \sqrt{\overline{i_{nd}^2}}} \quad (1.6)$$

A equação (1.5) representa a corrente de ruído da porta dividida em uma porção correlacionada com o ruído do canal e outra independente. O termo c , definido em (1.6), é o coeficiente de correlação, que para transistores canal longo operando em regime de

saturação varia entre $j0,58$ na inversão fraca e $j0,395$ na inversão forte [6]. A natureza puramente capacitiva do acoplamento do canal com a porta é a razão de o coeficiente de correlação c entre o ruído induzido de porta e o ruído do canal ser puramente imaginário.

A Figura 1.3 apresenta a representação de ruído pequeno sinal para o transistor MOS.

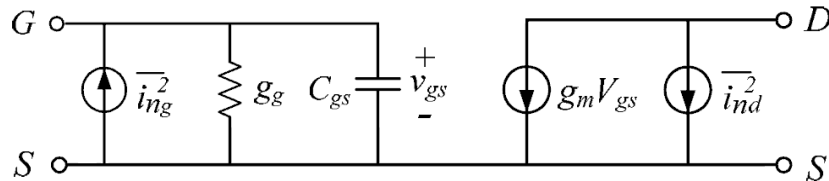


Figura 1.3 – Modelo de ruído para o transistor MOS.

Uma maneira de avaliar a quantidade de ruído adicionada pelos circuitos eletrônicos de recepção ao sinal de entrada é calculando a figura de ruído NF, que é a representação em dB do fator de ruído F ($NF = 10\log(F)$). O fator de ruído é definido pela equação (1.7), onde $SNR_x = S_x/N_x$, é a chamada relação sinal-ruído, S_x é a potência do sinal e N_x é a potência do ruído na banda de observação. Sabendo que $S_{saída} = G \cdot S_{entrada}$ é possível chegar à segunda igualdade da equação (1.7), onde $N_{saída(adicionado)}$ é o ruído total adicionado pelo circuito referido à saída, e $N_{saída(fonte)}$ é o ruído da fonte de entrada referido à saída.

$$F = \frac{SNR_{entrada}}{SNR_{saída}} = 1 + \frac{N_{saída(adicionado)}}{N_{saída(fonte)}} \quad (1.7)$$

O mesmo processo permite deduzir a chamada equação de Friss (1.8), para componentes ou sistemas em cascata, como exemplificado na Figura 1.4. Nela pode-se ver que, exceto pelo fator de ruído do primeiro estágio F1, os estágios seguintes têm suas contribuições ao ruído total atenuadas pelo ganho dos estágios anteriores. A análise de (1.8) mostra a importância de minimizar-se o ruído e fornecer alto ganho ao primeiro estágio (LNA).

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} \quad (1.8)$$

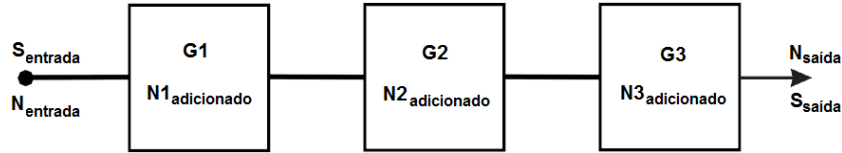


Figura 1.4 – Fator de ruído para componentes em cascata.

No projeto de circuitos em que o objetivo é minimizar o ruído, é útil fazer uma análise do sistema em termos de quadripolos, representando o circuito ruidoso como um sistema de duas portas cujo ruído foi referido à entrada e é representado por uma tensão de ruído v_n e uma corrente de ruído i_n . O ruído da fonte de sinal tem uma representação Norton que facilita as deduções e é representada por uma fonte i_s e um admitância $Y_s = G_s + jB_s$, como mostra a Figura 1.5.

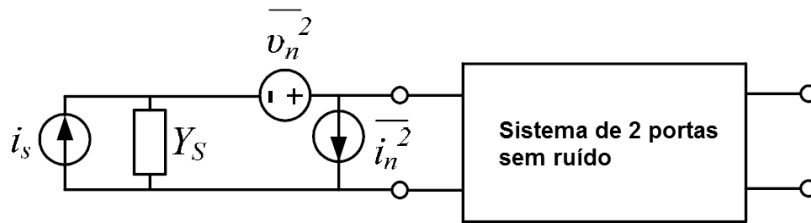


Figura 1.5 – Modelo equivalente de ruído para sistemas de 2 portas.

Assim, assumindo que o ruído da fonte é não correlacionado com o ruído do sistema, para um sistema de duas portas chegasse-se a seguinte expressão para o fator de ruído:

$$F = \frac{\overline{i_s^2} + \overline{|i_n + Y_s v_n|^2}}{\overline{i_s^2}} \quad (1.9)$$

Para levar em conta uma possível correlação entre as fontes de ruído do sistema duas portas, i_n e v_n , i_n é expresso em duas componentes, uma correlacionada com v_n , denominada i_c , e outra não correlacionada, denominada i_u :

$$i_n = i_c + i_u. \quad (1.10)$$

A relação entre a corrente correlacionada i_c e v_n é dada por $i_c = Y_c V_n$, onde $Y_c = G_c + jB_c$ é a admitância de correlação, e permite reescrever 1.9 como:

$$F = \frac{\overline{i_s^2} + \overline{[i_n + (Y_c + Y_s)v_n]^2}}{\overline{i_s^2}} = 1 + \frac{\overline{i_u^2} + |Y_c + Y_s|^2 \overline{v_n^2}}{\overline{i_s^2}}. \quad (1.11)$$

As fontes de ruído térmico na expressão (1.11) podem ser representadas por resistência ou condutâncias equivalentes dadas por:

$$R_n \equiv \frac{\overline{v_n^2}}{4kT\Delta f}, \quad (1.12)$$

$$G_u \equiv \frac{\overline{i_u^2}}{4kT\Delta f}, \quad (1.13)$$

$$G_s \equiv \frac{\overline{i_s^2}}{4kT\Delta f}. \quad (1.14)$$

Que permitem reescrever 1.11 como:

$$F = 1 + \frac{G_u + [(G_c + G_s)^2 + (B_c + B_s)^2] R_n}{G_s}. \quad (1.15)$$

Tomando a primeira derivada de 1.15 com relação à admitância da fonte, $Y_s = G_s + jB_s$, e igualando a zero, é possível identificar as condições gerais para minimizar a figura de ruído:

$$B_{s,opt} = -B_c, \quad (1.16)$$

$$G_{s,opt} = \sqrt{\frac{G_u}{R_u} + G_c^2}. \quad (1.17)$$

Que quando substituídas em 1.15 fornecem:

$$F_{min} = 1 + 2R_n \left(\sqrt{\frac{G_u}{R_u} + G_c^2} + G_c \right). \quad (1.18)$$

É possível ainda reescrever 1.15 em função de F_{min} e Y_s , chegando à expressão:

$$F = F_{min} + \frac{\left[(G_s - G_{s,opt})^2 + (B_s + B_{s,opt})^2 \right] R_n}{G_s}. \quad (1.19)$$

É importante apontar que as condições que levam à minimização do ruído não necessariamente maximizam a transferência de potência, e que, exceto por coincidência, não há razão para crer que a susceptância de correlação será igual à susceptância da fonte. Portanto, deve-se aceitar redução no ganho de potência se o desempenho de ruído for otimizado [9].

1.2.2 - Parâmetros S

Os parâmetros S ou parâmetros de espalhamento são mais uma maneira de descrever sistemas de duas portas. Em alta frequência, como em RF ou microondas, os parâmetros Z e Y, que descrevem sistemas de duas portas em termos de impedâncias e

admitâncias, tornam-se difíceis de medir devido a dificuldade de criar terminações do tipo circuito aberto ou curto circuito para banda larga, dando lugar aos parâmetros S, que utilizam uma impedância de referência Z_0 , geralmente real e igual a 50 Ohms, para as terminações da fonte e carga.

Nessa representação as variáveis de entrada e saída são definidas em termos de ondas de tensão incidentes a_i , e refletidas b_i . A matriz S é dada em (1.20), onde b_1 e b_2 são as ondas de tensão refletidas na entrada e saída, respectivamente, e a_1 e a_2 são as ondas de tensão incidentes na entrada e saída, respectivamente.

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (1.20)$$

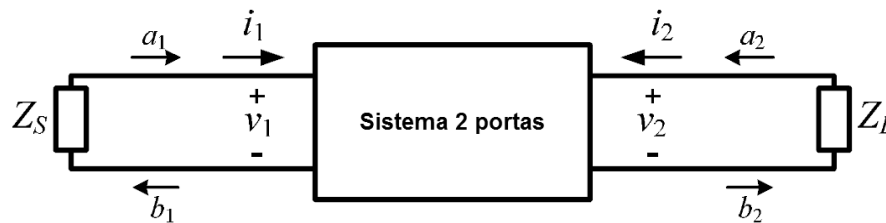


Figura 1.6 – Representação em parâmetros S de um sistema de duas portas.

Estas ondas estão relacionadas às tensões e correntes nos terminais de cada porta como mostra Figura 1.6, e são dadas de acordo com as equações:

$$a_i = \frac{v_i + Z_0 i_i}{2\sqrt{Z_0}}; \quad (1.21)$$

$$a_i = \frac{v_i + Z_0 i_i}{2\sqrt{Z_0}}. \quad (1.22)$$

Assim, de acordo com a matriz S, S_{11} que é a razão entre a onda refletida b_1 e a onda incidente a_1 na entrada do sistema e é chamado de índice de reflexão na entrada, é indiretamente uma medida do casamento de impedâncias na entrada do LNA, já que da

teoria de ondas eletromagnéticas sabe-se que quando dois sistemas ou meios estão casados não há reflexão.

Da mesma forma S_{12} , é a relação entre a onda refletida na entrada b_1 pela onda incidente na saída a_2 dá uma medida da isolação reversa do circuito, e indiretamente dá o nível de estabilidade do sistema.

1.2.3 - Ponto de compressão de 1 dB

O ponto de compressão a um 1 dB é a medida do nível de potência na entrada ou saída em que a potência de saída está 1dB abaixo do que seria se o dispositivo fosse linear, e portanto é uma medida de linearidade do sistema [8]. A Figura 1.7 apresenta um exemplo de medida desse ponto.

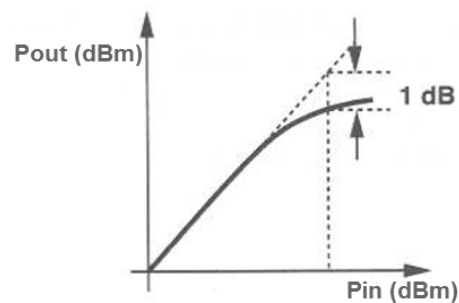


Figura 1.7 – Ponto de compressão a 1 dB.

2 – PROJETO DO LNA PORTA COMUM

2.1 - Topologias

As topologias para o LNA variam de acordo com as necessidades de projeto. Em geral, as duas topologias básicas são, naturalmente, baseadas nas configurações mais simples: os amplificadores porta comum (CG) e fonte comum (CS), e não podia ser diferente dada a necessidade de se acrescentar a menor quantidade de ruído possível. Mas modificações a estas duas configurações eventualmente são feitas para permitir desempenho superior com respeito a potência consumida, figura de ruído, ganho, linearidade, etc. Uma pesquisa na literatura recente de projeto de circuitos em RF fornece um infinidade de opções, algumas são descritas a seguir.

Atualmente muitos LNAs se baseiam em configurações de múltiplos estágios. A referência [14] apresenta um LNA de três estágios: o primeiro é um amplificador CG, cujo ganho e a figura de ruído apresentam um melhor escalonamento com a frequência, os dois estágios seguintes são amplificadores CS com degeneração indutiva que são usados para aumentar o ganho total; em [15] é apresentado um LNA banda-larga diferencial também de três estágios, todos os estágios são amplificadores CS, sendo que o primeiro é projetado focando nas limitações de consumo de potência e os demais considerando a linearidade; em [16] é apresentada uma topologia que consiste de dois estágios CS empilhados, e que através do reuso de corrente permite dissipação mínima de potência; em [17] é apresentado um LNA com entrada simples e saída diferencial, que também faz uso da estratégia de reuso de corrente empilhando dois estágios CS diferenciais, além do projeto de transformadores e indutores diferenciais integrados, e com elevado fator de qualidade, para minimizar o impacto de parasitas. Estas topologias com múltiplos estágios, além do evidente aumento de complexidade quando comparadas as configurações básicas CS e CG, tendem a aumentar o consumo de área, sobretudo quando o uso de mais componentes passivos integrados se faz necessário, e apesar de fornecerem um desempenho superior com relação a algum requisito, isso geralmente se dá em detrimento de outro parâmetro de projeto, como o *trade off* entre consumo de potência e ganho, claro no primeiro exemplo [14].

Soluções híbridas também têm sido utilizadas, como o LNA apresentado em [18], que é um amplificador banda-larga totalmente diferencial formado por um amplificador CG e um circuito de realimentação, e que foi projetado utilizando tanto transistores NMOS quanto PMOS para elevar a transcondutância, e com os sinais de

entrada acoplados ao substrato dos transistores; já em [19] foi usada a configuração *cross-coupled* para implementar um amplificador CG com transcondutância elevada, sendo que a idéia é, ao invés de conectar o terminal de porta do amplificador CG à polarização DC, introduzir uma amplificação inversa entre os terminais de fonte e porta, aumentando a transcondutância efetiva e reduzindo a figura de ruído. Também neste grupo de LNAs o acréscimo de circuitos auxiliares tende a levar ao aumento da área, e a uma eventual degradação do desempenho dos amplificadores quanto a algum requisito de projeto, quando da consideração efetiva das contribuições dos circuitos adicionais, ausentes ou superficialmente modeladas pelos trabalhos citados.

Na literatura há ainda um número bastante grande de trabalhos que têm buscado melhorar o desempenho dos LNAs com respeito à linearidade. No trabalho desenvolvido em [20] o circuito principal é composto por um estágio CS seguido de um amplificador CG, a chamada configuração *cascode*, cuja vantagem é a isolação entre saída e entrada. Conectando-se à fonte do amplificador CS outro estágio CS, cria-se um caminho auxiliar para o sinal, nele os termos responsáveis pelas não linearidades possuem a mesma amplitude presente no sinal original, porém fase oposta, permitindo o cancelamento quando da adição dos sinais na saída; já [21] utiliza um circuito para compensação do produto de intermodulação de terceira ordem IM3 juntamente com um amplificador CS (estágio principal) para aumentar a linearidade; em [22] utiliza-se um filtro notch de terceira ordem conectado ao dreno do amplificador CS em uma configuração *cascode* para aumentar a rejeição da frequência imagem, problema crítico em arquiteturas heterodinas; [23] apresenta um LNA *cascode* diferencial, e faz uso de uma célula CMOS para geração de transcondutância constante com o objetivo de melhorar ganho e linearidade; [24] e [25] apresentam um circuito com entrada simples e saída diferencial que dispensa o uso de indutores, e permite cancelamento do ruído e não linearidade de segunda ordem na saída, o circuito é construído da seguinte maneira: o sinal de entrada alimenta um amplificador CG, que é usado como estágio de casamento de impedâncias, e um amplificador CS, estágio que monitora a tensão, o cancelamento das não idealidades acontece ao tomar-se como saída o sinal presente no terminal de dreno dos dois amplificadores. Fica evidente que, em geral, todas as topologias descritas são modificações dos amplificadores CG ou CS, e acrescentam circuitos ou componentes específicos para melhorar o desempenho do LNA com respeito a algum requisito mais exigente, aumentando a complexidade do projeto e os custos de prototipação.

Para este trabalho, contudo, as especificações fornecidas, apresentam valores típicos para os parâmetros de desempenho, e permitem fazer uso das configurações CG e CS simples para o projeto.

Estes dois tipos de amplificadores aparecem na Figura 2.1, e a Tabela 2.1 apresenta as relações para os três requisitos principais dos LNAs baseados nessas configurações: ganho de tensão, impedância de entrada e figura de ruído. A análise dos mesmos é dada a seguir de acordo com os seguintes critérios: para o ganho de tensão e a figura de ruído, as equações apresentadas podem ser deduzidas com base nas representações pequeno sinal apresentados na Figura 2.1, (a2) e (b2), e para tanto se assume ressonância do circuito tanque de saída para as duas topologias e ressonância na entrada para a configuração fonte comum.

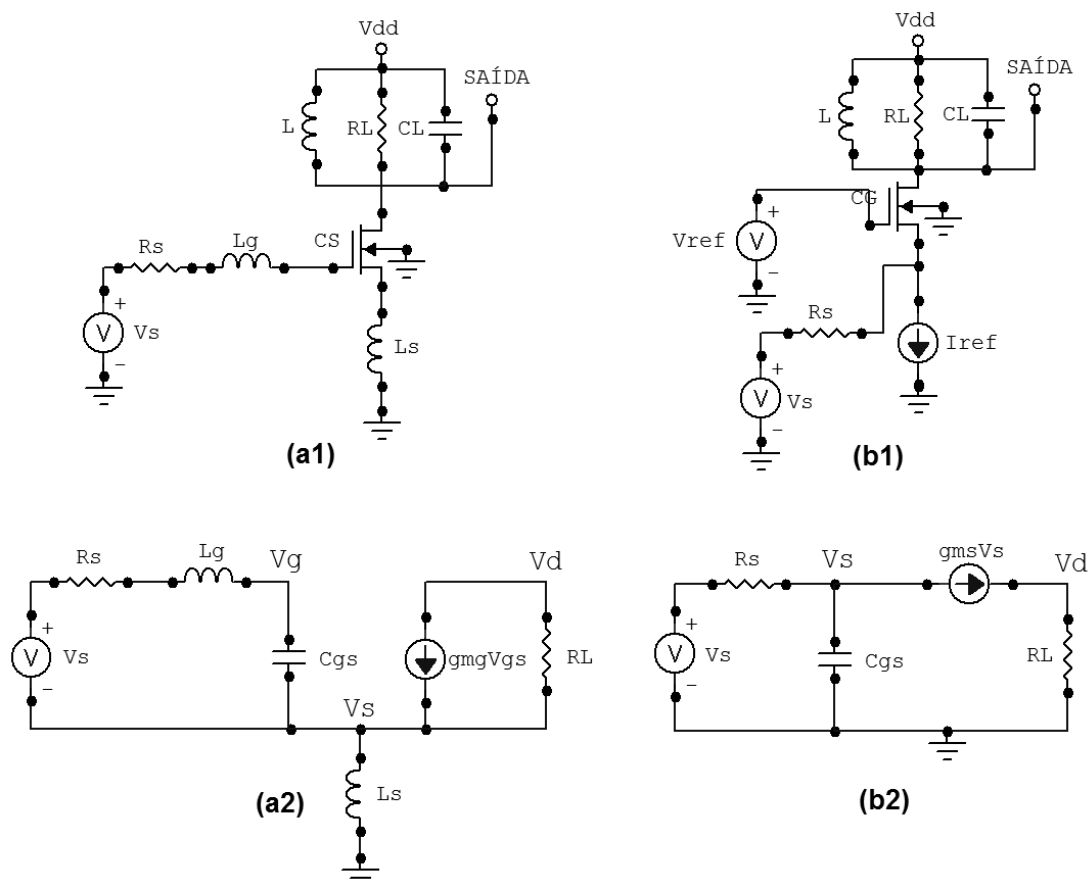


Figura 2.1 – LNAs: (a1 e a2) fonte comum com degeneração, (b1 e b2) porta comum.

Tabela 2.1 – Características dos amplificadores fonte comum e porta comum [26], [19].

LNA CS	LNA CG
$G_V = \frac{\omega_T R_L}{\omega_0 (R_s + \omega_T L_s)}$	$G_V = \frac{g_{ms} R_L}{1 + g_{ms} R_s + R_s j \omega_0 C_{gs}}$
$Z_{in} = s(L_g + L_s) + \frac{1}{sC_{gs}} + \omega_T L_s$	$Z_{in} = \frac{1}{g_{ms} + sC_{gs}}$
$F = 1 + \gamma n \frac{\omega_0^2 C_{gs} R_s}{\omega_T} \chi_{cs}$	$F = 1 + \gamma \frac{g_{ds0}}{g_{ms}} \frac{1}{g_{ms} R_s} \left[1 + (R_s \omega_0 C_{gs})^2 \right] \chi_{cg}$
$\chi_{cs} = 1 + \frac{2 c }{\omega_0 C_{gs} R_s} \sqrt{\frac{\delta}{5\gamma n^2}} + \frac{\delta}{5\gamma n^2} \left(1 + \frac{1}{(\omega_0 C_{gs} R_s)^2} \right)$	$\chi_{cg} = \left[1 + \frac{R_s^2}{\left(\frac{1}{\omega_0 C_{gs}} \right)^2 + R_s^2} \left(\frac{\delta}{5\gamma} - 2 c \sqrt{\frac{\delta}{5\gamma}} \right) \right]$
$Q_{in-cs} = \frac{1}{\omega_0 C_{gs} (R_s + \omega_T L_s)} = \frac{\omega_T}{\omega_0 g_{mg} 2R_s}$	$Q_{in-cg} = \frac{\omega_0 C_{gs} R_s}{(R_s + 1/g_{ms}) g_{ms}} = \frac{\omega_0}{2n\omega_T}$

Na Tabela, $\omega_0 = 2\pi f_0$ é a freqüência de operação, ω_T é a freqüência de transição do transistor e pode ser aproximada por $\omega_T = g_{mg}/C_{gs}$, C_{gs} e C_{bs} são as capacitâncias entre porta e fonte e substrato e fonte, g_{ms} e g_{mg} são as transcondutâncias de fonte e porta respectivamente, χ_{cs} e χ_{cg} representam a contribuição do ruído induzido na porta para cada topologia, R_s é a impedância de saída do estágio anterior, normalmente chamada de resistência da fonte, e R_L é a resistência de carga. R_L , que será responsável pelo ganho dos amplificadores, geralmente está limitada pelo baixo fator de qualidade dos indutores integrados [9] utilizados para ressonância na saída do circuito. O uso de indutores discretos para aumentar o fator de qualidade e, conseqüentemente, R_L não seria uma solução, já que as capacitâncias e indutâncias parasitas do *bond pad*, *bond wire*, encapsulamento e das trilhas da placa alteram significativamente as características do circuito tanque de saída [27].

Com respeito ao ganho, o LNA fonte comum pode alcançar valores maiores devido a certa liberdade na escolha de ω_T , já que para o amplificador porta comum g_{ms} é fixado para o casamento de impedâncias na entrada.

Ainda quanto à questão de casamento de impedâncias, a topologia fonte comum depende de uma degeneração indutiva L_s na fonte para garantir a criação de uma impedância de entrada com parte real que permita o casamento na ressonância, $Z_{in} = \omega_T L_s = R_s$ [14]. O acréscimo de L_g é necessário para gerar a indutância total $L_g + L_s$ que

ressonará com a porção capacitiva da impedância de entrada do amplificador e evidencia a característica de operação em banda estreita do amplificador. A escolha de valores elevados para L_g pode ainda auxiliar na redução da figura de ruído da topologia, isso pode ser observado substituindo-se $R_s/\omega_T = L_s$, e $\omega_T C_{gs} = L_s + L_g$ na equação para figura de ruído da configuração fonte comum. Já o LNA porta comum apresenta-se naturalmente como solução para condição de casamento através do ajuste de g_{ms} , dispensando em muitos casos o uso de um indutor no terminal de fonte para ressonância com as capacitâncias de entrada, e permitindo a operação em banda larga.

Sabe-se também que a sensibilidade de Z_{in} a componentes parasitas é proporcional ao fator de qualidade Q da rede de entrada, e quanto a isso as duas topologias possuem diferenças fundamentais. Enquanto o LNA fonte comum é ressonante série e $Q_{cs} > 1$, o LNA porta comum é ressonante paralelo e $Q_{cg} < 1$. Isso implica uma maior robustez da topologia porta comum quanto a variações no processo de fabricação, temperatura e tensão [15].

Para o fator de ruído, a configuração fonte comum apresenta dependência com ω_T , permitindo assim reduzi-lo em troca de consumo de corrente. Há ainda dependência com o fator de qualidade da topologia. O aumento de Q_{cs} , apesar de diminuir a contribuição do termo do ruído do canal tende a elevar a contribuição do termo associado ao ruído induzido na porta do transistor e, portanto, uma busca pelo valor ótimo para Q_{cs} se faz necessária. Para o amplificador porta comum o fator de ruído pode ser considerado constante em torno da frequência de operação se observar-se que: 1) a contribuição do ruído induzido na porta está muito próxima da unidade e também varia pouco com a frequência, e 2) a imposição de Z_{in} sobre g_{ms} torna o fator de ruído dependente apenas do coeficiente de ruído do canal γ , colocando um limite inferior em $F = 1,7$ ($NF = 2,3$ dB) para transistores canal longo e em inversão forte, onde $\gamma = 2/3$.

Outro aspecto relevante está ligado à isolamento reversa e à estabilidade das duas topologias. A configuração convencional do LNA fonte comum apresenta um caminho de realimentação entre a saída e entrada através da capacitância C_{gd} , que através do efeito Miller leva a uma degradação da isolamento e estabilidade forçando o uso da configuração *cascade*. Isto não acontece para topologia porta comum, pois a mesma não apresenta o efeito Miller [15].

De uma maneira geral, percebe-se dessa análise que a configuração fonte comum permite alcançar menores valores para figura de ruído e maiores valores para ganhos de tensão. Mas para isso exige um consumo maior de corrente, necessário para o controle de ω_T ; e de área, devido ao uso de mais indutores, necessários principalmente

para o casamento de impedâncias, do que o LNA porta comum. Além disso, deve-se levar em conta que a adição tanto dos indutores L_g e L_s quanto do estágio *cascode* levará ao aumento do ruído total [27] exigindo ainda mais corrente para a topologia, sem mencionar que a implementação de L_g , geralmente externa devido ao seu valor elevado, traz consigo os problemas do uso de componentes discretos mencionados. A configuração porta comum em contrapartida apresenta superioridade em sua característica de casamento de impedâncias, dispensa a adição de mais estágios ou componentes passivos na maioria dos casos e permite projetos com requisitos de consumo menores para valores pequeno da razão ω_0/ω_T . Sendo, portanto, a configuração mais adequada para soluções de baixo custo, baixo consumo e multi banda [10], [19], [28]. Dadas estas características, fez-se a escolha por projetar um LNA porta comum, e a partir desta definição, passa-se à escolha da tecnologia.

2.2 - Tecnologia, modelo e demais considerações

Para a escolha da tecnologia os custos envolvidos e certas características de operação, como frequência e tensão de alimentação, devem ser considerados primeiramente. De uma forma mais geral a tecnologia adotada define as possibilidades de projeto e a confiabilidade das simulações e do leiaute, questões diretamente dependentes da biblioteca de componentes, da qualidade das caracterizações e dos modelos disponíveis para a mesma. A tecnologia C35 0,35 μm da AMS possui um conjunto de modelos e uma biblioteca de componentes específica para projeto de circuitos RF, e além dos custos de prototipação serem razoáveis, a tensão de operação de 3,3 V é condizente com os objetivos de projeto.

Com relação à polarização DC do circuito, a configuração de um transistor conectado como diodo é adequada como referência de tensão para porta da configuração CG. Para a corrente de dreno a escolha é pelo espelho de corrente *cascode* de alta excursão. Esta topologia possui a capacidade de operação em baixa tensão, o que eventualmente também permite alta excursão de sinal, e apresenta ainda alta impedância de saída, da mesma ordem do espelho *cascode* [29], [30], [31]. O circuito completo aparece na Figura 2.2.

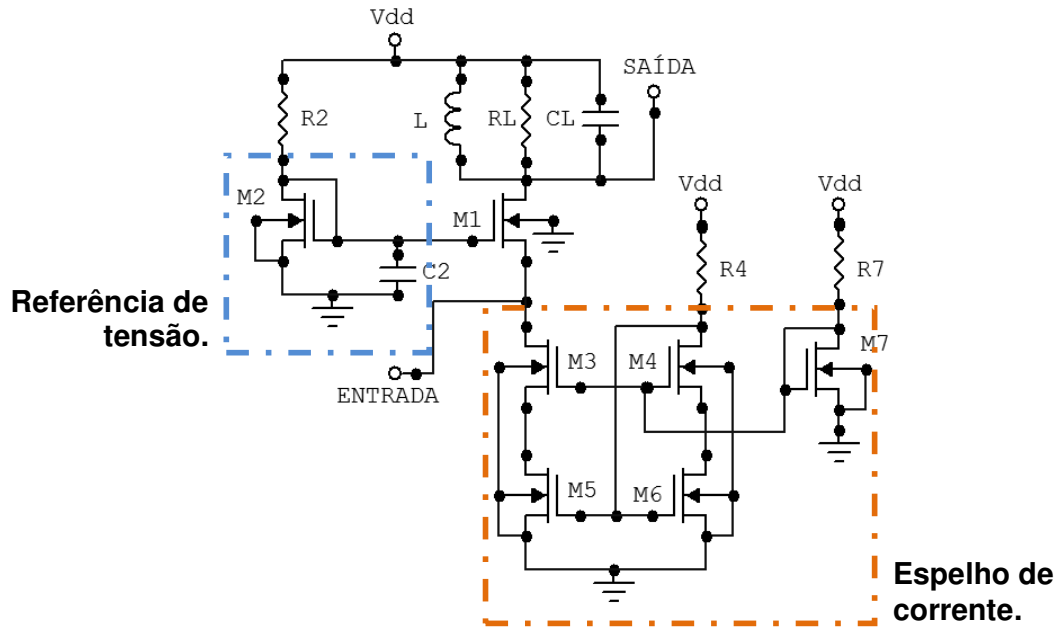


Figura 2.2 – Circuito completo do LNA.

Apesar da escolha pela geração da corrente de polarização internamente através de resistores, outra opção válida seria o uso de um circuito gerador de corrente específica (ou corrente de normalização) [32], [33], esse circuito tem a capacidade de trabalhar em baixa tensão, possui baixa sensibilidade à fonte de alimentação e gera uma corrente proporcional à temperatura absoluta (PTAT). Para o circuito em questão (Figura 2.2) a característica PTAT da corrente gerada, $I_D = kI_S$ onde k é uma constante de proporcionalidade qualquer, tornaria o nível de inversão, $i_f = I_D/I_S$, do transistor M1 independente da temperatura. Assim, se a corrente do transistor é mantida com nível de inversão constante para qualquer temperatura, então para $I_D = I_S i_f$ tem-se que:

$$\frac{g_{ms}\phi_t}{I_D} = \frac{2}{\sqrt{1+i_f} + 1} = \text{constante} \quad (2.1)$$

Desenvolvendo para transcondutância g_{ms} , e substituindo a corrente de normalização I_S pela expressão apresentada na Tabela 2.2 chega-se a equação:

$$g_{ms} = \frac{2I_S i_f}{\phi_t} \frac{1}{\sqrt{1+i_f} + 1} = \mu n C'_{ox} \phi_t \frac{W}{L} \frac{i_f}{\sqrt{1+i_f} + 1} \quad (2.2)$$

A influência da temperatura presente no potencial térmico $\phi_t = kT/q$, é cancelada pela mobilidade μ que varia com T^{-1} , e g_{ms} também torna-se independente da temperatura, pois o fator de inclinação n , e a capacitância do óxido C'_{ox} variam pouco com T . Em versões futuras do circuito pretende-se explorar tais características dessa fonte de corrente.

Para o projeto apresentado a seguir, será utilizado o modelo compacto ACM para o transistor MOS [6]. O modelo é baseado na carga de inversão e apresenta equações contínuas e válidas para todas as regiões de operação. A tabela a seguir apresenta as principais equações do mesmo.

Tabela 2.2 – Conjunto básico de equações para o modelo ACM.

Corrente de dreno	$I_D = I_S (i_f - i_r)$
Corrente de normalização	$I_S = \mu C'_{ox} n \left(\frac{\phi_t^2}{2} \right) \frac{W}{L}$
Corrente de normalização quadrada	$I_{SQ} = \mu C'_{ox} n \frac{\phi_t^2}{2}$
Transcondutância de fonte (dreno)	$g_{ms(d)} = \frac{2I_S}{\phi_t} (\sqrt{1+i_{f(r)}} - 1)$
Transcondutância de porta	$g_{mg} = \frac{g_{ms} - g_{md}}{n}$
Tensão Fonte (Dreno) - Substrato	$V_{SB(DB)} = V_P - \phi_t \left[\sqrt{1+i_{f(r)}} - 2 + \ln(\sqrt{1+i_{f(r)}} - 1) \right]$
Tensão de pinch-off	$V_P \cong \frac{V_{GB} - V_{TO}}{n}$
Tensão de saturação	$V_{DSsat} = \phi_t (\sqrt{1+i_f} + 3)$
Frequência de transição	$f_T = \frac{\mu \phi_t}{\pi L^2} (\sqrt{1+i_f} - 1)$

As etapas a seguir detalham o projeto completo do LNA e dos circuitos necessários para gerar a corrente e as tensões de polarização com base nos seus principais parâmetros de desempenho.

2.3 - Projeto de M1

O projeto do amplificador inicia-se pelo estágio de transcondutância composto por M1, responsável pelo ganho, e para tanto são feitas algumas simplificações. Primeiro o espelho de corrente conectado ao terminal de fonte de M1, composto pelos transistores M3 a M6, é considerado como uma fonte de corrente ideal I_{ref} . Além disso, também se assume que o transistor M2 conectado como diodo para prover a tensão de polarização à porta de M1 comporta-se como uma fonte de tensão ideal V_{ref} . Assim o circuito tem a forma apresentada na Figura 2.3.

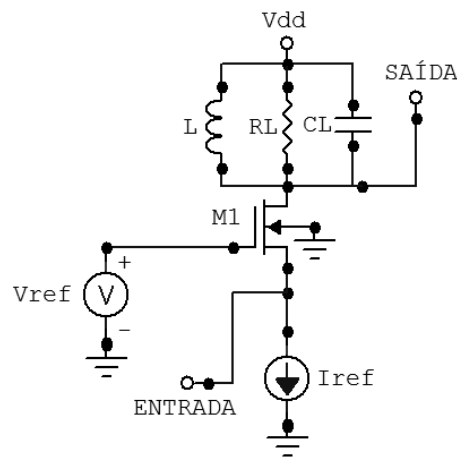


Figura 2.3 – LNA com fontes de polarização ideais.

Os principais requisitos do LNA para o projeto são a impedância de entrada $Z_{in} = Z_S = 50 \text{ Ohms}$, o ganho de tensão $G_V = 13 \text{ dB}$, a figura de ruído $NF = 3 \text{ dB}$, e a frequência de operação $f = 2.4 \text{ GHz}$, como previamente especificados (Tabela 1.2).

2.3.1 - Impedância de entrada

Fazendo-se a substituição do transistor MOS por seu modelo pequeno sinal tem-se o circuito apresentado na Figura 2.4, onde $C_{in} = C_{gs} + C_{bs} + C_{gsov} + C_{js}$, representa as capacitâncias porta-fonte (*gate-source*), substrato-fonte (*bulk-source*), *overlap* entre porta e fonte (*gate-source overlap*) e junção da fonte (*source junction*) respectivamente, $C_{out} = C_{gd} + C_{bd} + C_{gdov} + C_{jd}$ representa as capacitâncias para o lado do dreno. Equacionando chega-se à expressão (2.3) para a impedância de entrada. Note que para a condição de ressonância na saída entre o indutor L , C_L e C_{out} , Z_L reduz-se apenas a R_L .

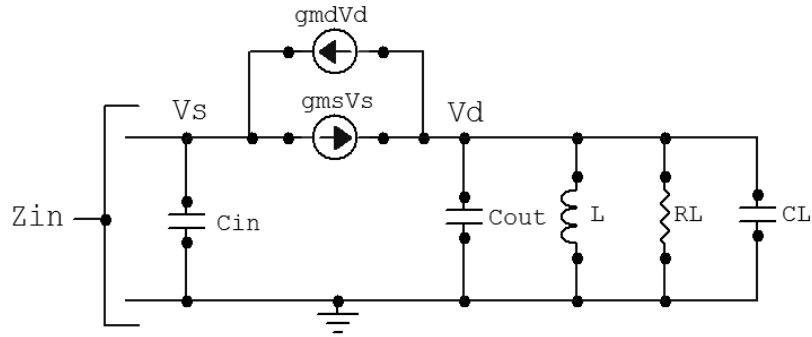


Figura 2.4 – Circuito pequeno sinal para cálculo de Z_{in} .

$$Z_{in} = \frac{1 + g_{md}Z_L}{g_{ms} + \frac{(1 + g_{md}Z_L)}{Z_{C_{in}}}} \quad (2.3)$$

Quando a impedância devido à capacitância total de entrada, $Z_{C_{in}} = 1/j\omega C_{in}$, for grande o suficiente se comparada a $1/g_{ms}$, assim como a resistência de saída do transistor $1/g_{md}$ com relação à R_L , a aproximação clássica, $Z_{in} = 1/g_{ms}$, torna-se válida e a condição de casamento de impedância na entrada automaticamente impõe o valor da transcondutância $g_{ms} = 1/50$ S.

Assim, tomando como válida essa aproximação, adota-se $g_{ms} = 20$ mS daqui em diante, e dá-se continuidade aos cálculos para encontrar as dimensões de M1 assim como seu nível de inversão, necessários para os cálculos das capacitâncias e da condutância de saída, que por sua vez definirão os valores da indutância L, do resistor R_L e do capacitor de carga C_L , se necessário. Ao fim, essas informações permitirão verificar se a aproximação é consistente.

O nível de inversão pode ser fixado com base na frequência de operação do circuito. A princípio o cálculo é feito tendo em vista a frequência de ganho unitário do transistor MOS, f_T , de tal maneira que ela se encontre algumas vezes acima da frequência de operação. A equação (2.4) [6] rege a relação entre o nível de inversão e a frequência de ganho unitário. A aproximação indicada permite observar mais claramente a dependência de f_T com o nível de inversão.

$$f_T = \frac{\mu n \phi_t}{2\pi L^2} \frac{i_f (\sqrt{1+i_f} + 1)}{(n-1)(\sqrt{1+i_f} + 1)^2 + \frac{2}{3}(i_f + \sqrt{1+i_f} - 1)} \cong \frac{\mu \phi_t}{2\pi L^2} 2(\sqrt{1+i_f} - 1) \quad (2.4)$$

Observa-se também que f_T depende do comprimento do canal L , da mobilidade μ , da temperatura (através do potencial térmico ϕ_t) e do fator de inclinação n . Destes, o único parâmetro de projeto é o comprimento de canal, que foi fixado no comprimento mínimo para tecnologia adotada, $L = 0,35 \mu\text{m}$. Já o valor da mobilidade $\mu = 475,8 \text{ cm}^2/\text{Vs}$ foi retirado dos documentos da tecnologia [34]. Para temperatura usou-se $T = 300\text{K}$, valor padrão usado em simulações e que leva a $\phi_t \approx 26 \text{ mV}$ e, finalmente, para o fator de inclinação $n = 1,2$, parâmetro levemente dependente da polarização mas que será considerado constante.

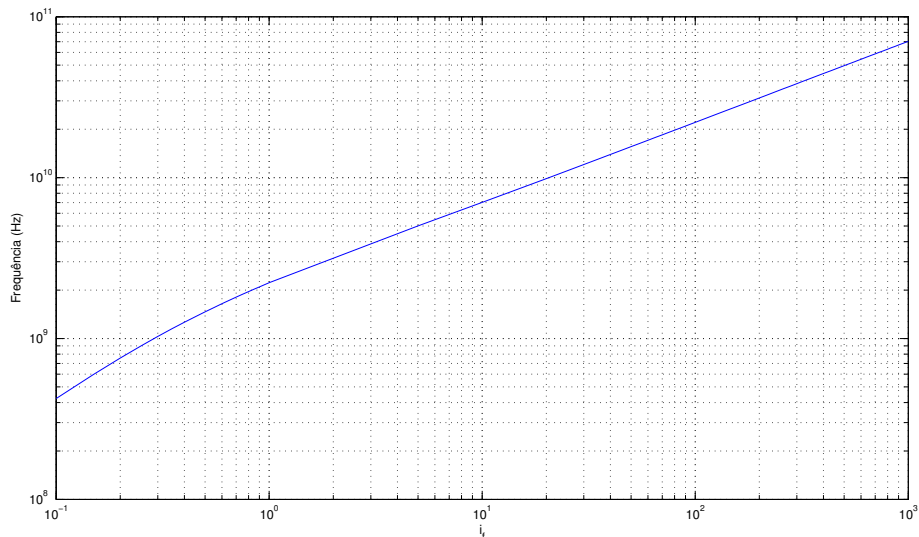


Figura 2.5 – Frequência de transição versus nível de inversão para $L = 0,35 \mu\text{m}$.

Traçando a curva $f_T \times i_f$ (Figura 2.5), é possível notar que em inversão fraca e em uma região considerável da inversão moderada o transistor opera com f_T muito próxima de 2,4 GHz, o que juntamente com os argumentos a seguir levam à escolha pela por $i_f = 120$, valor que se encontra na fronteira entre as regiões de inversão forte e moderada. Os argumentos são: a frequência de transição, $f_T \approx 24 \text{ GHz}$, se encontra de forma segura a uma década da frequência de operação; trabalhar em inversão forte permite projetar transistor com dimensões menores; a linearidade do amplificador deve aumentar por

estar operando fora da região exponencial; e o coeficiente de ruído do canal γ tende a diminuir com o aumento de V_{gs} e, portanto, do nível de inversão, em transistores com canal curto, como visto previamente. O inconveniente mais evidente dessa escolha é o aumento de consumo.

Com os valores para i_f , definido pela f_T , e g_{ms} definidos, passa-se ao cálculo da corrente de operação. Usando a equação (2.5) que expressa a corrente de dreno em função de transcondutância da fonte e do nível de inversão para um transistor operando em saturação, chega-se a $I_{D1} = 3 \text{ mA}$.

$$I_D = \frac{g_{ms} \phi_t (\sqrt{1+i_f} + 1)}{2} \quad (2.5)$$

Dadas as expressões que definem o nível de inversão e a corrente de normalização quadrada:

$$i_f = \frac{I_D}{I_{SQ}} \frac{W}{L} ; I_{SQ} = \frac{\mu C'_{ox} n \phi_t^2}{2} \quad (2.6)$$

Para $I_D = 3 \text{ mA}$, $L = 0,35 \text{ }\mu\text{m}$, $\phi_t \approx 26 \text{ mV}$, $n = 1,2$ e $\mu C'_{ox}/2 \approx 91,5 \text{ uA/V}^2$ [34], a largura do transistor M1 é $W = 127,4 \text{ }\mu\text{m}$.

É importante ressaltar que a dependência da corrente de normalização quadrada I_{SQ} com parâmetros tecnológicos (através de μ e C'_{ox}) e com a polarização do circuito (através de μ e n), torna seu valor uma fonte de incerteza nos cálculos. Divergências no valor de I_{SQ} irão modificar o nível de inversão, que por sua vez irá alterar a transcondutância g_{ms} do dispositivo, uma vez que a corrente de polarização é fixa. Visto que g_{ms} determina Z_{in} e, portanto, o casamento de impedâncias na entrada do amplificador, qualquer diferença para seu valor esperado será corrigida no protótipo integrado através da corrente de polarização.

Com os parâmetros do transistor já definidos, é possível calcular as capacitâncias intrínsecas e extrínsecas do dispositivo. Para C_{in} começa-se pelas capacitâncias C_{gs} e C_{bs} , dadas pelas expressões (2.7) e (2.8):

$$C_{gs} = \frac{2}{3} C'_{ox} \frac{1+2\alpha}{(1+\alpha)^2} \frac{q'_{IS}}{1+q'_{IS}} WL \quad (2.7)$$

$$C_{bs} = (n-1)C_{gs}. \quad (2.8)$$

Onde α é o coeficiente de linearidade do canal que, em inversão forte, é a razão entre as cargas de inversão no lado do dreno e da fonte [6]. Para operação em inversão forte seu valor varia entre zero, quando o transistor está saturado (ou seja, quando a carga de inversão do lado da fonte é muito maior do que no dreno), e 1, para $V_{DS} = 0$ (quando fonte e dreno possuem mesma quantidade de carga). O outro termo ainda não descrito é q'_{IS} , que é a densidade de carga de inversão normalizada na fonte, dada por $q'_{IS} = \sqrt{1+i_f}$. Considerando que M1 opera em saturação e substituindo o valor para o nível de inversão, C_{gs} reduz para (2.9) (aproximadamente igual ao valor classicamente usado em inversão forte, $C_{gs} = 2C'_{ox}WL/3$).

$$C_{gs} \cong \frac{11}{18} C'_{ox} WL \quad (2.9)$$

Com $C'_{ox} = 3,85 \text{ mF/m}^2$, temos $C_{gs} = 104,5 \text{ fF}$ e $C_{bs} = 20,9 \text{ fF}$.

Para a capacitância $C_{gs\text{ov}}$ faz-se uso da expressão (2.10) [35] e do parâmetro tecnológico $c_{gso} = 120 \text{ pF/m}$ [34], chamado capacitância de *overlap* entre porta e fonte por unidade de largura do canal. Assim, $C_{gs\text{ov}} = 15,3 \text{ fF}$.

$$C_{gs\text{ov}} = c_{gso} W \quad (2.10)$$

A capacitância de junção da fonte é dada pela equação (2.11) [34], onde $c_j = 0,94 \text{ mF/m}^2$ é a capacitância da placa inferior da junção por unidade de área, $c_{j\text{sw}} = 250 \text{ pF/m}$ é a capacitância lateral da junção por unidade de comprimento, $L_S = 0,5 \text{ }\mu\text{m}$ é o comprimento da fonte, $m_j = 0,35$ e $m_{j\text{sw}} = 0,23$ são coeficientes de classificação, $PB = 0,69 \text{ V}$ é o potencial de difusão da junção, e $V_S = 1,18$ a tensão reversa da junção, que para M1 é o valor da tensão no terminal da fonte, dependente da queda de tensão no

espelho como será mostrado mais adiante. Todos os parâmetros com exceção de W e V_S foram extraídos dos documentos da tecnologia. Com isso tem-se que $C_{js} = 93,1$ fF.

$$C_{js} = \frac{WL_S c_j}{\left(1 + \frac{V_S}{PB}\right)^{mj}} + \frac{2(W + L_S) c_{jsw}}{\left(1 + \frac{V_S}{PB}\right)^{mjsw}} \quad (2.11)$$

Portanto o valor total da capacitância de entrada é $C_{in} = 233,8$ fF, ou seja, $|Z_{Cin}| \approx 285$ Ohms, cerca de cinco vezes maior que $1/g_{ms}$. Desta forma a contribuição de Z_{cin} em presença de $1/g_{ms}$ para a impedância de entrada é $1/25$ pois as duas impedâncias são defasadas de 90° .

A princípio este resultado permite desprezar Z_{Cin} frente a $1/g_{ms}$ nos cálculos pra a impedância de entrada Z_{in} como foi inicialmente feito, contudo uma verificação desta impedância levando em conta a expressão completa (2.3), e do índice de reflexão S_{11} na entrada, serão necessários para validar esse método.

De qualquer modo, deve-se lembrar da análise feita na seção 2.1 que a opção pelo uso de um indutor na fonte do transistor M1 (integrado ou não), para eliminação de C_{in} através da ressonância, pode ser extremamente inconveniente do ponto de vista de consumo de área e de degradação do desempenho do circuito e, por isso, será evitado ao máximo.

Para verificar a aproximação que relaciona a resistência de carga e a condutância de saída do transistor nos cálculos da impedância de entrada, $R_L \ll 1/g_{md}$, ainda há a necessidade de calcular o valor do indutor de carga e, portanto, a capacitância total na saída.

Passando ao cálculo de C_{out} nota-se primeiramente que C_{gd} e C_{bd} , dadas pelas equações (2.12) e (2.13), são nulas. Isso acontece porque, com o dispositivo operando em saturação, α tende a zero, e q'_{ID} , que representa a densidade de carga de inversão normalizada no dreno, tem um valor muito pequeno.

$$C_{gd} = \frac{2}{3} C'_{ox} \frac{\alpha^2 + 2\alpha}{(1 + \alpha)^2} \frac{q'_{ID}}{1 + q'_{ID}} WL \quad (2.12)$$

$$C_{bd} = (n-1)C_{gd} \quad (2.13)$$

Para as capacitâncias extrínsecas tem-se que: C_{gdov} possui valor igual a C_{gsov} , mas C_{jd} deve ser recalculado para uma tensão reversa da junção igual ao valor DC presente no terminal do dreno de M1. Os demais parâmetros permanecem com os mesmos valores. Como o indutor de carga impõe V_D muito próximo à V_{dd} , exceto por uma queda na resistência série parasita do componente, adota-se $V_D = 3$ V, que leva a $C_{jd} = 76,8$ fF. Assim $C_{out} = 92,1$ fF, e o indutor de carga necessário para ressonar na frequência de 2,4 GHz seria (2.14):

$$L = \frac{1}{(2\pi f_0)^2 C_{out}} = 47,7 \text{ nH} \quad (2.14)$$

Indutâncias dessa magnitude não existem na biblioteca da tecnologia usada [36], com o valor mais próximo sendo $L = 10$ nH (em 2,4 GHz). Associar indutores também não é uma opção interessante. Então, a escolha mais sensata parece ser a adição de capacitância à saída do circuito através do capacitor de carga C , o que teria um impacto menor no consumo de área. Nesse caso, adotando o indutor de $L = 10$ nH, um capacitor com $C_L \approx 350$ fF deve ser utilizado. O fator de qualidade dos capacitores disponíveis na tecnologia e próximos dessa faixa de valores é da ordem de 200 para 2,4 GHz; portanto, suas perdas podem ser desprezadas para esta aplicação.

O indutor adotado possui fator de qualidade $Q_{ind} = 3,3$ em 2,4 GHz, e sua resistência equivalente paralelo pode ser calculada através da equação (2.15).

$$R_L = Q_{ind} 2\pi f_0 L \quad (2.15)$$

O valor encontrado é $R_L = 496,6$ Ohms. Em seguida calcularemos o produto $g_{md} \cdot R_L$.

O modelo simplificado para a condutância de saída é $g_{md} = I_D / (V_E \cdot L)$, onde V_E é a tensão de Early por unidade de comprimento do canal. Uma modelagem mais precisa é feita em [37], e permite assumir que para transistores com $L=0.35$ μm , operando em inversão forte, com $V_{DS} > 1$ V, $I_D = 3$ mA, a condutância de saída é da ordem de $2,8 \cdot 10^{-4}$ S, o que permite concluir que $g_{md} \cdot R_L \ll 1$. Para reduzir ainda mais a influência de g_{md}

poderia ser utilizado um estágio cascode; contudo, isso implicaria em mais ruído na saída do amplificador.

Todos os termos necessários para um cálculo mais preciso da impedância de entrada foram encontrados, permitindo que seja verificada a consistência das aproximações feitas. Desta forma, substituindo $g_{md} = 2,8 \cdot 10^{-4}$ S, $R_L = 496$ Ohms, $|Z_{Cin}| = 285$ Ohms e $1/g_{ms} = 50$ Ohms na equação (2.1), encontra-se $Z_{in} = 54,7 - j10,9$ Ohms. Tomando esse valor e $R_S = 50$ Ohms, através da equação (2.16) encontra-se $S_{11} = -18,9$ dB, sendo que a especificação é $S_{11} = -12$ dB, resultado que valida as escolhas de projeto feitas até aqui. Portanto, passaremos à próxima etapa de projeto: o cálculo do ganho de tensão.

$$S_{11,dB} = 20 \log \left(\left| \frac{Z_{in} - R_S}{Z_{in} + R_S} \right| \right) \quad (2.16)$$

2.3.2 - Ganho

O ganho de tensão do circuito, equação (2.17), também é obtido com base no esquemático da Figura 2.4. Para a condição de ressonância entre o indutor de carga L e a capacitância total vista na saída do circuito $C_{out} + C_L$, a impedância da carga reduz-se a $Z_L = R_L$. Sabendo disso, e que $g_{ms} \cdot R_S = 1$, $g_{md} \cdot R_L \ll 1$, e desprezando-se a relação $|R_S/Z_{Cin}|$ ($\sim 0,18$), chega-se à aproximação apresentada na equação (2.18), que nada mais é do que o ganho de tensão da configuração porta comum em baixa frequência.

$$G_V = \frac{g_{ms} Z_L}{1 + g_{ms} R_S + \frac{R_S (1 + g_{md} Z_L)}{Z_{Cin}} + g_{md} Z_L} \quad (2.17)$$

$$G_V \cong \frac{g_{ms} R_L}{2} \quad (2.18)$$

O ganho especificado é $|G_V| = 4,45$ (~ 13 dB). Para esse valor a resistência de carga deveria ser $R_L = 445$ Ohms através de (2.18). Com essa resistência de carga e levando em conta os demais termos na equação completa (2.17) o ganho cairia para $|G_V| = 4,17$ ($\sim 12,4$ dB), e poderia haver uma perda ainda maior devido a variações de

processo, e a modelagem inadequada e estimativa incorreta de parâmetros. Assim o projeto de R_L deve ser tal que dê uma margem de segurança ao ganho.

Para este projeto tem-se a opção de fazer uso da resistência parasita do indutor de carga $R_L = 496$ Ohms, que conduz com a equação completa (2.15) a $|G_V| = 4,62$ (~13,29 dB), valor ainda acima do especificado. Nenhum dos demais indutores da biblioteca da tecnologia permite isoladamente desempenho semelhante, dados seus fatores de qualidade baixos.

2.3.3 - Figura de ruído

O cálculo da figura de ruído é feito com base no circuito da Figura 2.6, que mostra o amplificador porta comum e seu circuito equivalente pequeno sinal para análise de ruído assumindo-se que o transistor opera em inversão forte e saturação. No modelo completo do ruído do transistor, o ruído térmico do canal, além de ser transportado para os terminais de fonte e dreno, também é transferido capacitivamente para os terminais de porta e substrato (para mais detalhes, ver [38]). Optou-se pela representação em corrente para todas as fontes, sendo que: i_{nR_S} e i_{nR_L} representam o ruído térmico da resistência da fonte R_S e da resistência de carga R_L respectivamente, i_{ng} representa o ruído térmico induzido na porta do transistor e i_{nd} o ruído térmico do canal do transistor. O comportamento de cada fonte depende do tipo de componente, e está descrito no conjunto de equações (1.1, 1.2, 1.3) da seção 1.2.1 sobre ruído.

É importante apontar que tanto o ruído da resistência da porta como da resistência do substrato foram desprezados devido ao uso da estrutura *multi-finger* para os transistores e de múltiplos contatos de substrato, o que minimiza a componente resistiva da porta.

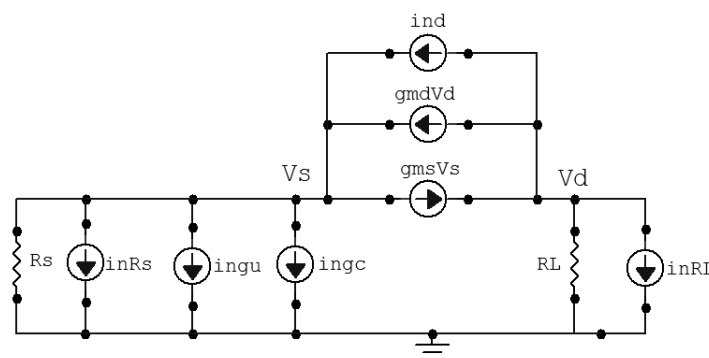


Figura 2.6 – Circuito pequeno sinais equivalente ao circuito apresentado na Figura 2.3 para cálculo do fator de ruído.

Usualmente o ruído gerado pelo resistor de carga R_L é desprezado com base na equação de Friss (1.8), que foi reescrita abaixo para o LNA (2.19). Pode-se ver que R_L é equivalente a um estágio na representação de sistemas do circuito e, portanto seu fator de ruído é dividido pelo ganho de potência do estágio anterior, ou seja, do LNA.

$$F = F_{INT} + \frac{F_{R_L} - 1}{G_{P-LNA}} \quad (2.19)$$

Como será visto, essa simplificação não é realista para circuitos com limitações para atingir alto ganho como é o caso do LNA, e tem um impacto considerável no fator de ruído total do bloco.

Os cálculos começam pelo que será chamado de fator de ruído intrínseco do LNA, que engloba o ruído da fonte de sinal e do MOSFET, e foi designado pelo termo F_{INT} . Primeiramente usou-se a definição de fator de ruído (1.7), reescrevendo-a em função das fontes de corrente de ruído presentes no circuito, equação (2.20), onde $i_{on(total)}$ é a corrente de ruído total na saída e i_{onR_s} é o ruído da fonte, também referido à saída. Lembrando que, exceto para o caso do ruído induzido na porta, i_{ng} , que é dividido em uma porção correlacionada com o ruído do canal, i_{ngc} , e outra não correlacionada, i_{ngu} , as demais fontes de ruído são totalmente independentes de tal forma que a corrente de ruído total na saída do circuito é dada pela equação (2.21).

$$F_{INT} = \frac{|i_{on(total)}|^2}{|i_{onR_s}|^2} \quad (2.20)$$

$$|i_{on-total}|^2 = |i_{onR_s} + i_{ong} + i_{ond}|^2 = |i_{onR_s}|^2 + |i_{ond} + i_{ongc}|^2 + |i_{ongu}|^2 \quad (2.21)$$

Para se avaliar a influência dessas correntes na saída, utiliza-se o método de superposição. Dessa forma, eliminando todas as fontes de corrente exceto i_{nR_s} , e calculando a corrente de carga chega-se a i_{onR_s} , dada pela equação abaixo (2.22).

$$\overline{i_{onR_s(g)}^2} = \left| \frac{g_{ms} R_s Z_{C_{in}}}{(R_s + Z_{C_{in}})(1 + g_{ms} R_s)} (1 + g_{md} R_L (1 - g_{ms} R_s Z_{C_{in}})) \right|^2 \overline{i_{nR_s(g)}^2} \quad (2.22)$$

Esse resultado também se aplica para as fontes de ruído induzido na porta do transistor, i_{ngc} e i_{ngc} , já que as duas fontes aparecem no mesmo ponto de i_{nR_s} no circuito. Aqui é possível aplicar algumas simplificações da mesma forma que foi feito para os cálculos de impedância de entrada e de ganho de tensão. Assumindo $g_{ms} = 1/R_s$ e que $g_{md} \cdot R_L \ll 1$ chega-se à equação simplificada:

$$\overline{i_{onR_s(g)}^2} = \left| \frac{Z_{C_{in}}}{R_s + 2Z_{C_{in}}} \right|^2 \overline{i_{nR_s(g)}^2} \quad (2.23)$$

Através dos mesmos procedimentos é possível equacionar o ruído gerado no canal i_{ond} , dado por:

$$\overline{i_{ond}^2} = \left| \frac{R_s + Z_{C_{in}}}{(R_s + Z_{C_{in}})(1 + g_{md} R_L) + g_{ms} R_s Z_{C_{in}}} \right|^2 \overline{i_{nd}^2} \quad (2.24)$$

Que depois de simplificada reduz-se a:

$$\overline{i_{ond}^2} = \left| \frac{R_s + Z_{C_{in}}}{R_s + 2Z_{C_{in}}} \right|^2 \overline{i_{nd}^2} \quad (2.25)$$

Substituindo as equações para i_{onR_s} (2.23), i_{ongc} , i_{ongu} e i_{ond} (2.24), que compõem $i_{on(total)}$, e as correspondentes fontes de ruído apresentadas na seção 1.2.1, na expressão para F_{INT} (2.20), chega-se a equação:

$$F_{INT} = 1 + \gamma \frac{g_{ds0}}{g_{ms}} \frac{1}{g_{ms} R_s} \left[1 + \left(\frac{R_s}{|Z_{Cin}|} \right)^2 \right] \underbrace{\left[1 + \frac{R_s^2}{|Z_{Cin}|^2 + R_s^2} \left(\frac{\delta}{5\gamma} - 2|c| \sqrt{\frac{\delta}{5\gamma}} \right) \right]}_{\chi_{cg}}. \quad (2.26)$$

A expressão dentro do segundo colchetes, χ_{cg} , aparece devido ao ruído induzido na porta, que é gerado através do acoplamento capacitivo entre o canal e a porta do transistor. Em caso de ressonância de C_{in} na entrada do circuito, devido a uma compensação indutiva na fonte, os ruídos do canal e da porta do transistor estão desacoplados, fazendo com que sua contribuição possa ser desprezada, levando a $\chi_{cg} = 1$ [14]. De qualquer forma substituindo $|Z_{Cin}| \approx 285$ Ohms, como calculado anteriormente, $R_s = 50$ Ohms, o coeficiente de correlação para inversão forte $|c| = 0,395$ e adotando a relação entre os coeficientes de ruído da porta δ e do canal γ aproximadamente igual 2, o segundo termo fica muito próximo da unidade ($\sim 0,99$), e portanto, será desprezado nos cálculos daqui em diante. Assim a expressão para o fator de ruído reduz-se a equação:

$$F_{INT} = 1 + \gamma \frac{g_{ds0}}{g_{ms}} \frac{1}{g_{ms} R_s} \left[1 + \left(\frac{R_s}{|Z_{Cin}|} \right)^2 \right]. \quad (2.27)$$

Para a expressão resultante de F_{INT} as seguintes observações podem ser feitas: o termo quadrático com a razão entre R_s e Z_{Cin} pode ser desprezado quando comparado a unidade; assumindo casamento de impedâncias $g_{ms} \cdot R_s = 1$; e ainda $g_{ds0} = g_{ms}$. Assim, fica válida a expressão clássica para o fator de ruído do LNA porta comum, isto é, $F = 1 + \gamma$, que não leva em consideração contribuição da carga. Essa contribuição é dada pela expressão (2.28) [39]:

$$\frac{F_{R_L} - 1}{G_{P-LNA}} = \frac{R_L}{R_s} \frac{1}{|G_V|^2}. \quad (2.28)$$

Onde o ganho de potência G_{P-LNA} foi convertido em ganho de tensão G_V .

A expressão para o fator do ruído do LNA com $g_{ms} \cdot R_s = 1$, $g_{ds0}/g_{ms} = 1$, é dada por:

$$F = 1 + \gamma \left[1 + \left(\frac{R_s}{|Z_{C_m}|} \right)^2 \right] + \frac{R_L}{R_s} \frac{1}{|G_V|^2}, \quad (2.29)$$

e será tomada como uma aproximação consistente para o fator de ruído do circuito.

Nota-se que não há muito espaço para minimização do fator de ruído. A contribuição do transistor é praticamente constante, dependendo principalmente do coeficiente de ruído do canal γ . A contribuição da carga depende inversamente do ganho de tensão, que está limitado tanto pelo fator de qualidade do indutor de carga L quanto pelo casamento de impedâncias na entrada que força $g_{ms}=1/R_s$. Assim tem-se que para a expressão (2.29), supondo $\gamma = 2/3$, $R_L = 496$ Ohms, $R_s = 50$ Ohms e $G_V = 4,62$ os cálculos prevêem $F = 2,15$ sendo que a contribuição da carga é responsável por cerca de 20% desse total ($F = 0,46$). Convertendo para figura de ruído chega-se a $NF = 3,33$ dB, esse resultado seria um limite inferior para a figura de ruído do circuito, isto é, o valor mínimo possível se efeitos de canal curto não forem relevantes.

Adotando o valor para o coeficiente de ruído do canal $\gamma = 1$ na equação (2.29), que é mais adequado com a modelagem de efeitos canal curto e tem embasamento nas discussões sobre ruído apresentadas na seção 1.2.1, temos $NF = 3,97$ dB.

Mesmo com os resultados para a figura de ruído acima do especificado $NF = 3$ dB, a opção pela continuidade do projeto com o amplificador porta comum é feita devido às demais vantagens oferecidas pela topologia e mencionadas na seção 2.1, sobretudo em um contexto mais amplo de possibilidade de utilização do bloco em receptores para outros padrões de comunicação que operam na mesma faixa de frequência e têm requisitos semelhantes, mas que exigem desempenho mais modesto com relação à figura de ruído, aplicações do tipo PAN (Personal Area Network), como Zigbee [40].

Assim, para M1 resta apenas definir o ponto de operação DC, o que na verdade será consequência do projeto do espelho de corrente usado para fornecer a corrente de polarização ao circuito.

2.2 - Projeto dos circuitos de polarização

O espelho de corrente de alta excursão [29], [30], [31] a ser projetado aparece na Figura 2.7 abaixo, juntamente com o circuito completo do LNA, rerepresentado aqui para facilitar a descrição do projeto. Os transistores M3 a M6 fazem parte do espelho

propriamente dito, enquanto que M7 é projetado para gerar a tensão de polarização apropriada para a porta dos transistores M3 e M4. Essa tensão deve ser tal que o transistor M6 tenha V_{DS} suficiente apenas para operar no limiar da saturação, ou seja, $V_{DS6} = V_{DSsat6}$. Lembrando que a corrente através de R4 poderia ser gerada através de um circuito gerador de corrente específica, que se devidamente projetado, permitiria que g_{ms} do transistor M1 fosse praticamente independente da temperatura.

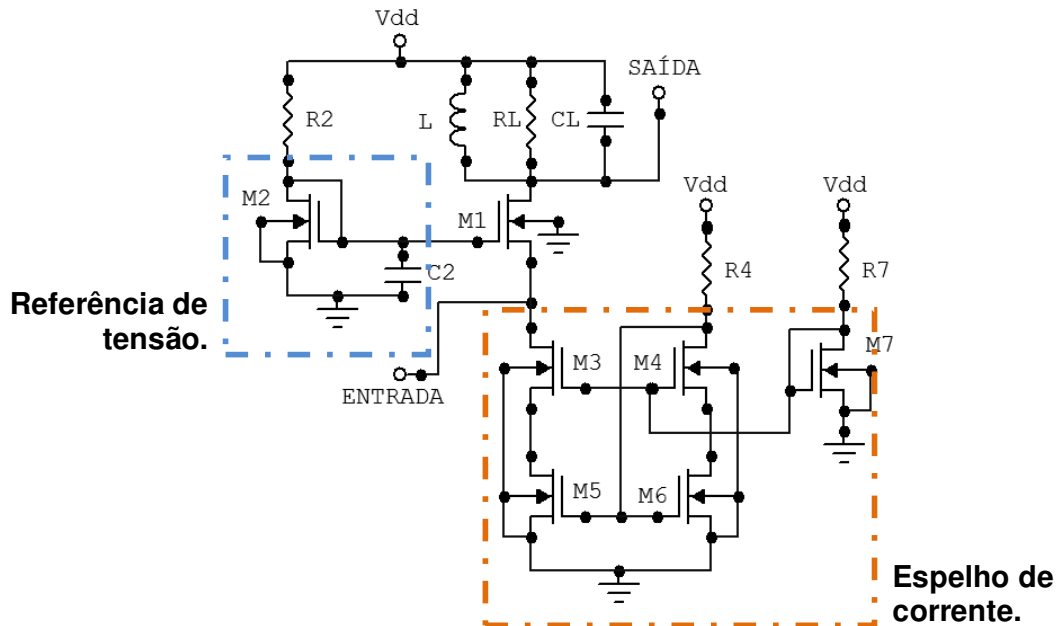


Figura 2.7 – Espelho de alta excursão de sinal e referência de tensão.

Primeiramente decidiu-se que a mesma corrente presente no ramo de M4 e M6, será replicada para o ramo dos transistores M5 e M3, impondo dessa forma que M5 e M6 sejam iguais. Os transistores M3 e M4 também serão projetados com dimensões iguais.

Sabendo que os transistores M5 e M6 dominam o comportamento do circuito visto a partir do nó da fonte do amplificador porta comum (M1), e que, portanto suas transcondutâncias (g_{ms5} e g_{ms6}) devem ser menores que a do transistor M1 para não adicionar mais ruído na entrada do circuito, optou-se por usar um nível de inversão algumas vezes maior que i_{f1} , $i_{f5,6} = 720$, que para uma corrente de dreno $I_D = 3$ mA fornece $g_{ms5,6} = 6,6$ mS (A partir daqui será feita referência apenas ao transistor M6 nos cálculos).

Através do nível de inversão especificado para M6 é possível calcular a tensão de saturação utilizando-se a equação:

$$V_{DSsat5(6)} = \phi_t \left(\sqrt{1 + i_{f5,6}} + 3 \right), \quad (2.30)$$

e a tensão de porta através da expressão:

$$V_{G5(6)} = n\phi_t \left[\sqrt{1 + i_{f5(6)}} - 2 + \ln \left(\sqrt{1 + i_{f5(6)}} - 1 \right) \right] + nV_{S5(6)} + V_{T0}. \quad (2.31)$$

Para a tensão de limiar adotou-se $V_{T0} = 0,465$ V [34], enquanto que os demais parâmetros são os mesmo dos cálculos anteriores, assim $V_{DSsat6} = 776$ mV e $V_{G6} = 1,34$ V. Esses valores definem conseqüentemente os potenciais para o transistor M4, já que $V_{D4} = V_{G6}$, e $V_{S4} = V_{DSsat6}$. Portanto: $V_{DS4} = V_{G6} - (V_{DSsat6} + 2\phi_t)$ onde o termo $2\phi_t$ é usado como margem de segurança no equacionamento para garantir que o transistor M5 opere com V_{DS} ligeiramente acima da tensão de saturação, independente de variações devido ao processo de fabricação ou ao uso de modelagem simplificada. O resultado é $V_{DS4} = 510$ mV, o que significa que esse seria o valor máximo para a tensão de saturação de M4 devido às imposições de M6.

Agora basta fazer a escolha do nível de inversão de M4, de tal forma que ele opere em saturação para $V_{DS4} = 510$ mV. Optou-se por $V_{DSsat4} = 400$ mV, usando (2.30) tem-se $i_{f4,3} = 152,4$ e conseqüentemente $V_{G4} = 1,82$ V através de (2.31). Essa tensão deve ser gerada pelo transistor M7, que está conectado como diodo. Calculando seu nível de inversão, novamente através de (2.31), tem-se $i_{f7}=1740$, e para uma corrente de dreno $I_{D7} = 250$ uA a largura de canal é $W_7 = 0,7$ μ m.

Através da corrente de polarização I_D desejada e do nível de inversão calcula-se a largura de canal para todos os demais transistores do espelho, lembrando que foi feita a escolha pela adoção de canal mínimo $L = 0,35$ μ m para todos os transistores, e que I_{SQ} é o mesmo utilizado previamente para M1.

Os resultados das simulações que serão apresentados mostrou que para a corrente de polarização desejada, $I_D = I_{D4} = 3$ mA, foi gerado um g_{ms1} superior ao necessário para o projeto, provavelmente devido à incerteza em I_{SQ} como foi previamente apontado. Os cálculos com $I_{D4} = 2,5$ mA apresentaram bons resultados na simulação e o projeto para esta corrente será demonstrando. Abaixo, a Tabela (2.3) apresenta as dimensões para W encontradas com $I_{D4} = 2,5$ mA, $I_{D7} = 250$ μ A e $L = 0,35$ μ m.

Tabela 2.3 – Largura de canal de M3 a M7 para $L = 0,35 \mu\text{m}$.

Transistor	W (μm)
M3	77,35
M4	77,35
M5	15,05
M6	15,05
M7	0,7

Com o intuito de minimizar a necessidade de fontes externas optou-se pelo uso de resistores integrados para gerar as correntes necessárias. Para $I_{D4} = 2,5 \text{ mA}$, $R_4 = 770 \text{ Ohms}$, e para $I_{D7} = 250 \mu\text{A}$, $R_7 = 5920 \text{ Ohms}$.

Para o projeto de M2, que gera a tensão de polarização de porta do transistor M1, deve-se calcular V_{G1} através da tensão de fonte V_{S1} , do nível de inversão adotado $i_{f1} = 120$ e da equação (2.31). Sabendo que $V_{S1} = V_{DSsat5} + V_{DSsat3} = 1,18 \text{ V}$, o resultado é $V_{G1} = V_{G2} = 2,23 \text{ V}$.

Com $V_{S2} = 0$ e usando a mesma equação, tem-se que $i_{f2} = 2980$. Escolhendo-se $I_{D2} = 450 \mu\text{A}$ a largura de canal resultante é $W_2 = 0,7 \mu\text{m}$, e o resistor para gerar essa corrente deve ser $R_2 = 2380 \text{ Ohms}$.

O capacitor conectado a porta de M1 e M2 tem a função de desacoplar a alta frequência entre os blocos, e seu valor é $C_2 = 5 \text{ pF}$, que é o valor máximo caracterizado e, portanto, permitido no design kit da tecnologia utilizada, mas suficiente para a função.

A Tabela 2.4 apresenta as dimensões para todos os transistores e o número de portas NG (*Number of Gates*) que será adotado para o particionamento de W , além dos valores dos componentes passivos presentes no circuito da Figura 2.7.

Tabela 2.4 – Dimensões e valores dos componentes.

Componente	W(μm)	L(μm)	NG / Valor
M1	127,4	0,35	13
M2	0,7	0,35	1
M3	77,35	0,35	8
M4	77,35	0,35	8
M5	15,05	0,35	2
M6	15,05	0,35	2
M7	0,7	0,35	1
L	155	155	10 nH
C _L	18,5	18,5	0.35 pF
R ₂	1	35,7	2380 Ω
R ₄	1	11,55	770 Ω
R ₇	1	88,8	5920 Ω
C ₂	76,05	76,05	5 pF

3 - SIMULAÇÕES

O conjunto de simulações efetuado visa verificar o desempenho do circuito e validar a metodologia de projeto. Utilizou-se o simulador Eldo, da Mentor Graphics, com as extensões para radiofrequência e o *design kit* da AMS para tecnologia 0,35 μm versão 3.70. Os modelos fornecidos pela *foundry* para os componentes passivos (capacitores, resistores e indutores) e transistores são proprietários e característicos para simulações em alta frequência.

Especificamente para o transistor, o modelo do MOSFET intrínseco é baseado no BSIM3v3.1 [41], enquanto que o subcircuito fornecido inclui efeitos das indutâncias e resistências de contato, além de diodos para as junções e resistências do substrato, todos dependentes das dimensões do componente. Sua forma geral é semelhante aos modelos usualmente adotados para simulações em rádio frequência [42] e aparece na Figura 3.1. Nas simulações do esquemático os transistores foram particionados visando minimizar a influência da resistência de contato da porta e aumentar a similaridade com a implementação *multi-finger* posteriormente feita no leiaute do dispositivo.

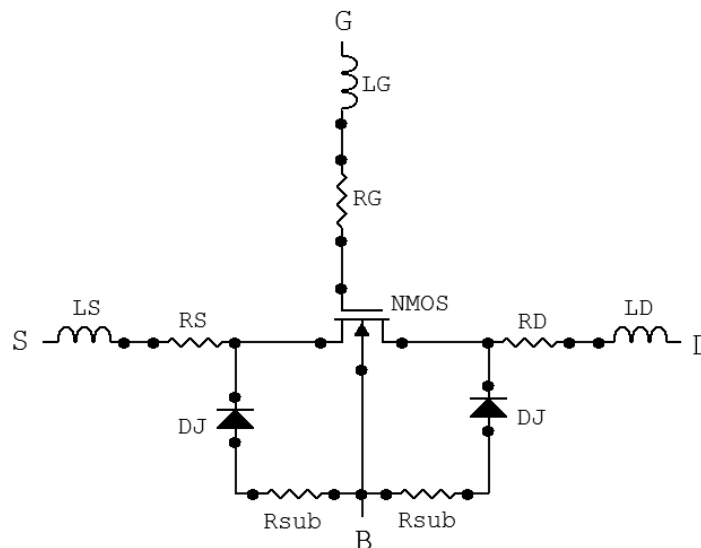


Figura 3.1 – Subcircuito para o transistor MOS em RF.

É importante apontar aqui que nas simulações a largura de canal para o transistor M1 teve seu valor alterado para $W_1 = 130 \mu\text{m}$. Isso foi necessário pois o modelo de rádio frequência utilizado permite apenas múltiplos de 5 μm para a largura de canal no

leiaute. Ainda, durante as simulações o valor do capacitor de carga foi reduzido para $C = 300$ fF para garantir a ressonância em 2,4 GHz. Parcialmente pode-se associar essa redução a um aumento das capacitâncias devido ao novo valor de W1; outra causa possível está ligada às demais capacitâncias parasitas do MOSFET que não foram levadas em consideração devido à dificuldade de modelagem, como C_{top} e C_{of} e C_{if} [35]. C_{top} deve-se às linhas de campo da parte superior do terminal de porta, C_{of} deve-se as linhas de campo que se originam na porta do transistor e terminam na porção externa das regiões de fonte e dreno através do óxido de espaçamento, e C_{if} deve-se ao campo elétrico da porta do transistor às laterais das regiões de difusão de fonte e dreno.

A lista dos modelos utilizados encontra-se na Tabela 3.1. Os modelos não serão apresentados aqui pelo fato de serem proprietários. Os argumentos para cada escolha são: para os transistores, a limitação com respeito às dimensões levou ao uso do modelo RF apenas em M1; para os capacitores o único modelo disponível era cpolyrf para capacitores de polisilício; para os resistores a escolha foi baseada na maior precisão de valores de resistência obtidos com o modelo poly2rf para resistores de polisilício, se comparada com o outro modelo disponível, rpolyhrf de alta resistividade; o indutor faz parte da biblioteca de componentes do design kit da AMS.

Tabela 3.1 – Modelos para simulação utilizados.

Componente	Modelo
Transistor M1	modnrf
Transistores M2 a M7	modn
Resistores	rpoly2rf
Capacitores	cpolyrf
Indutor	SP090S155D

3.1 - Análise DC

Com respeito ao ponto de operação DC os potenciais simulados e calculados para os principais nós aparecem na Tabela 3.2, assim como a corrente de polarização e a transcondutância extraída.

O consumo de potência apontado pelo simulador, incluindo a rede de polarização, foi de 14,4 mW.

Tabela 3.2 – Valores DC para o LNA.

	Calculado	Simulado	Unidade
I_{D1}	2,5	2,15	mA
g_{ms1}	20	19,9	MS
V_{G1}	2,23	2,4	V
V_{S1}	1,18	1,4	V
$V_{D5(6)}$	0,78	0,99	V
$V_{G5(6)}$	1,34	1,37	V
$V_{G3(4)}$	1,82	2,0	V

As diferenças observadas nos potenciais medidos têm origem tanto na incerteza de certas parâmetros tecnológicos, como a mobilidade dos portadores μ , ou a capacitância de óxido C_{OX} , diretamente ligadas a parâmetros elétricos que definem a polarização do circuito (como a corrente de normalização quadrada I_{SQ}), como em parâmetros do modelo ACM fracamente dependentes da polarização, como o fator de inclinação n , ou μ , mas que para efeito dos cálculos foram considerados constantes. Além disso, simplificações feitas na modelagem dos circuitos equivalentes e que eventualmente omitem certos parasitas em componentes passivos e no próprio transistor, devido a dificuldade de modelagem, também podem gerar divergência entre os valores calculados e observados durante as simulações.

3.2 - Análise AC

A metodologia empregada nas simulações a seguir é baseada nos tutoriais da Mentor Graphics presentes no manual do usuário do ELDO RF [43]. A ferramenta possui extensões específicas para trabalhar com circuitos de rádio frequência e permitir simulações de parâmetros S, figura de ruído, produtos de intermodulação, entre outros. Essas extensões são acessíveis apenas no informalmente chamado modo *netlist* do simulador.

3.2.1 - Ganho

Para extração do ganho de tensão as simulações foram executas de acordo com a configuração da Figura 3.2, onde V_S é uma fonte pequeno sinal com frequência variando de 1 GHz a 4 GHz e $R_S = 50$ Ohms é a resistência da fonte. A curva obtida aparece na Figura 3.3 juntamente com a previsão teórica, e o ganho de tensão encontrado para 2,4 GHz é $G_V = 13,34$ dB. Para a faixa de operação desejada $2,4 \text{ GHz} \leq f \leq 2,4835 \text{ GHz}$, o ganho é praticamente constante como mostra a ampliação da simulação na Figura 3.4.

A seletividade menos pronunciada para o resultado da simulação, visível pela diferença de abertura das curvas, deve-se à redução do fator de qualidade do circuito ressonante na saída. Essa redução tem origem na maior precisão na modelagem da rede passiva de saída feita pelo simulador, que leva em conta o fator de qualidade finito do capacitor de carga C_L , e outros componentes parasitários do transistor que têm modelagem complexa, origem imprecisa, e são inadequados para equacionamentos compactos do circuito.

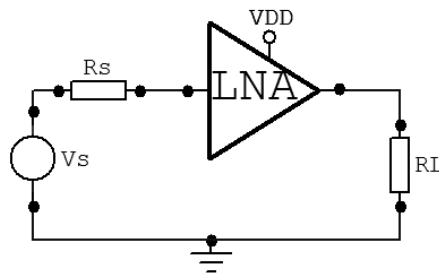


Figura 3.2 – Configuração para simulação do ganho de tensão.

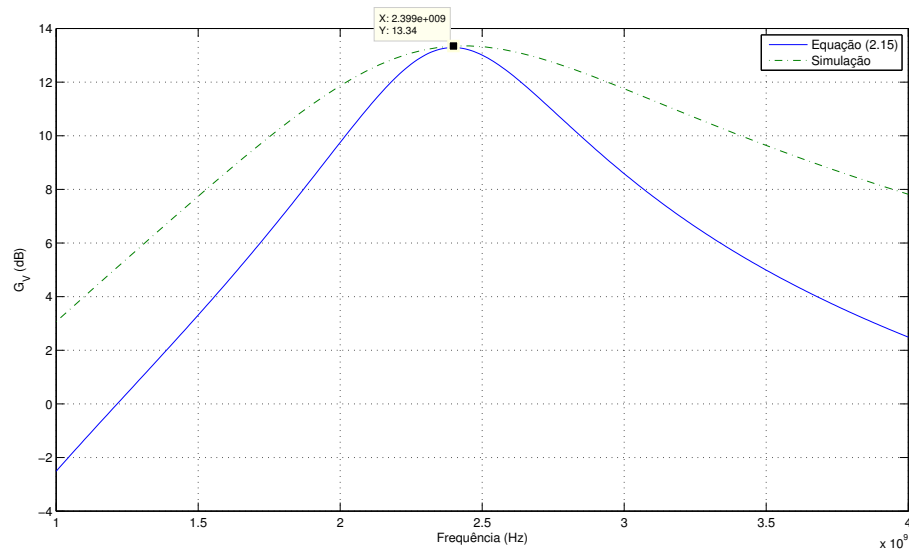


Figura 3.3 – Ganho de tensão do LNA.

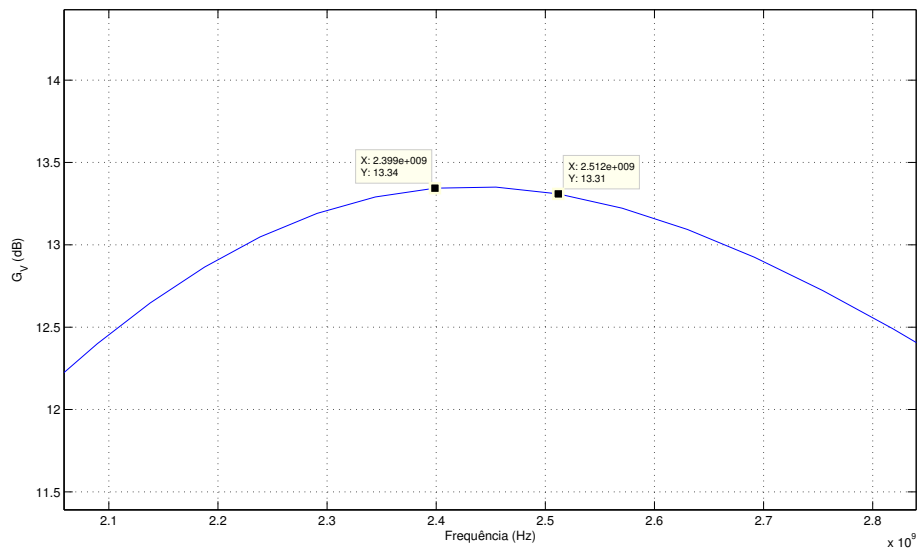


Figura 3.4 – Ampliação do ganho de tensão simulado na banda de interesse.

3.2.2 - Z_{in} , S_{11} e S_{12}

As medidas de impedância de entrada Z_{in} , índice de reflexão na entrada S_{11} e isolamento reversa S_{12} são obtidas através de simulação de parâmetros S. A configuração para essa simulação é apresentada na Figura (3.5), e a metodologia é a seguinte: duas fontes de sinal são conectadas ao circuito, uma na porta de entrada e outra na porta de saída. As impedâncias das fontes são ajustadas para o casamento com cada porta. Cada

fonte é ativada de uma vez permitindo obter todos os parâmetros na matriz S, a potência dos sinais gerados em cada fonte é $P_1 = -30$ dBm e $P_2 = -20$ dBm, e a frequência varia de 2 GHz a 3 GHz.

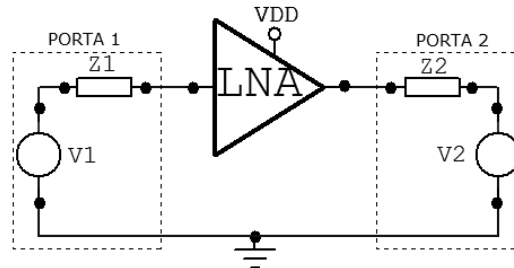


Figura 3.5 – Configuração para simulação de parâmetros S.

A Figura 3.6 apresenta a impedância de entrada, e seu o valor para 2,4 GHz é $Z_{in} = 50,5 - j 7,0$ Ohms através da simulação. A curva teórica prevê $Z_{in} = 54,7 - j10,9$ e em geral tem uma boa estimativa para a parte real, enquanto que a diferença na parte imaginária deve-se principalmente a uma diminuição da capacitância total no nó de entrada devido ao particionamento dos transistores.

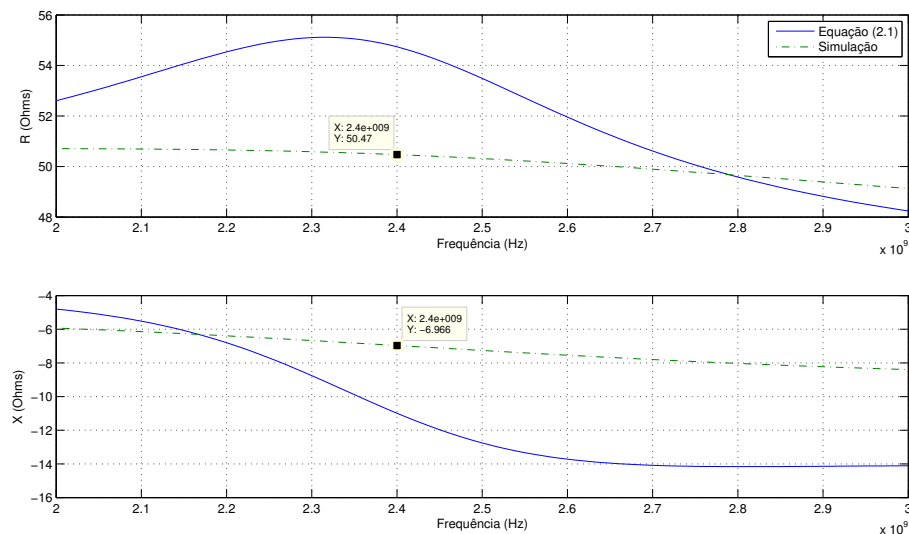


Figura 3.6 – Parte real e imaginária de Z_{in} .

Nas figuras 3.7 e 3.8 aparecem as simulações para o índice de reflexão na entrada e a isolamento reversa, respectivamente, e seus valores em 2,4 GHz são $S_{11} = -23,18$ dB e $S_{12} = 31,02$ dB. As divergências para S_{11} entre a curva teórica, que fornece

$S_{11} = -18,9$ dB, e a curva experimental já eram esperadas tendo em vista os resultados apresentados para a impedância de entrada.

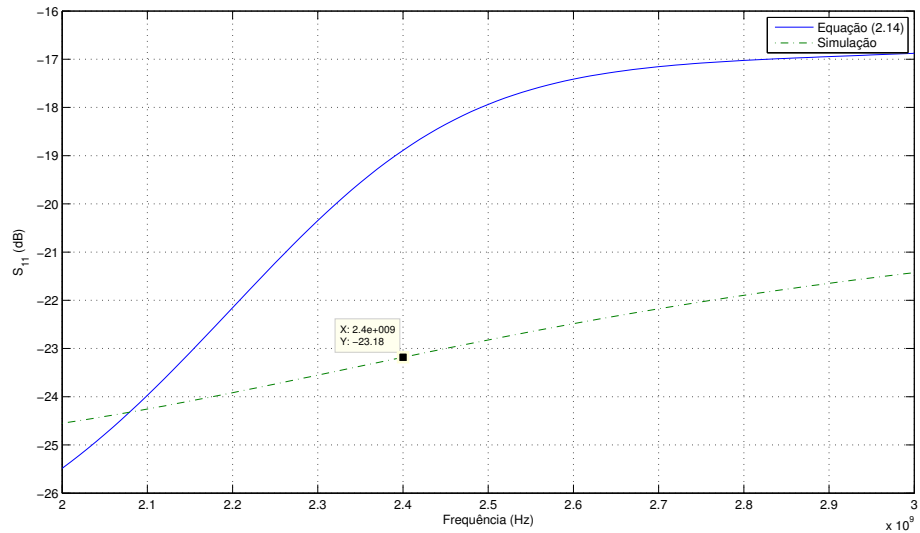


Figura 3.7 – Índice de reflexão na entrada, S_{11} .

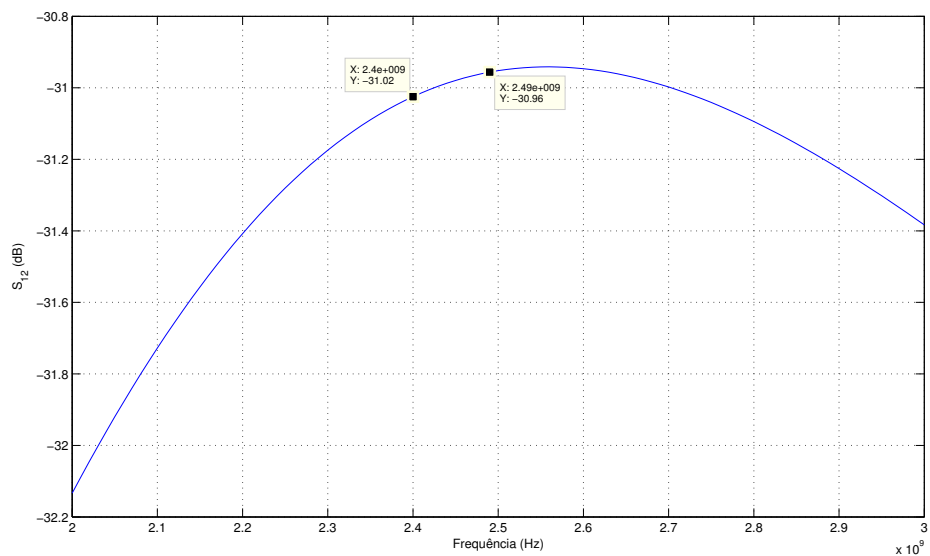


Figura 3.8 – Isolação Reversa, S_{12} .

3.2.3 - Figura de ruído

Nas simulações para análise de ruído conecta-se uma fonte com potência $P_1 = -90$ dBm e resistência interna $R_1 = 50$ Ohms à porta de entrada. A medida é feita sobre

um resistor da ordem de 10^7 Ohms conectado à saída. A varredura em frequência ocorre na faixa entre 2 GHz e 3 GHz. O esquema é o da Figura 3.2. Os resultados aparecem na Figura 3.9, com NF = 4,15 dB ($F = 2,6$) para a simulação em 2,4 GHz, valor um pouco acima do encontrado para a curva que representa a equação (2.27), da qual se encontra $F = 3,97$ dB.

O excesso de ruído na saída do amplificador, além do esperado, tem algumas explicações possíveis. A primeira diz respeito a todos os demais dispositivos ligados ao transistor M1 que são prováveis geradores de ruído, como o espelho de corrente e o resistor de carga C_L que não são componentes ideais. Outra fonte possível são as resistências de contato e de substrato que foram negligenciadas nos cálculos, mas que devem contribuir, mesmo que pouco, para o ruído total.

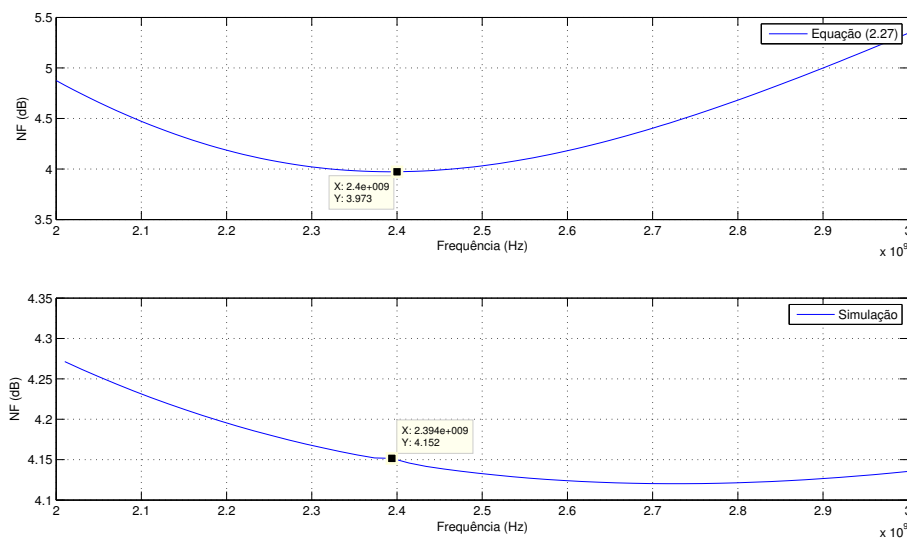


Figura 3.9 – Figura de ruído para o LNA.

De fato, uma análise dos dados numéricos no arquivo de relatório da simulação mostra que cerca de 10% do ruído na saída é devido a outros componentes, principalmente M5, M6 e M3.

3.2.4 - Ponto de compressão de 1 dB

O ponto de compressão de 1 dB referido à saída, OP1dB, é simulado com uma configuração semelhante à da Figura 3.2, mas nesse caso conecta-se a entrada do LNA

a uma fonte com frequência fundamental em 2,4 GHz e resistência interna $R_S = 50$ Ohms. A curva extraída aparece na Figura 3.10, de onde se obtém que $OP_{1dB} = -6,7$ dBm.

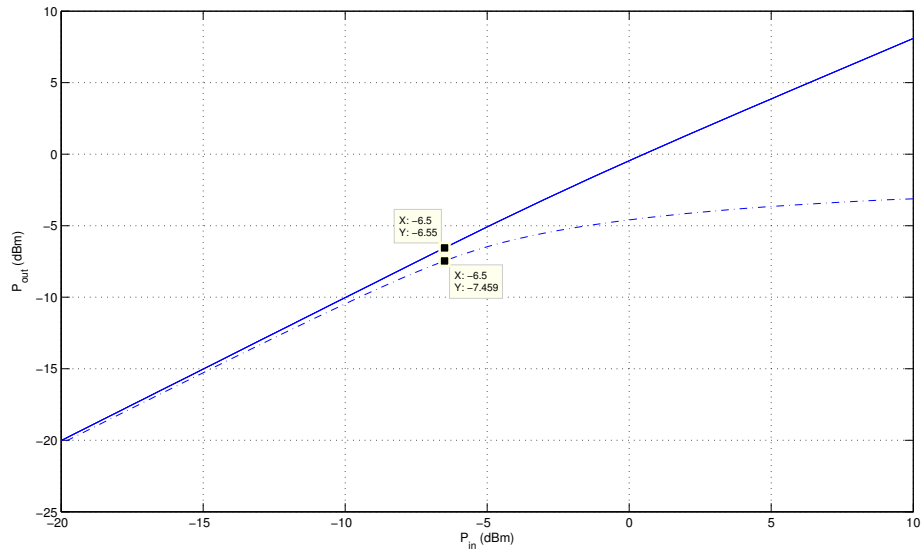


Figura 3.10 – Ponto de compressão de 1 dB.

A Tabela 3.3 agrupa os resultados obtidos com as simulações ao lado dos requisitos de projeto e dos valores encontrados através dos cálculos para algumas dos parâmetros de desempenho do LNA.

Tabela 3.3 – Comparação entre resultados e requisitos a 2,4 GHz.

	Requisitos	Cálculos	Simulações
Ganho de tensão (dB)	13	13,29	13,3
Z_{in} (Ω)	50	$54,7 - j10,9$	$50,5 - j7,0$
S11 (dB)	-12	-18,9	-23,18
S12 (dB)	30	-	31,02
NF (dB)	3	3,97	4,15
OP_{1db} (dBm)	-10	-	-6,7

É possível notar que o requisito de figura de ruído não foi atendido, como se havia previsto. Quanto aos demais valores, os resultados estão dentro das especificações e a análise teórica fez previsões adequadas validando a metodologia empregada.

4 - LEIAUTE

Para o leiaute do LNA levou-se em conta limitações e exigências do design kit, assim como características necessárias para execução das medidas experimentais em RF.

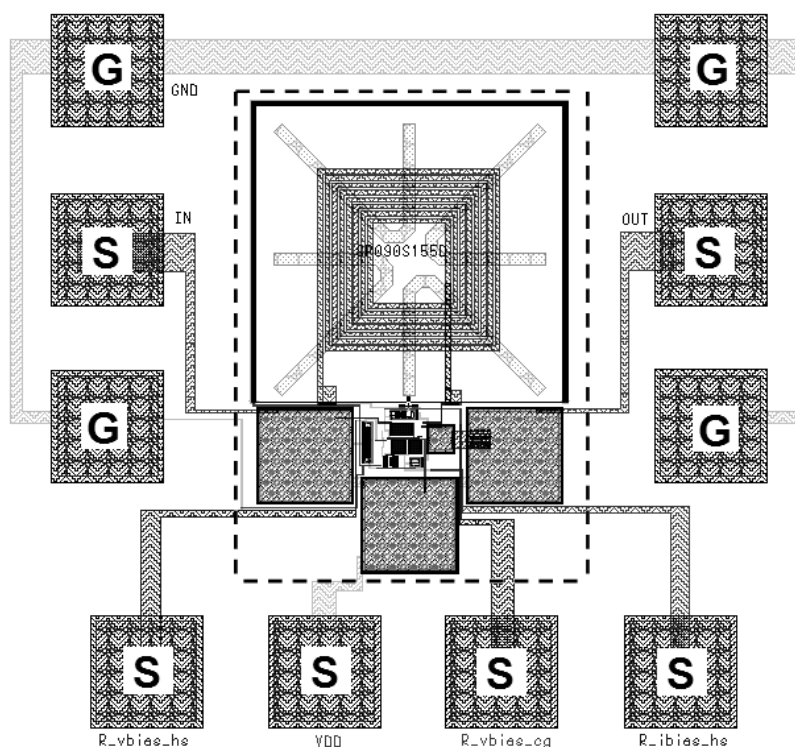


Figura 4.1 – Leiaute do LNA.

O leiaute completo do circuito aparece na Figura 4.1. Dentro da região pontilhada está a área principal composta pelos componentes da Figura 2.1 mais os capacitores de desacoplamento adicionados à entrada e saída, enquanto que as estruturas fora dessa região são os “pads” para polarização, injeção do sinal de RF e medição, perfazendo um total de dez.

A área total ocupada pelo leiaute é de aproximadamente $A_{total} = 0,4 \text{ mm}^2$, sendo que a área ativa, que exclui os componentes necessários para as medidas experimentais, ocupa cerca de $A_{ativa} = 0,08 \text{ mm}^2$.

Todos os componentes do circuito ou foram gerados automaticamente pelo *design kit* ou fazem parte da biblioteca da tecnologia adotada, e correspondem aos modelos apresentados na Tabela 3.1 para as simulações.

4.1 – “Pads”

O contato com os pads será feito através de pontas de prova em uma *probe-station*, ou estação microprovadora. O uso da mesma é uma opção no caso de circuitos com alta sensibilidade a componentes parasitas, como é o caso em RF, já que as capacitâncias e indutâncias adicionadas ao circuito pelos pads convencionais e os microfios (*bond wire*) que os conectam aos pinos no encapsulamento são da mesma ordem de grandeza dos componentes do circuito. Por exemplo, um *bond wire* com 2 mm de comprimento e 25,4 μm (1 mil) de diâmetro tem as características elétricas apresentadas na Tabela 4.1.

Tabela 4.1 – Parâmetros elétricos para *bond wire* de 2 mm x 25,4 μm [44].

Resistência (Ω)	0,103
Indutância (nH)	1,996
Capacitância (fF)	0,122

Há projetos que utilizam os *bond wires* para substituir os indutores do circuito [9], e em casos práticos o projeto é feito para que a indutância série do *bond wire* e a capacitância paralelo da cabeça do pad, o chamado *bond pad*, ressonem na frequência de interesse [44]. Tais alternativas podem não ser convenientes quando não há uma caracterização de qualidade das características elétricas das partes em questão.

Os pads utilizados, versões reduzidas de pads convencionais, não necessitam de proteção por não estarem ligados a pinos externos como em circuitos encapsulados. Estruturalmente são construídos com o empilhamento ao longo de sua área das quatro camadas de metais do processo utilizado, sendo que no topo do pad abre-se uma janela sem passivação para permitir o contato elétrico com a ponta de prova. Várias vias de contato entre os metais são colocadas nesta região permitindo que a interconexão do circuito ao pad seja feita com qualquer tipo de metal.

A Figura 4.2 apresenta um esquema do pad utilizado, onde o quadrado externo diz respeito às camadas de metais sobrepostas, o interno representa a janela de passivação, e os demais quadrados menores são as vias. Quanto à geometria, as características mais importantes dizem respeito às dimensões da área de metal e da abertura de passivação, e devem estar de acordo com as necessidades das pontas de prova disponíveis para medição. Pads ou aberturas muito pequenos podem impossibilitar o acesso ao circuito, além de dificultar a operação de posicionamento e danificar as

pontas de prova. Para as pontas de prova disponíveis as dimensões apresentadas na Figura 4.2 são suficientes.

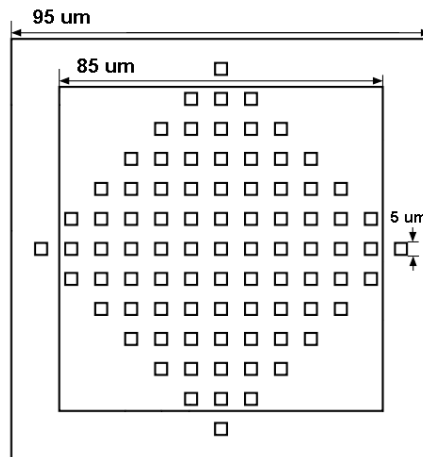


Figura 4.2 – Estrutura do *bond pad*.

A configuração ou arranjo dos pads é outra questão importante, e é definida pelo tipo de sinal que se deseja medir ou alimentar o circuito. Para sinais contínuos ou de baixa frequência apenas um pad (denominado S, de *Signal*) é necessário e, portanto, usa-se ponteiras com uma única ponta de prova ou contato. No circuito da Figura 4.1 os pads de sinal são os quatro pads inferiores alinhados horizontalmente.

Medidas precisas em alta frequência necessitam de configurações mais robustas e, usualmente, a escolha se dá entre dois tipos: uma composta por dois pads, para ponteiras com duas pontas de prova, denominadas GS (*Ground – Signal*) e outra composta por três pads, para ponteiras GSG (*Ground – Signal – Ground*).

Escolheu-se a configuração GSG, que é mais popular pois diminui o acoplamento parasita do contato de sinal S com o *wafer* através dos contatos de terra G. Basicamente essa configuração permite um melhor controle dos campos elétrico e magnético no entorno do contato de sinal [45], [46]. Na Figura 4.1 eles são os pads alinhados verticalmente em dois pares de três, à esquerda para a entrada de sinal no circuito, e à direita para saída.

A necessidade de mais contatos em uma única ponteira impõe distâncias específicas e alinhamento adequado entre os pads em uma configuração GS ou GSG. Para a ponteira GSG disponível, a distância entre o centro dos pads adjacentes é de 150 µm. De uma maneira geral, no leiaute adotou-se essa distância entre o centro de quaisquer pads adjacentes, independente do tipo de ponteira. Além disso, alinhamento de pads em colunas ou linhas têm uma distância de 200 µm ou mais em relação aos

demais. Essas características estão dentro das especificações e possibilitam o acesso e manipulação com facilidade. A Figura 4.3 apresenta uma ampliação de parte dos pads apontando essas distâncias.

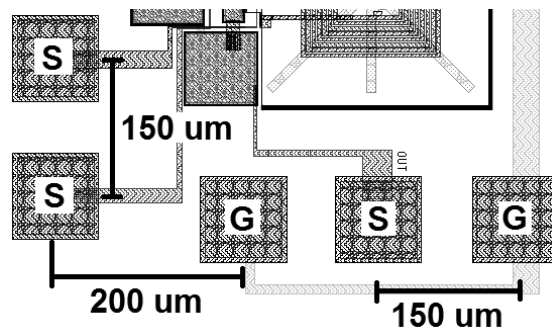


Figura 4.3 – Distâncias entre pads adjacentes e alinhados.

Para eliminar a influência dos pads nas medidas, usualmente são adotados métodos de calibração que replicam o leiaute original e substituem o circuito principal no leiaute por padrões do tipo *open*, *short* e *thru* (aberto, curto e através). A extração experimental dos parâmetros S, Z e Y do circuito com cada um desses padrões e uma posterior manipulação algébrica dos resultados permite reduzir o efeito dos pads, interconexões e aparatos de medida no resultado final dos experimentos [44]. Isso foi feito para o LNA e os leiautes aparecem na Figura 4.4. Infelizmente, esse método exige muita área, e em um primeiro momento serão usados os dados das simulações para compensar os efeitos externos ao circuito principal.

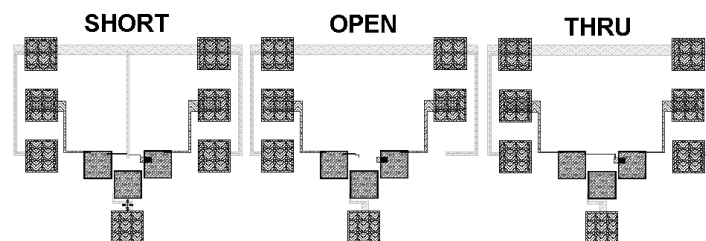


Figura 4.4 – Estruturas para *de-embedding*: *short*, *open* e *thru*.

4.2 - Bloco principal

No bloco principal, o componente que mais consome área é o indutor. Apesar de as dimensões oficiais do mesmo serem $155 \times 155 \mu\text{m}$, o anel de guarda e o metal superior de proteção aumentam o tamanho para $268 \times 255 \mu\text{m}$. Uma ampliação do componente aparece na Figura 4.5. Como já mencionado, o indutor faz parte da biblioteca de componentes do design kit, com suas dimensões e geometria predefinidas e

fixas, e não é gerado automaticamente a partir de um valor desejado de indutância. Apenas alguns valores estão disponíveis e possuem uma caracterização completa.

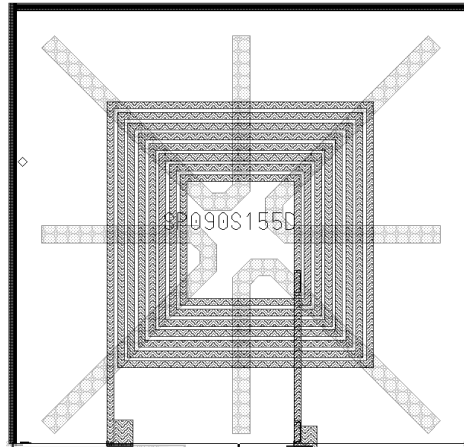


Figura 4.5 – Leiaute do indutor.

Quanto aos capacitores todos são do tipo cpolyrf. Os de desacoplamento têm valor $C = 5 \text{ pF}$, e a área ocupada é de $(76,05 \times 76,05) \mu\text{m}^2$. O capacitor de carga C_L ocupa uma área de $(18,5 \times 18,5) \mu\text{m}^2$ e pode ser visto na Figura 4.6, juntamente com os demais transistores e resistores do circuito.

Os resistores são do tipo rpoly2rf, e por questões construtivas foram usados *bends* (ou curvas) que além de permitirem uma melhor utilização da área, reduzem a chance de que variações no processo de fabricação ao longo do *wafer* alterem de forma significativa o valor esperado para as resistências no leiaute. As áreas são $A_{R2} = (1 \times 35,7) \mu\text{m}^2$, $A_{R4} = (1 \times 11,55) \mu\text{m}^2$ e $A_{R7} = (1 \times 88,8) \mu\text{m}^2$.

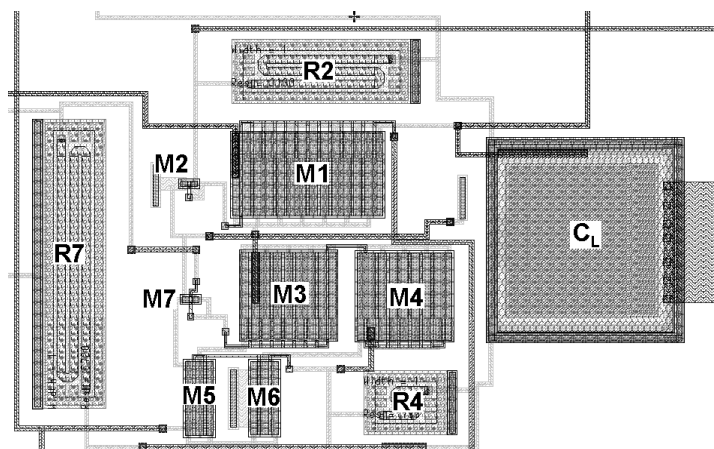


Figura 4.6 – Detalhe do leiaute do LNA.

Nas simulações foram utilizados dois modelos diferentes para os transistores do circuito, *modnrf* para M1, e *modn* para os demais. Contudo, o leiaute dos transistores MOS independe do tipo de modelo utilizado. A única diferença reside no fato de os transistores de RF, que utilizam o modelo *modnrf*, terem dimensões fixas para a largura de canal W de 5 μm ou 10 μm apenas, o que certamente deve-se à caracterização feita unicamente para estas dimensões. Isso implica que transistores com dimensões maiores que 10 μm sejam estruturas *multi-finger*, com *fingers* de 5 μm ou 10 μm . De qualquer forma os transistores foram particionados visando à melhor ocupação de área, minimização dos efeitos das resistências de porta e redução das capacitâncias parasitas.

Foram realizadas ainda verificações básicas do leiaute como DRC (*Design Rules Check*) e LVS (*Layout Versus Schematic*), além de uma extração de parasitas (PEX – *Parasitic Extraction*). A única diferença entre o circuito extraído através do PEX e o usado nas simulações do esquemático foram as capacitâncias parasitas dos pads. Os dados obtidos serão utilizados para compensar a influência dos mesmos nos resultados experimentais através da interface de configuração dos aparelhos de medição.

5 - CONSIDERAÇÕES FINAIS

Apesar de não atender à especificação de figura de ruído para o esquema de modulação proposto pelo sistema VAAE, a topologia porta comum escolhida teve um bom desempenho nos demais parâmetros e de acordo com a análise feita é uma opção mais adequada do que a configuração fonte comum para projetos que exigem baixo consumo, baixo custo e operação em banda larga, podendo ser utilizada principalmente em padrões de comunicação que também operam na banda ISM em 2,4 GHz e têm requisitos muito mais relaxados de figura de ruído como Zigbee ou Bluetooth.

O circuito apresentado em [24], [25] propõe uma solução elegante para o projeto de LNAs banda larga e sem o uso de indutores, explorando simultaneamente a característica banda larga de Z_{in} e o cancelamento de ruído para configuração porta comum através de uma configuração diferencial, além do baixo fator de ruído para topologia fonte comum, e deve ser melhor estudado.

A consistência dos resultados teóricos comparado às simulações mostra a viabilidade de se usar o modelo ACM para o projeto em alta frequência com uma tecnologia como 0,35 μm , na qual alguns efeitos de canal curto já aparecem.

Ainda, é de grande importância a experiência adquirida no projeto em RF visando circuitos integrados, desde a parte teórica com as figuras de desempenho específicas da área e incorporação de novos conceitos e métodos, passando pelo conhecimento e familiarização com os metodologias e programas de simulação para RF, como o ELDO RF e o ADS, a utilização do design kit da AMS com componentes e modelos devidamente documentados, e o desenvolvimento do leiaute baseado nas necessidades experimentais. Necessidades estas que contribuíram para a busca e aquisição de equipamentos essenciais para rádio frequência, como um analisador de redes, um analisador de espectro e uma *probe station*.

Como perspectiva de trabalhos futuros há a verificação experimental do projeto, modificações visando melhor desempenho, inclusão no projeto do gerador de corrente específica [32], [33] tornando g_{ms} , e portanto Z_{in} , independente da temperatura, e testes com o misturador desenvolvido paralelamente. De forma mais ambiciosa, há a possibilidade do estudo de sua incorporação em um estágio completo de RF em um receptor a ser projetado pelo próprio laboratório, o que apesar do grande desafio técnico seria de imenso valor teórico e experimental.

6 – REFERÊNCIAS BIBLIOGRÁFICAS

- [1] - W. Hequan, "Telecommunications: Challenges & Transformation", IEEE Commun. Mag., January 2009, pp. 10-13.
- [2] - D. Robertson, T. Montalvo, "Issues and trends in RF and mixed signal integration and partitioning", IEEE Commun. Mag. September 2008, pp. 52-56.
- [3] - P. Koch, R. Prasad, "The Universal Handset", IEEE Spectrum Mag. (International), April 2009, pp. 32-37.
- [4] - J. M. Costa, "Sistema de Comunicação de Voz Amostrada com Espalhamento Espectral", Dissertação de mestrado, EEL/UFSC, 2003.
- [5] - European Telecommunications Standards Institute, "DECT", <http://www.etsi.org/WebSite/Technologies/DECT.aspx> (26 de julho, 2009).
- [6] - C. Galup-Montoro and M. C. Schneider, "Mosfet Modeling For Circuit Analysis And Design", International Series on Advances in Solid State Electronics and Technology, World Scientific, 2006.
- [7] - B. Razavi, "RF microelectronics", Prentice-Hall, Inc., Upper Saddle River, NJ, 1998.
- [8] - J. Rogers and C. Plett, "Radio Frequency Integrated Circuit Design", Artech House, Inc., Norwood, MA, 2003.
- [9] - T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", 1st ed., Cambridge, UK: Cambridge University Press, 1998.
- [10] - T. Stucke, N. Christoffers, R. Kokozinski, S. Kolnsberg, B. J. Hosticka, "The Impact Of Technology Parameters On The Performance Of Common-gate LNAs", Mixed Design of Integrated Circuits and System, 2006. MIXDES 2006. Proceedings of the International Conference, June 2006, pp. 538-543.
- [11] - K. Han, H. Shin, and K. Lee, "Analytical drain thermal noise current model valid for deep sub-micron MOSFETs," IEEE Trans. Electron Devices, vol. 51, no. 2, pp. 261–269, February 2004.
- [12] - C. H. Chen, M. J. Deen, "Channel noise modeling of deep submicron MOSFETs", IEEE Transactions on Electron Devices, August 2002, pp. 1484-1487.
- [13] - A. J. Scholten, L. F. Tiemeijer, R. van Langevelde, R.J. Havens, A.T.A. Zegers-van Duijnhoven, V.C. Venezia, "Noise Modeling for RF CMOS Circuit Simulation", IEEE Transactions on Electron Devices, March 2003, pp. 618- 632.
- [14] - X. Guan, A. Hajimiri, "A 24-GHz CMOS front-end", IEEE Journal of Solid-State Circuits, February 2004, pp. 368- 373.

- [15] - C. Chang, C. Yen, H. Chuang, "A 2.4~6GHz CMOS Broadband High-Gain Differential LNA for UWB and WLAN Receiver", Asian Solid-State Circuits Conference, November 2005, pp. 469-472.
- [16] - Y. S. Wang and L.-H. Lu, " 5.7 GHz low power variable gain LNA in 0.18 um CMOS", Electronics Letters, vol. 41, no. 2, January 2005.
- [17] - I. gil, I. Cairo, J. J. Sieiro, "Low-power single-to-differential LNA at S-band based on optimized transformer topology and integrated ESD", Electronics Letters, Vol. 44, no. 3, January 2008.
- [18] - S. B. T. Wang, A. M. Niknejad, and R. W. Brodersen, "Design of a sub-mW 960-MHz UWB CMOS LNA," IEEE Journal of Solid-State Circuits, vol. 41, no. 11, November 2006.
- [19] - D. J. Allstot, X. Li, S. Shekhar, "Design considerations for CMOS low-noise amplifiers", 2004 IEEE Radio Frequency Integrated Circuits (RFIC), 2004, pp. 97 – 100.
- [20] - S. Ganesan, E. Sánchez-Sinencio, J. Silva-Martinez, "A Highly Linear Low-Noise Amplifier", IEEE Transactions on Microwave Theory and Techniques, December 2006, pp. 4079-4085.
- [21] - J. Kim, C. Park, H. Kim, B. Kim, Y. Kim, " Improving the Linearity of CMOS LNA Using the Post IM3 Compensator", Journal of the Korea Electromagnetic Engineering Society, June 2007, pp. 91-95.
- [22] - T.-K. Nguyen, S.-K. Han, S.-G. Lee, "Ultra-low-power 2.4 GHz image-rejection low-noise amplifier", Electronics Letters, Vol. 41, no 15, July 2005.
- [23] - S. K. Alam and J. DeGroat, " A 1.5-V 2.4GHz Differential CMOS Low Noise Amplifier for Bluetooth and Wireless LAN Applications", 2006 IEEE North-East Workshop on Circuits and Systems, June 2006, pp. 13-16.
- [24] - S. C. Blaakmeer, E. A. M. Klumperink, B. Nauta, "An inductorless wideband balun-LNA in 65 nm CMOS with balanced output", Proc. 33rd Eur. Solid-State Circuits Conf. (ESSCIRC 2007), pp. 364 – 367.
- [25] - F. Brucoleri, E. A. M. Klumperink, B. Nauta, "Wide-band CMOS low-noise amplifier exploiting thermal noise canceling", IEEE Journal of Solid-State Circuits, February 2004, pp. 275 - 282.
- [26] - D. K. Shaeffer, T. H. Lee, "A 1.5-V, 1.5-GHz CMOS low noise amplifier", IEEE Journal of Solid-State Circuits, May 1997, pp. 745 - 759.
- [27] - A. Rofougaran, J. Y. C. Chang, M. Rofougaran, A. A. Abidi, "A 1 GHz CMOS RF front-end IC for a direct-conversion wireless receiver", IEEE Journal of Solid-State Circuits, July 1996, pp. 880-889.

- [28] - Y. Ding, R. Harjan, "High-linearity CMOS RF front-end circuits", Chapter 5, Springer, New York, 2005.
- [29] - E. Vittoz, "Micropower techniques", in Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing, 2nd ed, J. E. Franca and Y. Tsvividis, Eds. Englewood Cliffs, NJ: Prentice-Hall, 1994."
- [30] - V. C. Vincence, C. Galup-Montoro and M. C. Schneider, "A high-swing MOS cascode bias circuit", IEEE Trans. Circuits and Systems II, vol. 47, no. 11, pp. 1325-1328, Nov. 2000.
- [31] - P. Aguirre and F. Silveira, "Bias circuit design for low-voltage cascode transistors", Proc. of SBCCI 2006, pp. 94-98, Sep. 2006.
- [32] - E. M. Camacho-Galeano, C. Galup-Montoro and M. C. Schneider, "A 2-nW 1.1-V Self-Biased Current Reference in CMOS Technology", IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 52, no. 2, pp. 61-65, February 2005.
- [33] - E. M. Camacho-Galeano, J. Q. Moreira, M. D. Pereira, A. J. Cardoso, M. C. Schneider and C. Galup-Montoro, "Temperature Performance of Sub-1V Ultra-Low Power Current Sources", International Symposium on Circuits and Systems (ISCAS), Seattle, WA, USA, pp.2230-2233, May 2008.
- [34] - Austriamicrosystems AG, "0.35 μm CMOS C35 Process Parameters", document number ENG – 182, Revision 6.0, December 2008.
- [35] - Y. Tsvividis, "Operation and modeling of the MOS transistor", 2nd ed., McGraw-Hill, New York, 1999.
- [36] - Austriamicrosystems AG, "0.35 μm CMOS C35 RF Spice Models", document number ENG – 188, Revision 5.0, November 2005.
- [37] - R. L. Radin , "Modelagem da tensão de Early em transistores MOS nos regimes de inversão fraca e moderada", UFSC, Novembro de 2007.
- [38] - C. C. Enz and E. A. Vittoz, "Charge-based MOS transistor modeling", Wiley, 2006.
- [39] - T. Stucke, N. Christoffers, R. Kokozinski, S. Kolnsberg, B. J. Hosticka, "LNA for Low-Power, Low Data Rate PAN Applications", Adv. Radio Sci., 4, 219-224, 2006.
- [40] - S.K. Srinivasan, A. Rusu, M. Ismail, "Ultra-low power 2.4 GHz CMOS receiver front-end for sensor nodes", Circuit Theory and Design, 2007. ECCTD 2007. 18th European Conference on, pp. 595 - 598, Aug. 2007.
- [41] - Department of Electrical Engineering and Computer Sciences (EECS) at the University of California, Berkeley, "BSIM3 Version 3.1" http://www-device.eecs.berkeley.edu/~bsim3/arch_ftp.html, (03 de Agosto, 2009).

- [42] - M.J. Deen, C.-H. Chen, Y. Cheng, "MOSFET modeling for low noise, RF circuit design", Proceedings of the 2002 IEEE Custom Integrated Circuits Conference, pp. 201-208, May 2002.
- [43] - Eldo RF User's Manual, Mentor Graphics Corporation, Chapter 14, Eldo RF Tutorials, pp. 265-376.
- [44] - The MOSIS Service, "MOSIS Packaging And Assembly", <http://www.mosis.com/Technical/Packaging/pkg-intro.html> (03 de Agosto, 2009)
- [45] - S.A. Wartenberg, "RF measurements of die and packages," Artech House, 2002
- [46] - Cascade Microtech, "Introduction to bipolar device GHz measurement techniques", Application Note.