

Um Schmitt-trigger Analógico de Corrente Digitalmente Programável

William Prodanov *

Marcio Cherem Schneider *

Resumo

Este trabalho apresenta uma nova estrutura para um comparador *Schmitt-trigger* analógico de corrente. Sua principal inovação é a fácil programabilidade digital que é obtida através de divisores de corrente MOCD (*MOSFET-Only Current Dividers*). Este comparador de corrente é inteiramente compatível com processos CMOS convencionais e permite a operação em baixas tensões de alimentação. As células ou módulos básicos que compõem a estrutura são descritos individualmente para fortalecer os fundamentos teóricos do *Schmitt-trigger*. As principais fontes de erro são discutidas e são apresentados resultados experimentais obtidos em um protótipo integrado.

Palavras-Chave: comparador de corrente analógico, Schmitt-trigger, digitalmente programável, divisor de corrente.

*Laboratório de Circuitos Integrados
Universidade Federal de Santa Catarina
homepage: www.eel.ufsc.br/1ci
e-mail: prodanov@eel.ufsc.br

Os autores gostariam de agradecer ao ITI (Instituto Nacional de Tecnologia da Informação) pelo imenso apoio a implementação deste trabalho e ao CNPq e CAPES pelo suporte financeiro.

1. Introdução

Caminhando em direção à tendência dos sistemas totalmente integrados (*embedded-systems*) com baixa tensão de alimentação, o desenvolvimento de células básicas que se enquadrem neste contexto é extremamente útil, acelerando o desenvolvimento de sistemas mais complexos. Os comparadores podem ser considerados uma dessas células. Em especial, os comparadores *Schmitt-trigger*, também conhecidos como comparadores com histerese, são preferencialmente utilizados por possuírem a virtude de eliminar o problema conhecido como *comparator chatter*, além de serem utilizados em controles de Liga/Desliga e em osciladores de relaxação [1, 2]. Eles também são especialmente úteis em foto-detecutores, controles-remoto ópticos e instrumentos médicos [1, 2].

Este trabalho apresenta uma nova estrutura de um comparador de corrente, digitalmente programável, para operação em baixa tensão de alimentação e compatível com processos *VLSI*. Totalmente implementável em tecnologia CMOS convencional, pode ser prototipado em processos considerados de baixo custo.

Diversos comparadores de corrente já foram propostos [1, 3, 4, 5, 2]. Alguns deles para aplicações em alta frequência [3, 4], outros para aplicações de alta precisão [3, 5] ou ainda os denominados *offset-free* [2], mas nenhum deles apresenta a propriedade que consideramos ser a maior contribuição deste trabalho: a programabilidade digital. Esta característica permite comparações de corrente de alta precisão e em altas frequências quando aproveitada em estruturas adaptativas.

Na Seção 2 apresentamos todos os elementos básicos que compõem o comparador de corrente, como o circuito de polarização, a rede divisora de corrente, etc.. Na Seção 3 apresentamos o comparador de corrente proposto. Inicialmente mostramos uma estrutura não-programável, de simples entendimento, que introduz conceitos essenciais do comparador. Então, apresentamos a estrutura programável. Ainda nesta seção destacamos as principais fontes de erro existentes no circuito. Na Seção 4 mostramos os resultados experimentais referentes à implementação integrada do comparador proposto. O *Schmitt-trigger* foi integrado em tecnologia CMOS, processo CYE 0.8 μ m da *Austria Mikro Systeme*, através do Projeto Multi-Usuário (PMU) mantido pelo Instituto Nacional de Informação (ITI - Campinas). As conclusões do trabalho são apresentadas na Seção 5.

2. Elementos Básicos

A estrutura do *Schmitt-trigger* que iremos apresentar neste trabalho é composta por diversos módulos que podemos chamar de células ou elementos básicos. Nesta seção

apresentaremos as principais características de cada um destes elementos sempre destacando as características individuais que influem diretamente no comportamento do comparador de corrente.

2.1 Circuito de Polarização

O circuito de polarização do comparador de corrente é apresentado na Figura 1.a que é uma simples associação série de dois transistores **idênticos**.

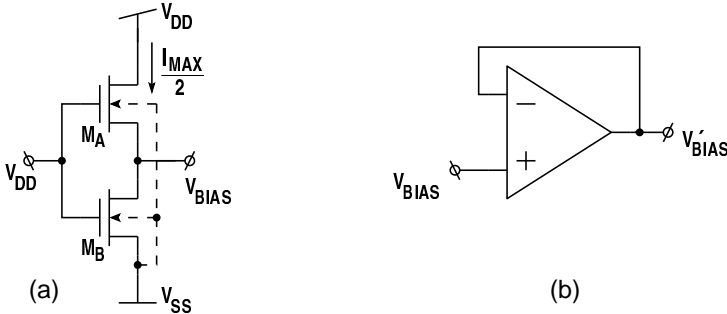


Figura 1: Circuito de polarização DC: (a) o divisor de tensão e (b) o *buffer* de tensão

A variável de interesse deste arranjo é a tensão V_{BIAS} verificada no nó intermediário aos dois transistores M_A e M_B . Para possibilitar a polarização de eventuais nós onde haja consumo de corrente é utilizado um *buffer* de tensão, que fornece a tensão denominada V'_{BIAS} , como indicado na Figura 1.b. A menos dos erros provocados pelo *offset* e pelo ganho DC finito do AmpOp a tensão V'_{BIAS} é igual a V_{BIAS} .

Para analisar o funcionamento do divisor usamos o modelamento matemático apresentado em [9, 10]:

$$(2.1) \quad I_D = \left(\frac{W}{L}\right) [f(V_G, V_S) - f(V_G, V_D)]$$

Para o divisor de tensão:

$$(2.2) \quad I_{DA} = \left(\frac{W}{L}\right) [f(V_G, V_{BIAS}) - f(V_G, V_{DD})]$$

$$(2.3) \quad I_{DB} = \left(\frac{W}{L}\right) [f(V_G, V_{SS}) - f(V_G, V_{BIAS})]$$

A partir de (2.2) e (2.3) e sabendo que $I_{DA} = I_{DB}$:

$$(2.4) \quad f(V_G, V_{BIAS}) = \frac{1}{2} [f(V_G, V_{SS}) + f(V_G, V_{DD})]$$

Definindo a corrente I_{MAX} como a corrente de um transistor idêntico aos utilizados no divisor de tensão, quando este estiver polarizado com o conjunto de tensões $V_{GB} = V_{DB} = V_{DD}$ e $V_{SB} = V_{SS}$, ou seja:

$$(2.5) \quad I_{MAX} = \left(\frac{W}{L}\right) [f(V_G, V_{SS}) - f(V_G, V_{DD})]$$

e substituindo (2.4) e (2.5) em (2.2) ou (2.3), chegamos à conclusão que:

$$(2.6) \quad I_{DA} = I_{DB} = \frac{1}{2} I_{MAX}$$

As curvas apresentadas na Figura 2 ilustram as características de saída de dois transistores polarizados da mesma forma que os transistores M_A e M_B da Figura 1.a. Os pontos de operação sob os quais estão operando M_A e M_B são enfatizados. Em particular, a Figura 2.a nos permite visualizar o que ocorre com um transistor polarizado com $V_S = V_{BIAS}$. Nesta condição, se fizermos $V_D = V_{DD}$ temos uma corrente de dreno $I_D = I_{MAX}/2$. Se fizermos $V_D = V_{SS}$ temos $I_D = -I_{MAX}/2$. Esta propriedade de V_{BIAS} é essencial no funcionamento do *Schmitt-trigger*. Ainda, a um transistor polarizado com $V_S = V_{BIAS}$ é possível a máxima excursão de corrente ($-I_{MAX}/2 : I_{MAX}/2$).

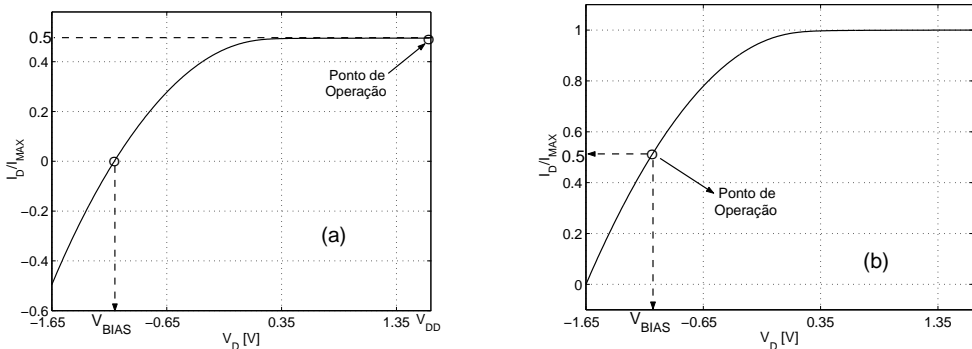


Figura 2: Característica de saída de transistores polarizados da mesma forma que (a) M_A com $V_S = V_{BIAS}$ e (b) M_B com $V_S = V_{SS}$

A utilização de transistores NMOS para implementar o divisor de tensão faz com que o valor da tensão V_{BIAS} seja próximo a V_{SS} .

2.2 Rede Divisora de Corrente

O elemento que nos permite estabelecer a programabilidade digital do *Schmitt-trigger* é o divisor de corrente. O divisor utilizado é a conhecida rede MOCD (*MOST-Only Current Divider*) que tem a propriedade de programar a repartição da corrente de entrada para suas duas saídas segundo uma palavra digital de controle.

A rede em questão foi introduzida em [6] e é muito bem descrita em [7, 8]. O MOCD é baseado na topologia da clássica rede *ladder* R-2R. Um divisor de “n” bits é apresentado na Figura 3. As chaves analógicas MOS indicadas têm a função de direcionar a correntes de cada ramo para o ponto de soma (*sum-line*) ou para o ponto de “descarga” de corrente (*dump-line*). O direcionamento das parcelas de corrente é obtido pela aplicação de uma palavra digital aplicada às chaves, que funcionam de forma complementar, estando sempre uma “fechada” e a outra “aberta”. Desta forma temos sempre dois transistores ligados em série [10] em cada ramo paralelo.

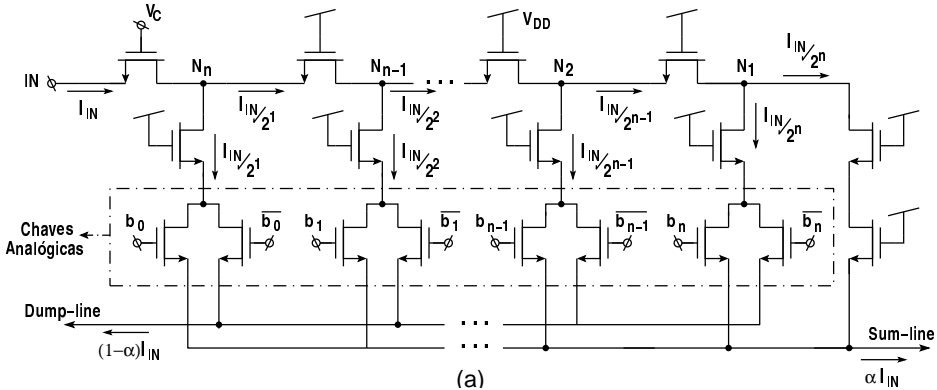


Figura 3: Rede MOCD genérica: (a) circuito elétrico e (b) simbologia adotada

A divisão da corrente de entrada é feita com ponderação binária a cada ramo paralelo conforme indicado. O funcionamento da rede pode ser facilmente entendido se recorrermos aos conceitos de associação série/paralelo de transistores [10].

Analisando a Figura 3 vemos que há dois ramos idênticos conectados ao nó N_1 . Portanto a corrente injetada neste nó é dividida por dois [7]. Estes dois ramos, quando associados, equivalem a um transistor unitário. Assim, temos dois ramos idênticos conectados ao nó N_2 , havendo uma divisão por dois da corrente injetada em N_2 e assim sucessivamente.

Os valores das correntes I_{SUM} e I_{DUMP} são determinados por

$$(2.7) \quad I_{SUM} = \alpha \cdot I_{IN}$$

e

$$(2.8) \quad I_{DUMP} = (1 - \alpha) \cdot I_{IN}$$

sendo:

$$(2.9) \quad \alpha = \frac{b + 1}{2^n}$$

onde:

b é o valor da palavra digital de controle, em base decimal

n é o número de bits.

As curvas da Figura 4 foram obtidas experimentalmente em um MOCD de 6 bits integrado e demonstram o funcionamento do mesmo. A Figura 4.a assemelha-se a tradicional característica $I_D \times V_D$ de um transistor, porém obtida para um MOCD. Neste caso temos a característica $I_{SUM} \times V_{IN}$ para diversos valores de α . A Figura 4.b de $I_{SUM} \times I_{IN}$ demonstra a linearidade da divisão de corrente efetuada. A Figura 5 ilustra o funcionamento de um MOCD como conversor D/A. Na Figura 5.a vemos os 64 níveis possíveis e na Figura 5.b os 16 níveis possíveis relativos aos 4 bits mais significativos.

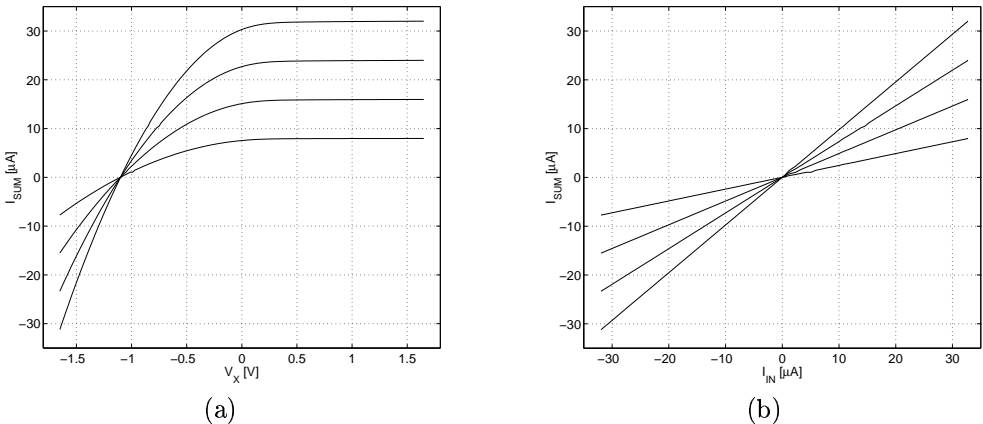


Figura 4: Curvas DC de I_{SUM} (a) em função de V_{IN} e (b) em função de I_{IN}

Algumas outras considerações importantes devem ser feitas a respeito do MOCD. Os nós de saída *sum-line* e *dump-line* devem estar submetidos ao mesmo potencial, pois só desta forma teremos cada ramo paralelo polarizados sempre da mesma

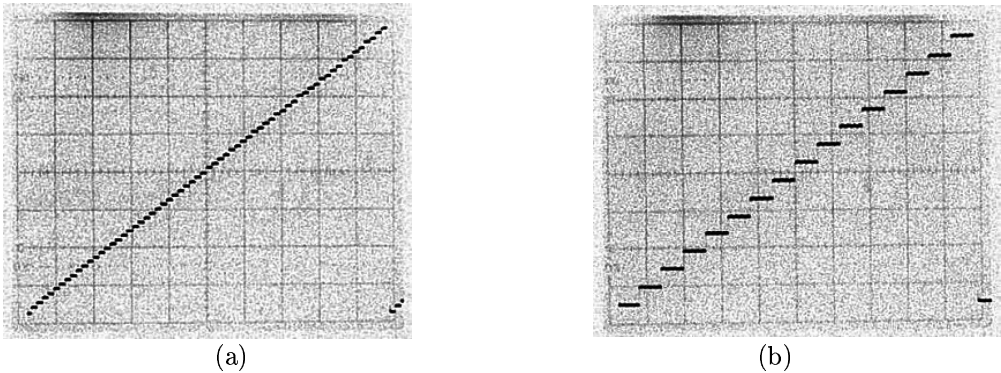


Figura 5: Característica estática de um MOCD de (a) 6 bits e (b) utilizando seus 4 MSB's

forma, independente da chave que esteja conduzindo. Do ponto de vista do nó de entrada, o MOCD é visto como um transistor composto de dimensões $\frac{W_U}{2L_U}$, onde W_U e L_U são as dimensões de cada um dos transistores que compõem a rede. O transistor posicionado à entrada do MOCD pode ser utilizado como um *enable* do divisor de corrente. Através de sua tensão de porta, denominada V_C , podemos anular a corrente de entrada.

2.3 Amplificador Operacional

O esquema elétrico do amplificador operacional utilizado é representado na Figura 6. As dimensões de cada transistor estão indicadas na Tabela 1 onde também estão indicadas as correntes de polarização de cada um deles. Trata-se do um tradicional amplificador operacional Miller [11]. A simplicidade foi determinante na escolha desta topologia. Os transistores do par diferencial de entrada são do tipo PMOS pois os AmpOp estarão operando com tensões de modo comum próximas a V_{SS} .

M	W[μm]	L[μm]	I_Q [μA]	M	W[μm]	L[μm]	I_Q [μA]
1	80	2	24	5	30	4	12
2	80	2	24	6	30	4	12
3	80	4	12	7	320	2	96
4	80	4	12	8	240	2	96
$C_C = 8pF$				$C_L = 20pF$			
$V_{DD} = 1,65V$				$V_{SS} = -1,65$			

Tabela 1: Dados de projeto do amplificador operacional Miller

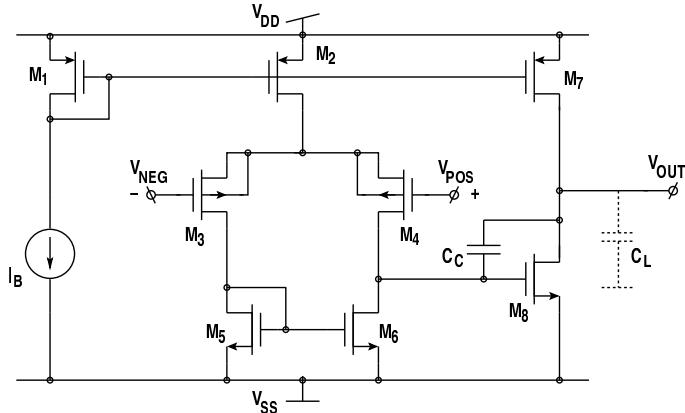


Figura 6: Amplificador operacional Miller

As principais figuras de mérito do AmpOp projetado são mostradas na Tabela 2. Estes valores foram obtidos através de simulação computacional.

Parâmetro	Valor	Unidade
<i>Slew-Rate (SR)</i>	2,3	V/ μ s
Ganho DC (@ $R_L = 10k\Omega$)	69	dB
Produto Ganho-Banda (<i>GBW</i>)	2.0	MHz
Margem de Fase (<i>PM</i>)	64	Degree
Corrente de Polarização (I_{POL})	144	μ A
Corrente Máxima de Saída (I_{OUT})	96	μ A

Tabela 2: Resumo das características do amplificador operacional

Para utilizar este AmpOp como célula comparadora de tensão, retiramos o capacitor C_C uma vez que a compensação em frequência não é necessária. Desta forma, aumentamos a velocidade deste amplificador.

3. Comparador de Corrente Schmitt-trigger

Nesta seção é apresentado o comparador de corrente *Schmitt-trigger* proposto. Inicialmente é mostrada uma estrutura não-programável. Esta abordagem inicial, por sua simplicidade, torna mais transparente o funcionamento do comparador. Depois é introduzido o elemento que permite a programabilidade do comparador, o MOCD. No fim desta seção, uma atenção especial é dedicada à análise das fontes de erros básicos que podemos verificar no *Schmitt-trigger* [12].

e as tensões das entradas inversora e não-inversora do comparador A_2 serão as mesmas e iguais a V_{BIAS} . O comparador A_2 estará no limiar de comutação.

A corrente I_{DIFF} é dada por (3.2) ou (3.3), dependendo do estado de V_X

$$(3.2) \quad I_{DIFF} = I_{IN} + I_{REF}, \quad \text{if } V_X = \text{HIGH}$$

$$(3.3) \quad I_{DIFF} = I_{IN} - I_{REF}, \quad \text{if } V_X = \text{LOW}$$

Caso V_X esteja no estado **HIGH**, o transistor M_X estará conduzindo e M_Y estará “desligado”. De acordo com (3.2) para que a corrente I_{DIFF} seja zero a corrente I_{IN} deve ser $-I_{REF}$. Neste caso haverá uma comutação do estado **HIGH** para o estado **LOW**. De forma dual, caso V_X esteja no estado **LOW**, M_Y estará conduzindo e M_X “desligado”. De acordo com (3.3), I_{IN} deverá ser igual a $+I_{REF}$ para que I_{DIFF} seja zero. Neste caso haverá uma comutação do estado **LOW** para o estado **HIGH**. A Figura 8 mostra o laço de histerese obtido

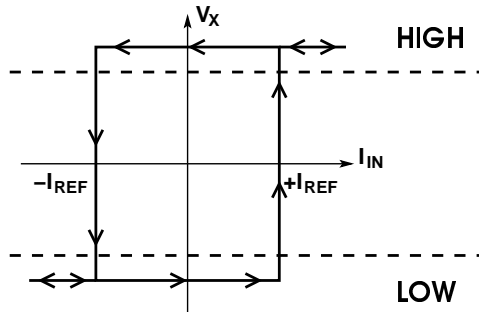


Figura 8: Curva de histerese para o comparador de corrente não-programável

A utilização de portas lógicas XOR como inversoras faz com que os atrasos entre as tensões V_X e V_Y , tendo como referência V_{N3} , sejam parecidos. O uso de inversores em cascata para gerar os sinais complementares se mostrou menos eficiente neste aspecto.

3.2 Comparador it Schmitt-trigger Programável

Vimos no ítem anterior que o laço de histerese do *Schmitt-trigger* é definido pelos valores das correntes que circulam nos ramos onde estão situados os transistores M_X e M_Y , e que são injetadas no nó N_1 . Quando substituímos estes dois transistores por redes divisoras de corrente MOCD, conforme indicado na Figura 9, as correntes injetadas no nó N_1 não serão mais $\pm I_{REF}$ e sim uma parcela destas correntes de referência. Os novos valores de corrente injetados são $+\alpha I_{REF}$ e $-\beta I_{REF}$. Como

decorrência os limites para a corrente de entrada I_{IN} para os quais teremos mudança de estado em V_X e V_Y serão igualmente ponderados.

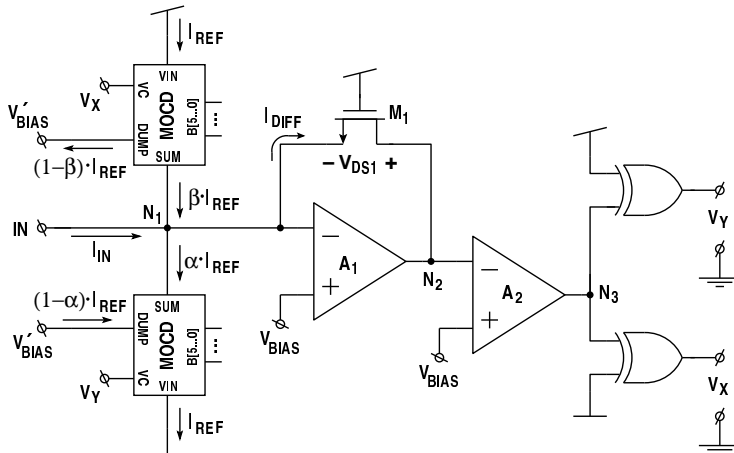


Figura 9: Comparador de corrente programável

A substituição proposta é perfeitamente aplicável, tendo em vista que o MOCD tem o comportamento de um transistor composto. A tensão V_{BIAS} polariza os dois MOCD's de forma a terem correntes de entrada iguais, semelhantemente aos transistores M_X e M_Y . As curvas da Figura 10 foram obtidas por simulação e demonstram o controle sobre o laço de histerese. Os fatores α e β podem ser programados independentemente.

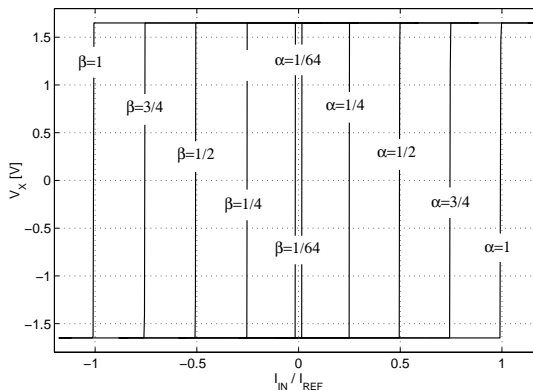


Figura 10: Curvas DC de histerese do comparador de corrente programável obtidas por simulação

A programabilidade obtida permite total controle sobre a curva de histerese e pode ser explorada de diversas formas. Por exemplo, pode-se compensar os erros introduzidos pelo descasamento entre dispositivos, imprecisão dos parâmetros tecnológicos, etc. Desta forma, este *Schmitt-trigger* pode ser utilizado em aplicações que requeiram alta precisão.

4. Análise de Erros

Há dois erros básicos que podemos verificar na curva de histerese: um deslocamento para a esquerda ou direita em relação à origem e uma abertura do laço, como exemplificados na Figura 11. O primeiro é causado por uma corrente de *offset* que adiciona um erro sistemático à curva de histerese independente dos valores de α e β selecionados. Sua origem principal são as tensões de *offset* dos amplificadores A_1 e A_2 . O segundo erro é causado por um atraso de chaveamento entre o instante em que a corrente de entrada I_{IN} alcança o nível desejado de comparação e o instante em que efetivamente há a troca de estado nas tensões de saída. O giro de fase do AmpOp A_1 e o atraso da resposta temporal do comparador A_2 são as principais causas desta abertura do laço de histerese.

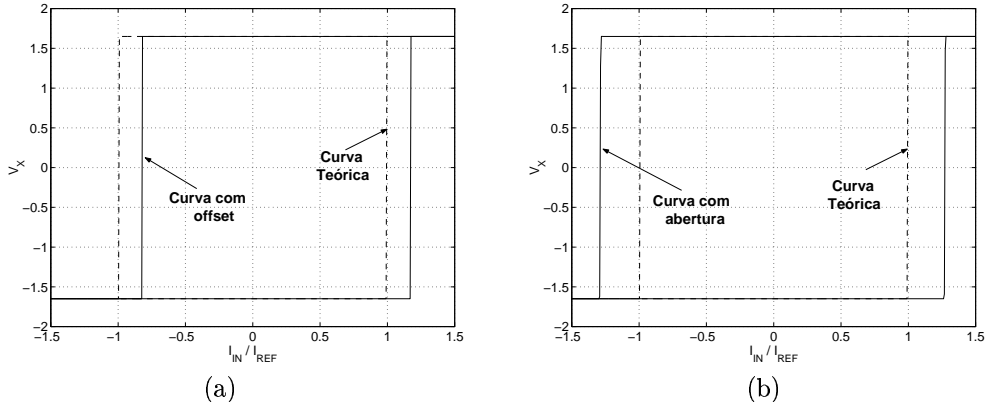


Figura 11: Representação gráfica dos principais erros da curva de histerese: (a) deslocamento e (b) abertura do laço de histerese.

4.1 Deslocamento do Laço de Histerese

Tanto o *offset* do AmpOp A_1 quanto o do comparador A_2 influenciam no deslocamento da curva de transferência do *Schmitt-trigger*. Assumindo $V_{OS,1}$ e

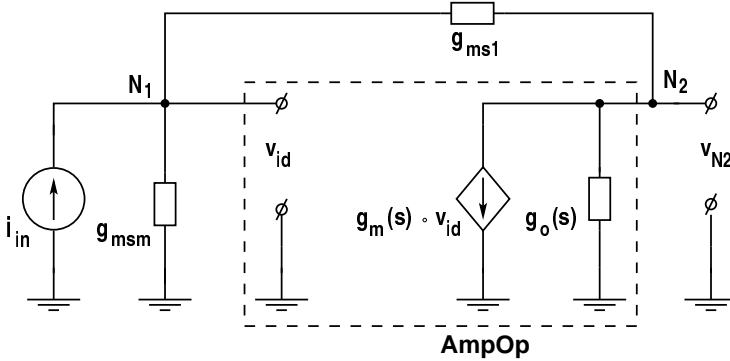


Figura 12: Circuito AC equivalente do comparador de corrente

V_{OS2} como as tensões de *offset* dos amplificadores A_1 e A_2 respectivamente, a abertura do laço de histerese será dada por

$$(4.1) \quad I_{OS} = (V_{OS1} + V_{OS2}) \cdot g_{ms1}$$

onde [9]

$$(4.2) \quad g_{ms} = \mu n C'_{OX} \frac{W}{L} \left[\frac{V_{DD} - V_{SS} - V_{TH}}{n} - (V_{BIAS} - V_{SS}) \right]$$

Este erro pode ser minimizado com um leiaute cuidadoso para minimizar as tensões V_{OS} . Valores menores de g_{ms1} poderiam reduzir I_{OS} . Porém, A_1 saturaria para valores menores de I_{IN} , limitando o valor máximo da corrente de entrada do *Schmitt-trigger*. Há um compromisso.

4.2 Abertura do Laço de Histerese

A análise apresentada nesta seção fornece uma referência teórica ao desempenho do comparador em relação a sua frequência de operação. Pode ser vista como um limite teórico imposto ao *Schmitt-trigger*.

Para verificar a influência da resposta em frequência de A_1 vamos considerar a Figura 12, que representa o modelo AC de primeira ordem do circuito da Figura 9. A transcondutância g_{msm} é relativa aos MOCD's enquanto que g_{ms1} representa o transistor M_1 . Para simplificar a análise estamos considerando a conversão de i_{in} para v_{N2} como sendo linear. O comparador de tensão não é representado pois ainda não estamos interessados na sua influência. Os nós N_1 e N_2 aqui indicados correspondem aos nós de mesmo nome no circuito da Figura 9.

O modelo do AmpOp representa um amplificador operacional genérico de dois estágios com compensação Miller em frequência. Os parâmetros $g_m(s)$ e $g_o(s)$ são definidos por:

$$(4.3) \quad g_m(s) = \frac{g_{m0}}{1 + \frac{s}{p}}$$

e

$$(4.4) \quad g_o(s) = g_{oII} \cdot \frac{1 - \frac{s}{z} \cdot \frac{g_{mII}}{g_{oII}}}{1 + \frac{s}{p}}$$

onde:

$$(4.5) \quad p = \frac{g_{oI}}{C_c}$$

e

$$(4.6) \quad g_{m0} = \frac{g_{mI} \cdot g_{mII}}{g_{oI}}$$

sendo g_{oi} e g_{mi} , respectivamente, a condutância de saída e a transcondutância do i -ésimo estágio do AmpOp [11].

A equação que define a transimpedância v_{N2}/i_{in} é dada por:

$$(4.7) \quad \frac{v_{N2}}{i_{in}} \approx -\frac{1}{g_{ms1}} \cdot \frac{1 - \frac{s}{2\pi GBW} \cdot \frac{g_{ms1}}{g_{mII}}}{1 + \frac{s}{2\pi \cdot GBW} \cdot \left(\frac{g_{msm}}{g_{mII}} + \frac{g_{ms1} + g_{msm}}{g_{ms1}} \right)}$$

onde $GBW = g_{mI}/(2\pi \cdot C_c)$

O giro de fase de v_{N2} que provoca o atraso de chaveamento, ao qual denominamos θ_c , pode ser medido pela fase da transimpedância. De acordo com (4.2) e a partir de (4.7), o giro de fase θ_c pode ser definido aproximadamente por (4.8), que é válida para pequenos valores de fase.

$$(4.8) \quad \theta_c \approx \left(1 + \frac{(W/L)_{m_{ocd}}}{(W/L)_1} \right) \cdot \frac{f}{GBW}$$

Considerando θ_c como sendo a defasagem entre os sinais sinusoidais i_{in} e v_o em uma determinada frequência. O chaveamento ideal ocorreria quando I_{IN} (AC + DC) alcançasse o valor αI_{REF} (βI_{REF}). Neste instante, V_{N2} deveria ser igual a V_{BIAS} . Porém, V_{N2} atinge este valor com um certo atraso devido à defasagem θ_c . O efeito deste atraso é exemplificado graficamente na Figura 13.

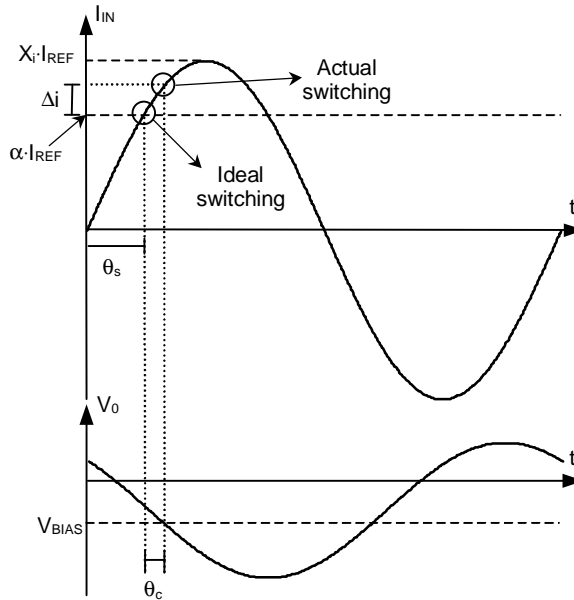


Figura 13: Erro Δ_i causado pelo atraso de fase θ_c

O erro relativo $\Delta_i/\alpha I_{REF}$ é dado por (4.9), onde X_i é o valor de pico da corrente de entrada I_{IN} normalizado em relação à I_{REF} .

$$(4.9) \quad \varepsilon = \frac{\Delta_i}{\alpha \cdot I_{REF}} \approx \frac{X_i}{\alpha} \cdot \theta_c \cdot \cos(\theta_s) \quad ,$$

Utilizando a aproximação obtida em (4.8) e a equação (4.9), obtém-se uma relação que define o erro como uma função da frequência, dada por:

$$(4.10) \quad \varepsilon \approx \left(1 + \frac{(W/L)_{moad}}{(W/L)_1} \right) \cdot \frac{f}{GBW} \cdot \frac{X_i}{\alpha} \cdot \cos \left[\text{sen}^{-1} \left(\frac{\alpha}{X_i} \right) \right]$$

Há ainda uma parcela a ser acrescida a ε , relativa ao erro introduzido pelo comparador A_2 . A previsão teórica do atraso introduzido por este elemento é extremamente difícil. Uma metodologia que podemos empregar para viabilizar a análise deste atraso é simular o comparador de tensão e aplicar o valor obtido nas análises teóricas. Por exemplo, obter o valor de atraso do comparador de tensão ao degrau ou a uma senoide com uma determinada frequência de interesse. Assim, admitindo este atraso temporal como constante para todas as frequências e igual à Δ_t temos:

$$\varepsilon \approx \frac{X_i}{\alpha} \cdot (\theta_c + \theta_t) \cdot \cos(\theta_s)$$

$$(4.11) \quad \varepsilon \approx \left(1 + \frac{(W/L)_{m\text{cod}}}{(W/L)_1}\right) \cdot \left(\frac{1}{GBW} + 2\pi\Delta_t\right) \cdot f \frac{X_i}{\alpha} \cdot \cos\left[\text{sen}^{-1}\left(\frac{\alpha}{X_i}\right)\right]$$

A equação (4.11) mostra que fatores como o GBW finito do AmpOp A_1 e o atraso temporal do comparador A_2 têm influência direta e significativa no desempenho do Schmitt-trigger.

5. Resultados

O *Schmitt-trigger* proposto foi integrado no processo CYE AMS $0.8\mu\text{m}$. Na Figura 14 é mostrado uma fotomicrografia do protótipo realizado. Foram integrados dois comparadores e um circuito de polarização *Schmitt-trigger* numa área de 0.71mm^2 sem o *padframe* e de $2,37\text{mm}^2$ com o *padframe*, num total de 513 transistores. Todos os transistores dos MOCD's têm $W = 4\mu\text{m}$ e $L = 5\mu\text{m}$. O transistor M_1 tem $W = 16\mu\text{m}$ e $L = 10\mu\text{m}$.

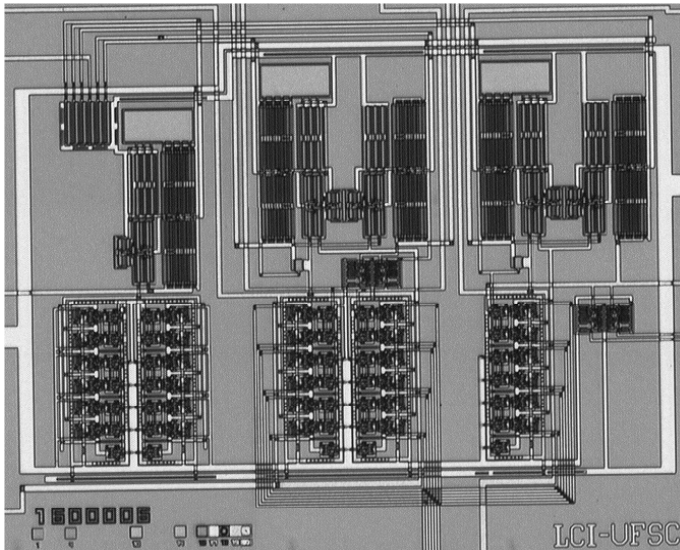


Figura 14: Fotomicrografia do Schmitt-trigger

A Figura 15 mostra curvas de histerese DC experimentais obtidas para diferentes valores de α e β . Os resultados obtidos são muito bons, principalmente a respeito do total controle dos valores de comutação através da programação digital. O controle foi incontestavelmente comprovado. Os *offset's* aleatórios que podem ser observados se devem aos erros diferenciais verificados na conversão D/A dos MOCD's e podem ser minimizados com um leiaute mais refinado dos mesmos. Por último, na Figura 16 temos duas curvas de histerese obtidas a 20Khz para α e β iguais a 1 e 1/2. O erro introduzido pela frequência foi de aproximadamente 19%. Mesmo com um erro tão elevado, o valor poderia ser facilmente corrigido através da programabilidade digital, mostrando que mesmo para grandes discrepâncias entre valores esperados e obtidos, o fácil controle sobre o *Schmitt-trigger* permite que ele opere com boa precisão, que é limitada por 1/2 LSB relativo à conversão D/A dos MOCD's.

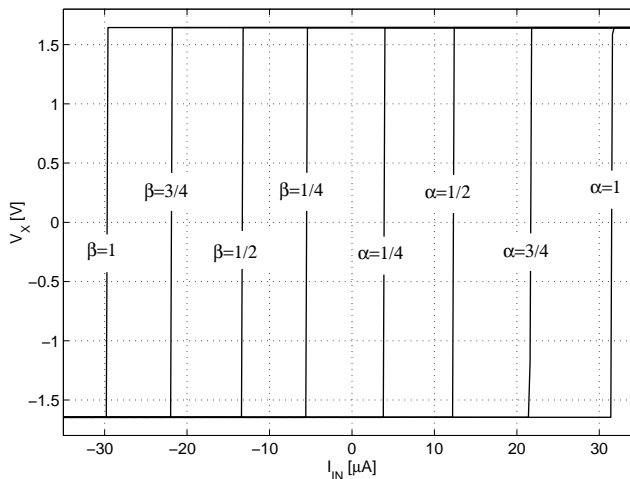


Figura 15: Curvas DC experimentais de histerese para diferente valores de α e β

6. Conclusões

Uma nova topologia para um comparador de corrente Schmitt-trigger foi apresentada. Sua fácil programabilidade foi comprovada e o MOCD mostrou-se adequado a aplicação. Os AmpOp's mostraram-se extremamente influentes no comportamento global do Schmitt-trigger e requerem um projeto cuidadoso. O circuito foi implementado no processo CYE AMS 0,8 μ m e resultados experimentais obtidos de protótipo foram apresentados.

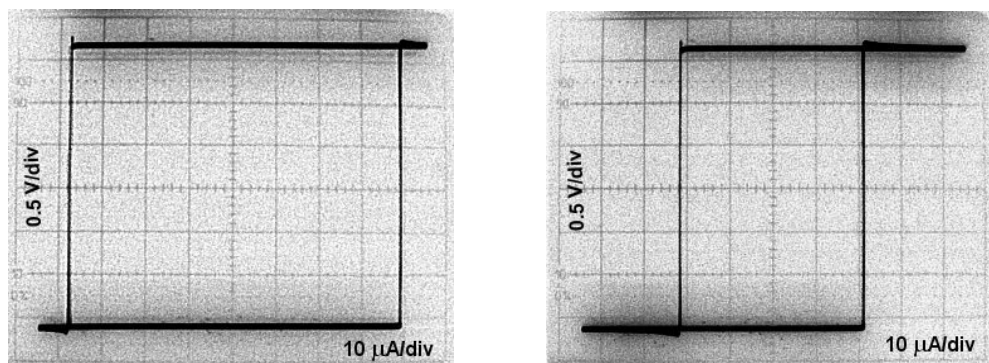


Figura 16: Curvas de histerese obtidas a 20kHz: (a) $\alpha = \beta = 1$ e (b) $\alpha = \beta = 1/2$

Referências

- [1] Wang and W. Guggenbühl, *Novel CMOS current Schmitt-trigger*, Electronic Letters, vol. 24, no. 24, pp. 1514-1516, November 1988.
- [2] G. Di Cataldo and G. Palumbo, *New CMOS current Schmitt triggers*, IEEE International Symposium on Circuits and Systems, vol. 3, pp. 1292, 1992.
- [3] G. Liñán-Cembrano, R. Del Río-Fernández, R. Domínguez-Castro and A. Rodríguez-Vázquez, *Robust high-accuracy high-speed continuous-time CMOS current comparator*, Electronics Letters, vol. 33, no. 25, pp. 2082-2084, December 1997.
- [4] J.P.A. Carreira and J.E. Franca, *High-speed CMOS current comparators*, IEEE International Symposium on Circuits and Systems, vol. 5, pp. 731, 1994.
- [5] C. Y. Wu, C.C. Chen, M.K. Tsai and C.C. Cho, *A 0.5mA offset-free current comparator for high precision current mode signal processing*, IEEE International Symposium on Circuits and Systems, vol.3, pp. 1829, 1991.
- [6] K. Bult, G.J.G.M. Geelen, *An inherently linear and compact MOST-only current division technique*, IEEE J. Solid-State Circuits, vol. 27, no. 12, pp. 1730-1735, December 1992.
- [7] R.T Gonçalves, *Aplicações de Rede MOS Divisora de Corrente em Circuitos Integrados Analógicos Programáveis*, Dissertação de Mestrado, UFSC, Departamento de Engenharia Elétrica, Dezembro 1994.

- [8] R.R. Ferreira, *Conversor Digital/Analógico Autocalibrado Utilizando Rede MOS Divisora de corrente*, Dissertação de Mestrado, UFSC, Departamento de Engenharia Elétrica, Dezembro 1996.
- [9] A.I.A. Cunha, *Um Modelo do Transistor MOS para Projeto de Cicuitos Integrados*, Tese de Doutorado, UFSC, Departamento de Engenharia Elétrica, Dezembro 1996.
- [10] I.J.B. Loss, C. Galup-Montoro and M. C. Schneider, *Series-Parallel association of FET's for high gain and high frequency applications*, IEEE J. Solid-State Circuits, vol. 29, no. 9, pp. 1094-1096, September 1994.
- [11] K.R. Laker and W.M.C. Sansen, *Design of Analog Integrated Circuits and Systems*, McGraw-Hill, United States, 1994.
- [12] W. Prodanov and M.C. Schneider, *A Digitally Programmable Current Schmitt-trigger*, XVI Conference of the Brazilian Microelectronics Society, pp. 106-110, September 2001.